

基于FPGA的FIR数字滤波器设计及实现

宋卓达, 王志乾, 李建荣, 沈铨武, 刘绍锦

引用本文:

宋卓达, 王志乾, 李建荣, 等. 基于FPGA的FIR数字滤波器设计及实现[J]. 液晶与显示, 2020, 35(10): 1073–1078.

SONG Zhuo-da, WANG Zhi-qian, LI Jian-rong, et al. Design and implementation of FIR digital filter based on FPGA[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(10): 1073–1078.

在线阅读 View online: <https://doi.org/10.37188/YJYXS20203510.1073>

您可能感兴趣的其他文章

Articles you may be interested in

基于MSP430的高精度光照功率计设计

Design of high precision optical power meter based on MSP430

液晶与显示. 2020, 35(6): 531–536 <https://doi.org/10.3788/YJYXS20203506.0531>

基于优化混频器的数字下变频系统的设计与实现

Design and implementation of digital down converter system based on optimized mixer

液晶与显示. 2018, 33(11): 943–949 <https://doi.org/10.3788/YJYXS20183311.0943>

基于FPGA的工业数字摄像机系统的设计

Design of industrial digital camera system based on FPGA

液晶与显示. 2015, 30(1): 103–108 <https://doi.org/10.3788/YJYXS20153001.0103>

尺度变化的Retinex红外图像增强

Infrared image enhancement method based on scale varies Retinex theory

液晶与显示. 2016, 31(1): 104–111 <https://doi.org/10.3788/YJYXS20163101.0104>

以太网数传系统在FPGA上的实现

Realization of Ethernet data transmission system on FPGA

液晶与显示. 2017, 32(8): 607–613 <https://doi.org/10.3788/YJYXS20173208.0607>

文章编号:1007-2780(2020)10-1073-06

基于 FPGA 的 FIR 数字滤波器设计及实现

宋卓达^{1,2}, 王志乾^{1*}, 李建荣¹, 沈铖武^{1,2}, 刘绍锦¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:针对应变信号采集系统中的信号处理环节,设计并实现一种基于现场可编程门阵列(FPGA)的 FIR 数字滤波器。首先,基于 Matlab 采用布莱曼窗函数设计一个长度为 16 的 15 阶数字滤波器,并生成高斯白噪声与频率为 2 kHz、8 kHz 正弦波的合成信号,然后量化 12 位系数,将系数文件导入 Quartus II 13.1 软件,结合 FPGA 内部数字滤波器 IP 核,采用自上而下的方式设计出 FIR 数字滤波器,最终在 Simulink 环境下对其进行仿真。实验结果表明,滤波前后合成信号的均方误差下降 28.5%,提高了低频信号质量,增强了应变信号采集系统的功能性和集成度。

关键词:信号采集;FIR 数字滤波器;FPGA;IP 核

中图分类号:TN911.72;TN713.7 **文献标识码:**A **doi:**10.37188/YJYXS20203510.1073

Design and implementation of FIR digital filter based on FPGA

SONG Zhuo-da^{1,2}, WANG Zhi-qian^{1*}, LI Jian-rong¹

SHEN Cheng-wu^{1,2}, LIU Shao-jin¹

(1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;*

2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: A Finite Impulse Response(FIR) digital filter based on Field Programmable Gate Array (FPGA) is designed and implemented for signal processing in strain signal acquisition system. Firstly, based on MATLAB, Blackman window function is used to design a 15 order digital filter with 16 length, and the signal is composed of white Gaussian noise and sine wave with frequency of 2 kHz and 8 kHz. Then the 12 bit coefficients are quantized, and the coefficient file is imported into Quartus II 13.1 software. Combining with the IP core of digital filter in FPGA, FIR digital filter is designed from top to bottom. Finally, it is simulated in Simulink environment. The results show that the mean square error of the synthesized signal decreases by 28.5% before and after filtering, which can improve the quality of low frequency signal and enhanced the function and integration of the strain signal acquisition system.

Key words: signal acquisition; FIR digital filter; FPGA; IP core

收稿日期:2020-04-09;修订日期:2020-06-04.

基金项目:吉林省科技厅技术攻关项目(No.20190302086GX, No. 20200403067SF)

Supported by Key Science and Technology Foundation of Jilin Province, China(No.20190302086GX, No. 20200403067SF)

* 通信联系人, E-mail:zhiquan_wang@sina.com

1 引言

在高速旋转部件的性能测试、强度及疲劳试验过程中,通常采用应变测量技术,实时采集旋转部件载荷的应变信号,进行分析和处理,为旋转部件的结构设计提供理论分析数据^[1]。在应变信号采集的过程中,应变电桥的输出电压信号的变化十分微小,达到 μV 级。为获得高质量的低频电压信号,本文采用一种基于 FPGA 的 FIR 数字滤波器进行信号处理,在高转速、气动性复杂、震动环境恶劣的情况下,提高所采集应变信号的精度。采用软硬件协同设计技术,利用 FPGA 定制 IP,每一个模块都能单独完成,又能轻松整合在一起形成一个系统^[2]。

FIR 滤波器的实质是将输入的连续时间信号按照设定的算法转换成离散时间信号的滤波装置^[3],而 FPGA 内含丰富的 IP 核和 LUT 表结构,能够完整地将 FIR 数字滤波器移植到 FPGA 上,并且可以根据实际需求在线修改滤波器的参数,大幅缩减了产品的设计周期,并增强应变信号采集系统本身的集成度和灵活性。

利用可编程逻辑器件和 EDA 技术实现 FIR 数字滤波器是现代嵌入式系统信号处理环节普遍采用的手段^[4],随着 FPGA 逻辑单元数量和集成度不断提高,可在 FPGA 上实现 FIR 数字滤波器的算法复杂程度、量化系数位宽、阶数等也随之提高,具有可观的发展前景。

2 系统框架

应变信号采集系统的总体框架如图 1 所示,整个系统分为模拟部分和数字部分。

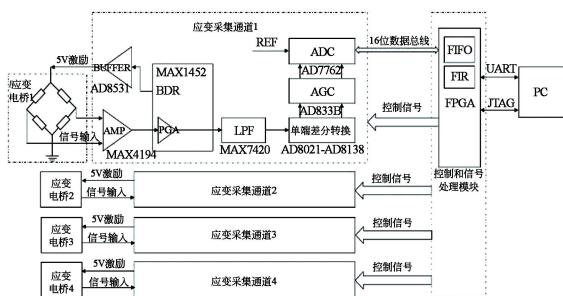


图 1 应变信号采集系统流程框图

Fig.1 Block diagram of strain signal acquisition system

其中模拟部分有 4 个应变信号采集通道,每个采集通道包含对应应变电桥的模拟信号进行预放大、调理和 A/D 采集,数字信号部分包括对模拟前端电压信号偏移量修正和温度补偿控制、程控自动增益、A/D 采集的读写控制和接收经过 A/D 采集后的信号,并对其进行缓存和处理^[5]。最后将信号通过 UART 串行总线传输至 PC 端显示^[6]。

3 FIR 数字滤波器的设计

3.1 基本原理和结构

FIR 数字滤波器为单位脉冲响应有限长序列^[7],是非递归性线性时不变因果系统,对于 N 阶 FIR 滤波器输入时间序列 $x(n)$ 的输出表达式为:

$$y(n) = \sum_{i=0}^{n-1} h(i) x(n-i), \quad (1)$$

系统传递函数可表示为:

$$H(z) = \sum_{i=0}^{n-1} h(n) z^{-n} = h(0) + h(1) z^{-1} + \cdots + h(n-1) z^{-(n-1)}, \quad (2)$$

式中: $h(n)$ 为滤波器第级 n 抽头系数, $x(n-i)$ 为延时 i 个抽头输入。

FIR 滤波器按构成形式主要有直接型、级联型、线性相位 FIR 滤波器等^[8]。其中直接型结构如图 2 所示,该结构需要 N 个乘法器,每次采样 $y(n)$ 都需要进行 n 次乘法和 $n-1$ 次加法实现乘累加之和^[9]。

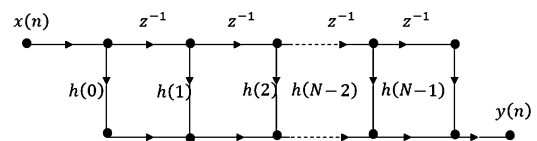


图 2 直接型 FIR 滤波器网络结构

Fig.2 Network structure of direct FIR filter

对于线性相位 FIR 滤波器,其单位响应是对称或反对称的,即 $h(n) = \pm h(N-1-n)$,利用其对称性可以简化网络结构,当 $h(n)$ 为偶对称且 N 为偶数时:

$$y(n) = \sum_{i=0}^{n-1} h(i) x(n-i) = \sum_{i=0}^{\frac{N}{2}-1} h(i) [x(n-i) + (n-N+m)] \cdot (3)$$

其线性网络结构如图 3 所示,仅需要 $N/2$ 个乘法器。FIR 滤波器实际上是一个分节的延时线,把每一节的输出加权累加得到滤波器的输出^[10]。本设计采用线性相位 FIR 数字滤波器。

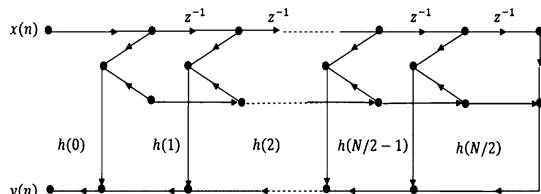


图 3 FIR 滤波器线性相位网络结构

Fig.3 Linear phase network structure of FIR filter

3.2 FIR 滤波器设计流程

FIR 数字滤波器设计流程如图 4 所示,整个 FIR 数字滤波器的设计可以分为滤波器系数设计和滤波器在 FPGA 上实现两个部分。利用 Matlab 软件设计出 FIR 数字滤波器各级抽头系数,并将 FIR 数字滤波器的功能移植到 FPGA 上。

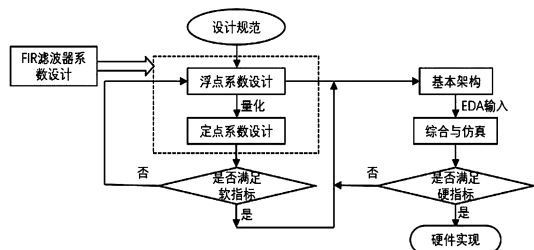


图 4 FIR 滤波器设计流程图

Fig.4 Flow chart of FIR filter design

4 FIR 数字滤波器的 FPGA 实现

4.1 Matlab 设计滤波器系数

通过使用 Matlab 中 FDA Tool 工具箱设计出一个 15 阶低通线性相位 FIR 数字滤波器,其采样频率为 20 kHz,截止频率为 3 kHz,长度为 16 位,并采用布莱克曼窗实现,将滤波器浮点系数量化为 12 位。运行所编辑的滤波器,并将量化后的滤波器系数写入 FIRCOE.TXT 文件中。滤波器设计界面如图 5 所示。

4.2 Simulink 仿真滤波器输入信号

将 Simulink 中正弦波信号产生模块 sine wave、高斯白噪声模块 AWGN 通过多信号叠加模块 add 生成一个采样频率为 20 kHz 的信号干扰源,并生成 12 位量化系数,再与 2 kHz 和

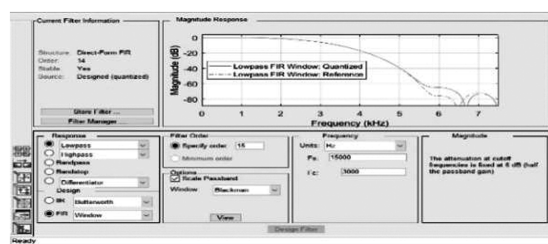


图 5 Fdatool 滤波器设计界面

Fig.5 Design interface of Fdatool filter

8 kHz 的正弦波信号合成作为 FPGA 的输入信号。信号发生模块如图 6 所示。

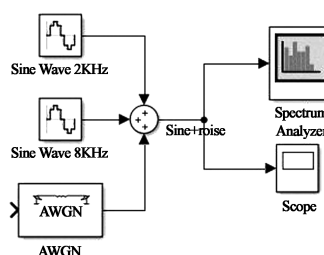


图 6 合成信号发生模块

Fig.6 Schematic diagram of synthetic signal generating module

4.3 IP 核设计 FIR 数字滤波器

进入 QuartusII IP 核设置界面,设计一个 15 阶低通线性滤波器,将 4.2 中的 FIRCOE 系数文件导入到 Coefficient set 中^[11],配置好滤波器各项参数,生成 FIR 数字滤波器模块,并将其实例化引用。数字滤波器 RTL 级原理如图 7 所示,其中 ast_sink_data[11..0]和 ast_source_data[25..0]分别为信号输入端口和数据输出端口。整个模块只占用 2 199 个逻辑元,占用率不到 10%。

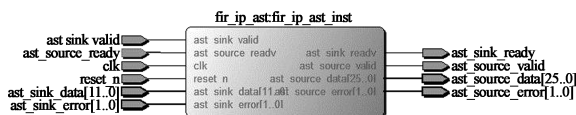


图 7 数字滤波器 RTL 级原理图

Fig.7 RTL level schematic diagram of digital filter

5 FIR 数字滤波器仿真与性能测试

5.1 FIR 数字滤波器功能仿真

搭建 FPGA 与 Simulink 联合实时环路平台,在 Simulink 创建测试模块,通过测试模块产生信号,再传送到 FPGA, FPGA 将信号处理后返回 Simulink 显示^[12]。首先在 Simulink 中创建用户

板卡, 配制板卡上 FPGA 芯片信息, 本设计 FPGA 采用的是 Cyclone IV 系列 EP4CE6E22C8N。然后采用 JTAG 连接方式, 设置 JTAG 接口类型、时钟信号频率、引脚号、时钟类型、复位信号引脚、复位电平等信息, 并将配置的信息保存在 logic_board.xml 文件中。创建 Simulink 模型, 将配置好的 logic board.xml 文件导入, 加载 RTL 文件即 Verilog 代码文件, 并将其设置为顶层文件, 自动配置 IO 口, 将数据传送到 Simulink 中。仿真结果如图 8、图 9 所示。

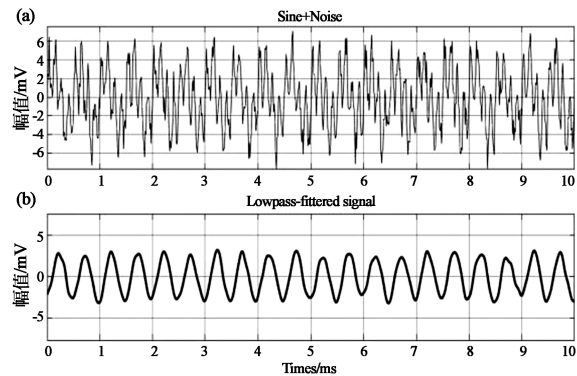


图 8 合成信号滤波前(a)后(b)时域波形图
Fig.8 Time domain waveform before (a) and after (b) filtering of synthetic signal

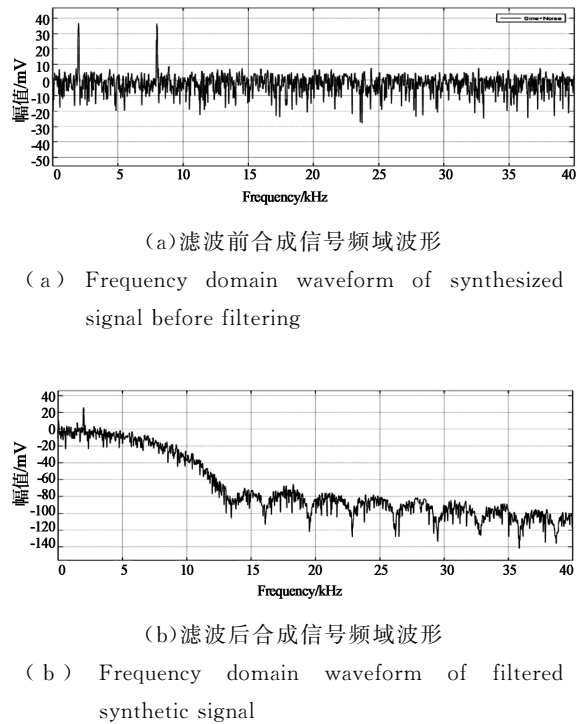


图 9 合成信号滤波前后频域波形图
Fig.9 Frequency domain waveform before and after filtering of synthetic signal

由图 8、图 9 可知, 滤波后的合成信号在时域和频域上趋于缓和, 毛刺噪声已经滤除, 并且同时滤除了 8 kHz 高频信号分量, 滤波后的信号已形成规则平滑的频率为 2 kHz 的单频正弦信号, 因此, FIR 线性相位低通滤波功能在 FPGA 上已经实现。

5.2 FIR 数字滤波器性能分析

将应变信号采集系统的 4 个应变采集通道分别对高速旋转部件的 4 个点进行应变测量, 并且通过串口将 FIR 数字滤波前后量化结果的文本文件导入 Matlab 中, 进行数据处理, 得到 FIR 数字滤波前后的均方差, 如表 1 所示。

表 1 FIR 数字滤波前后均方差
Tab.1 Mean square deviation before and after FIR digital filtering

通道	测量次序	测试数据量	数据均值	数字滤波前均方差	数字滤波后均方差
第一通道	1	30 015	-88 467	1 237.1	907.6
	2	35494	-89 736	1 126.5	875.3
	3	38 772	-85 473	1 283.1	910.4
第二通道	1	40 913	-2 1073	972.5	674.1
	2	58 209	-19 386	856.4	600.8
	3	49 328	-19 758	782.3	545.0
第三通道	1	79 635	70 394	709.2	539.5
	2	63 979	71 834	693.6	528.4
	3	64 298	70 936	707.0	545.5
第四通道	1	100 901	52 043	607.8	406.5
	2	70 365	52 864	583.4	384.3
	3	84 932	52 567	594.6	379.6

由表 1FIR 数字滤波前后量化信号均方差的对比可知, 经过 FIR 数字滤波器后, 信号的均方差大幅度下降, 4 个通道的采集信号均方差平均下降 28.5%, 具有良好的滤波效果。

5.3 界面显示

为了能够将 4 个应变采集通道中的最终采样结果通过串口在 PC 端实时显示, 使用 Matlab 中 GUI 工具箱设计出显示界面, 并且通过式 (4) 将

采样结果转化为对应的电压值。

$$U_o = (V_{\text{ref}} - \text{GND}) \times \frac{\text{ADC}_{\text{Result}}}{2^N} + \text{GND}, (4)$$

式中: V_{ref} 为 ADC 参考电压、GND 为输出结果为 0 时的最低电压, $\text{ADC}_{\text{Result}}$ 为采样结果, N 为 ADC 位数。同时根据式(5),在全桥测量的情况下将电压转换成相应的应变变量。

$$U_o = EK\epsilon, (5)$$

式中: E 为电桥电压, K 为应变灵敏系数, ϵ 为应变变量。显示界面如图 10 所示。

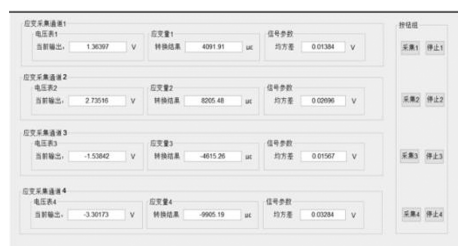


图 10 界面显示

Fig.10 Interface display

6 结 论

本文针对应变信号采集系统提出一种基于 FPGA 的 FIR 线性相位低通数字滤波器方案,构建了数字滤波器设计与仿真体系,最终在 FPGA 上实现,而且仿真系统可以任意改变合成信号的类型、数字滤波器的种类和各项参数,相比传统的通过编写 testbench 脚本仿真文件导入 Modelsim 来实现仿真结果,简化了复杂的仿真步骤,不需要在 FPGA 上增添信号发生模块,同时保证了实验可靠性。通过高速旋转部件的多次应变测量,结果表明数字滤波前后量化信号的均方差下降 28.5%,具有良好的滤波效果。增加显示界面,便于观察采样结果的动态变化。

对于接触式应变信号采集系统而言,将整个 FIR 数字滤波器的功能移植在 FPGA 上,增强功能的同时,系统的体积、质量、电路复杂程度均不受影响,从而不会影响直升机在飞行测试中旋翼系统的动态平衡。

参 考 文 献:

- [1] 魏国波.直升机旋转部件载荷测试技术研究[D].西安:西安电子科技大学,2013.
WEI G B. The investigation in the Flight Test Technique of Rotary parts on helicopter [D]. Xi'an: Xidian University, 2013. (in Chinese)
- [2] 黄学业,凌朝东,黄锐敏,等.基于 FPGA 的多路微弱医学生物电信号处理系统[J].液晶与显示,2014,29(2): 245-250.
HUANG X Y, LING C D, HUANG R M, et al. Multichannel weak medical bioelectrical signal processing system based on FPGA [J]. *Chinese Journal of Liquid Crystals and Display*, 2014, 29(2): 245-250. (in Chinese)
- [3] 杜勇.数字滤波器的 MATLAB 与 FPGA 实现[M].2 版.北京:电子工业出版社,2014.
DU Y. *MATLAB and FPGA Implementation of Digital Filter* [M]. 2nd ed. Beijing: Publishing House of Electronics Industry, 2014. (in Chinese)
- [4] 卢雍卿,李剑文,许雯雯,等.基于 FPGA 的数字滤波器设计与仿真[J].软件导刊,2017,16(2):85-88.
LU Y Q, LI J W, XU W W, et al. Design and simulation of digital filter based on FPGA [J]. *Software Guide*, 2017, 16(2): 85-88. (in Chinese)
- [5] 安都勋,霍建华,王留全.基于 MAX1452 的应变测试系统前端模块的设计[J].电子设计工程,2012,20(2):118-120.
AN D X, HUO J H, WANG L Q. Design of strain testing system front-end module based on MAX1452 [J]. *Electronic Design Engineering*, 2012, 20(2): 118-120. (in Chinese)
- [6] 罗杰.Verilog HDL 与 FPGA 数字系统设计:Quartus II [M].北京:机械工业出版社,2015.
LUO J. *Design of Verilog HDL and FPGA Digital System Quartus II* [M]. Beijing: China Machine Press, 2015. (in Chinese)
- [7] 王艳芬,张晓光,王刚,等.关于 FIR 滤波器窗函数设计法的若干问题讨论[J].电气电子教学学报,2017,39(2): 83-88.
WANG Y F, ZHANG X G, WANG G, et al. Discussion on some problems about the design of window function of

- FIR filter [J]. *Journal of Electrical & Electronic Education*, 2017, 39(2): 83-88. (in Chinese)
- [8] 刘福泉. 基于 FPGA 的 FIR 数字滤波器实现[D]. 北京: 北京邮电大学, 2012.
LIU F Q. Implementation of FIR digital filter based on FPGA [D]. Beijing: Beijing University of Posts and Telecommunications, 2012. (in Chinese)
- [9] 郭晓伟, 陈钟荣, 夏利娜. 基于 FPGA 的高速高阶 FIR 滤波器的频域改进方法[J]. 现代电子技术, 2016, 39(11): 55-58, 62.
GUO X W, CHEN Z R, XIA L N. Frequency domain improvement method for high-speed and high-order FIR filter based on FPGA [J]. *Modern Electronics Technique*, 2016, 39(11): 55-58, 62. (in Chinese)
- [10] 王辉. FIR 数字滤波器的设计与研究[J]. 装备制造技术, 2018(1): 48-49, 62.
WANG H. Design and research of FIR digital filter [J]. *Equipment Manufacturing Technology*, 2018(1): 48-49, 62. (in Chinese)
- [11] 陈媛媛, 刘有耀. FIR 滤波器的 FPGA 设计与实现[J]. 电子设计工程, 2017, 25(24): 65-69, 73.
CHEN Y Y, LI Y Y. FIR filter of the FPGA design and implementation [J]. *Electronic Design Engineering*, 2017, 25(24): 65-69, 73. (in Chinese)
- [12] 李亮. 基于 Simulink 的软件无线电硬件协同仿真技术[D]. 成都: 电子科技大学, 2013.
LI L. Simulink-based software radio hardware co-simulation technology [D]. Chengdu: University of Electronic Science and Technology of China, 2013. (in Chinese)

作者简介:



宋卓达(1993—), 男, 吉林长春人, 硕士研究生, 2016 年于南昌大学获得学士学位, 主要从事 FPGA 嵌入式系统设计方面的研究。E-mail: 453474362@qq.com



王志乾(1969—), 男, 吉林省吉林市人, 研究员, 2009 年于吉林大学获得博士学位, 主要从事光电测量、数字信号处理方面的研究。E-mail: zhiqian_wang@sina.com