

ITO连接过孔电阻定量计算与设计方法

周焱, 王超, 陈鹏, 朱宁, 江鹏, 高玉杰

引用本文:

周焱, 王超, 陈鹏, 等. ITO连接过孔电阻定量计算与设计方法[J]. 液晶与显示, 2022, 37(1): 45–55.

ZHOU Yan, WANG Chao, CHEN Peng, et al. Quantitative calculation and design method for the resistance of *via* hole connected by ITO[J]. *Chinese Journal of Liquid Crystals and Displays*, 2022, 37(1): 45–55.

在线阅读 View online: <https://doi.org/10.37188/CJLCD.2021-0266>

您可能感兴趣的其他文章

Articles you may be interested in

小尺寸TFT-LCD GOA显示屏不良横纹的研究

Horizontal stripes defect of small size TFT-LCD GOA panel

液晶与显示. 2019, 34(5): 501–507 <https://doi.org/10.3788/YJYXS20193405.0501>

基于印刷双层电极的氧化物薄膜晶体管

Oxide thin-film transistors based on printed double-layer electrodes

液晶与显示. 2021, 36(9): 1239–1246 <https://doi.org/10.37188/CJLCD.2021-0116>

阵列基板铜工艺不良研究

Cu defects in array process

液晶与显示. 2021, 36(4): 560–565 <https://doi.org/10.37188/CJLCD.2020-0253>

摩擦Mura机理和设计改善方法

Mechanism and design improvement on Rubbing Mura

液晶与显示. 2019, 34(6): 570–575 <https://doi.org/10.3788/YJYXS20193406.0570>

垂直线不良分析与改善

Analysis and improvement of vertical line mura

液晶与显示. 2017, 32(5): 352–356 <https://doi.org/10.3788/YJYXS20173205.0352>

文章编号:1007-2780(2022)01-0045-11

ITO 连接过孔电阻定量计算与设计方法

周 焱, 王 超, 陈 鹏, 朱 宁, 江 鹏*, 高玉杰

(武汉京东方光电科技有限公司, 湖北 武汉 430040)

摘要: TFT-LCD 面板内的 ITO 连接过孔目前只有一些定性的设计规则, 缺乏定量计算和设计过孔的方法。本文研究了此类过孔电阻的定量计算方法, 同时探索了过孔电阻与击穿电流的关系, 为合理设计过孔、防止过孔烧毁提供了指导依据。首先, 通过分析过孔的结构, 抽象出等效电阻电路图, 得到多种不同结构的过孔电阻分解公式。过孔电阻主要由深孔接触电阻、浅孔接触电阻和深浅孔之间连接的 ITO 电阻组成。然后, 通过设计不同尺寸的金属与 ITO 的接触过孔, 使用开尔文四线检测法测量得到深孔接触电阻和浅孔接触电阻与孔尺寸之间的关系式。同时, 深浅孔之间连接的 ITO 电阻可通过 ITO 方块电阻与深浅孔之间的 ITO 尺寸计算得到。由此, 我们仅依据过孔的尺寸信息及 ITO 方阻数据即可计算得到各种结构的过孔电阻阻值。通过对大量过孔电阻的实测值与计算值进行相关性分析, 线性相关系数达到 0.96, 证明了该计算方法的可靠性。最后, 通过测量大量过孔的电阻阻值及其击穿电流值, 发现过孔电阻阻值与击穿电流之间存在显著的幂函数关系, 幂指数在 -1.3 附近, 相关系数达到 0.98。自此, 建立起了一整套可定量计算和设计过孔电阻和击穿电流的方法。

关键词: 薄膜晶体管液晶显示器; 氧化铜锡; 过孔; 接触电阻; 击穿电流

中图分类号: TN141.9 **文献标识码:** A **doi:** 10.37188/CJLCD.2021-0266

Quantitative calculation and design method for the resistance of *via* hole connected by ITO

ZHOU Yan, WANG Chao, CHEN Peng, ZHU Ning, JIANG Peng*, GAO Yu-jie

(Wuhan BOE Optoelectronics Technology Co., Ltd., Wuhan 430040, China)

Abstract: At present, there are only some qualitative design rules for *via* hole connected by ITO in TFT-LCD panel, and there is lack of quantitative calculation and design method of *via* hole. In this paper, the quantitative calculation method for the resistance of this kind of *via* hole is studied, and the relationship between the resistance and the breakdown current of *via* hole is explored, which provides guidance for us to design *via* hole reasonably to prevent the hole from burning. Firstly, by analyzing the structure of *via* hole, the equivalent resistance circuit diagram is abstracted and the decomposition formulas for the resistances of *via* holes with various structures are obtained. The resistance of *via* hole is mainly composed of the contact resistances of deep and shallow holes, and the resistance of ITO between the deep and shallow holes. Then, by designing the contact holes between metal and ITO in different sizes, Kelvin Four-terminal sensing method is used to measure the relationship between the contact resistances of deep and shallow holes and the hole sizes. Meanwhile, the resistance

收稿日期: 2021-10-26; 修订日期: 2021-11-19.

* 通信联系人, E-mail: jiangp@boe.com.cn

of ITO between the deep and shallow holes can be calculated by the square resistance and size of ITO between the deep and shallow holes. Therefore, we can calculate the resistance of *via* hole with various structures only according to the hole size and the square resistance of ITO. By analyzing the correlation between the measured and calculated resistance values of a large number of *via* holes, the linear correlation coefficient is 0.96, which proves the reliability of the calculation method. Finally, by measuring the resistance values and breakdown current values of a large number of *via* holes, a significant power function relationship between the resistance value and breakdown current is found, the power index is around -1.3 , and the correlation coefficient is 0.98. Thus, we have established a set of guiding methods about resistance calculation and breakdown current evaluation of *via* hole quantitatively.

Key words: TFT-LCD; ITO; *via* hole; contact resistance; breakdown current

1 引言

薄膜晶体管液晶显示器(TFT-LCD)已成为目前平板显示的主流产品,相关设计和制造工艺已进入成熟阶段^[1]。薄膜晶体管的配线材料均采用导电性极好的金属材料,如铝、铜。相对于铝,铜具有更低的电阻率、更快的刻蚀速度,目前被广泛使用在中大尺寸 TFT-LCD 面板中^[2-6]。TFT-LCD 面板中不同金属层之间的导通均需通过过孔连接,而连接过孔的材料使用较多的就是氧化铟锡(ITO)。ITO 是一种金属氧化物,具有良好的导电性和高的光学透过率,作为透明电极被广泛应用在 TFT-LCD 中,成为不可或缺的一部分^[7-8]。由于 ITO 的电阻率比金属材料大 2~3 个数量级,同时 ITO 与金属两种不同属性材料的接触界面同样存在着较大的接触电阻,故 ITO 连接过孔是电信号在传递过程中电阻相对较大的区域,流经电流过大时容易发生过孔烧毁的问题。因此在产品设计中,如何合理设计过孔电阻是提高产品品质的重要课题^[9]。

白金超等人研究了铝配线情况下的过孔接触电阻的变化规律,指出了过孔面积、尺寸等因素与接触电阻大小的定性关系,为传统铝工艺下的过孔设计提供了依据^[10]。业内还没有一种可定量计算和设计过孔的方法。而且,目前业内已广泛使用铜配线,辅助层结构与铝配线有所不同,刻蚀特点也有很大差异,铜工艺下的过孔接触电阻规律还需要进一步研究。

本文通过对过孔电阻的阻值进行分解,得到并验证了定量计算过孔电阻的方法,阐明了

铜工艺下的过孔接触电阻变化规律,同时为复杂的过孔设计提供了一些参考,最后探索了过孔电阻与击穿电流的关系,为合理设计过孔提供了依据。

2 实验

实验材料为大尺寸 TFT 半成品玻璃基板若干。玻璃基板上的成膜顺序依次为栅极金属层(Gate)、栅极绝缘层(GI)、源漏极金属层(Source/Drain,SD)、薄膜晶体管钝化层(PVX)、像素电极层。物理溅射形成钼铌/铜/钼钛(MoNb/Cu/MTD) 15 nm/600 nm/20 nm 的 Gate 层和钼铌/铜(MoNb/Cu) 15 nm/500 nm 的 SD 层金属,以及 50 nm ITO 的像素电极。等离子增强化学气相沉积氮化硅形成 420 nm 的 GI 层和 400 nm 的 PVX 层。通过一次干法刻蚀,在 PVX 层上形成过孔使 ITO 与 SD 层金属相连(浅孔),在 GI 层和 PVX 层上同时形成过孔使 ITO 与 Gate 层金属相连(深孔)。

本文采用 Kesight B1500A 半导体参数分析仪对样品上具有开尔文四线检测结构的过孔接触电阻进行测试,采用 Keithley 2410 1 100 V 高压源测量设备对普通过孔电阻和击穿电流进行测试,通过扫描电子显微镜(SEM)、能量色散 X 射线光谱仪(EDS)和聚焦离子束显微镜(FIB)对过孔内部形貌进行表征。数据的相关性分析采用 JMP 软件 16 版进行。文中描述的孔尺寸均为刻蚀后的孔底部尺寸(Final inspection critical dimension,FICD)。

2.1 过孔电阻的阻值分解

图 1 为 TFT-LCD 常见的 ITO 连接过孔的

截面图。图中①为孔间的 ITO 平面电阻,②为孔间的 ITO 斜坡电阻,定义 R_{ito} 为孔间连接的 ITO 总电阻,包括①和②两部分。③为 ITO 与金属的接触电阻,其中 R_d 为深孔接触电阻, R_s 为浅孔接触电阻。很明显,电流要从 Gate 层流到 SD 层,必须经过①、②、③,因此单过孔电阻的阻值:

$$R_{via} = R_d + R_s + R_{ito} \quad (1)$$

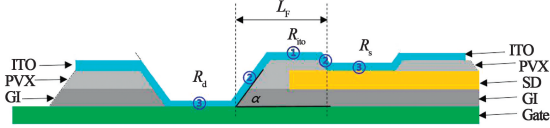


图 1 ITO 连接过孔截面示意图

Fig.1 Section schematic diagram of the via hole connected by ITO

图 2 为 ITO 连接过孔的平面俯视图。 R_{ito} 等于平面电阻与斜坡电阻之和。假设 ITO 的方块电阻为 $R_{\square}$, 深浅孔间的 ITO 总长度为 L_R , 深浅孔间的 ITO 宽度为 W , 则

$$R_{ito} = R_{\square} \cdot L_R / W \quad (2)$$

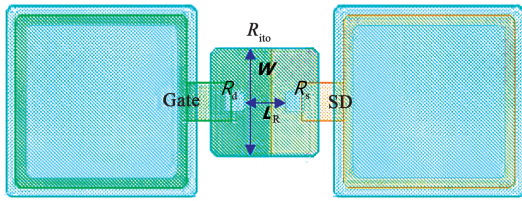


图 2 ITO 连接过孔平面俯视图

Fig.2 Top view of the via hole connected by ITO

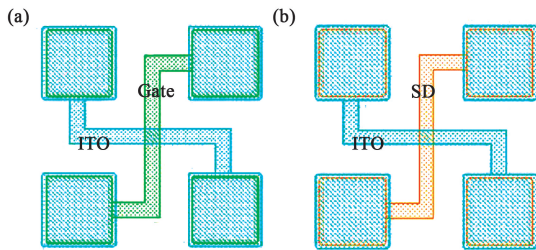


图 3 具有开尔文四线检测结构的过孔接触电阻图形。(a)深孔;(b)浅孔。

Fig.3 Pattern of the via hole contact resistance with Kelvin Four-terminal sensing structure. (a) Deep hole; (b) Shallow hole.

假设孔边缘的坡度角为 α , 深浅孔之间的距离为 L_F , 则深浅孔之间的 ITO 总长度:

$$L_R = L_F - (T_{GI} + 2T_{PVX}) \left(\frac{1}{\tan \alpha} - \frac{1}{\sin \alpha} \right), \quad (3)$$

其中: T_{GI} 和 T_{PVX} 分别为 GI 层和 PVX 层的厚度。 R_d 和 R_s 为接触电阻, 与过孔尺寸相关, 没有可用的理论计算公式。我们采用开尔文四线检测法测量设计好的过孔拟合得到接触电阻与过孔尺寸的计算公式。图 3 为具有开尔文四线检测结构的过孔接触电阻图形。

2.2 复杂结构过孔的阻值分解

在实际的面板设计中, 常见到的是多行多列的复杂过孔结构设计。下面分别对 3 种常见的过孔结构进行阻值分解和说明。

2.2.1 单排孔设计

如图 4 所示, 单排孔设计是深孔和浅孔各只有一列面对排列的情况, 深孔 m 个, 浅孔 n 个, m 和 n 可以相等也可以不相等。通常多个深孔都是相同设计, 多个浅孔也是相同设计, 相同设计的孔接触电阻可以认为无差异。

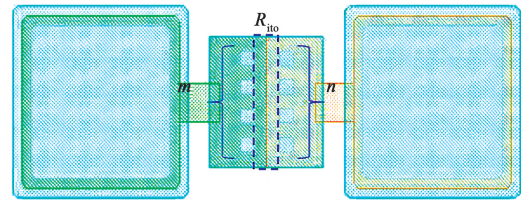


图 4 单排孔结构的 ITO 连接过孔电阻图形

Fig.4 Pattern of the via hole resistance connected by ITO with single-column structure

电流依次流经深孔、ITO 和浅孔。深孔接触电阻、ITO 连接电阻和浅孔接触电阻之间是串联关系, m 个深孔之间则是并联关系, n 个浅孔之间也是并联关系。单排孔结构的过孔电阻等效电路图如图 5 所示。

于是, 我们很容易得到单排孔结构的过孔电

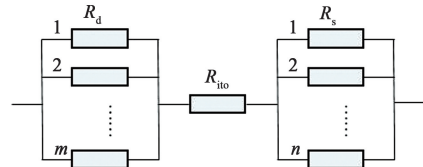


图 5 单排孔结构的过孔电阻等效电路图

Fig.5 Equivalent circuit diagram of the via hole resistance with single-column structure

阻为:

$$R_{via} = \frac{1}{m}R_d + \frac{1}{n}R_s + R_{ito} \quad (4)$$

2.2.2 双排孔竖向设计

如图 6 所示,双排孔竖向设计是深孔和浅孔各有两列面对面排列的情况。 R'_{ito} 和 R''_{ito} 分别为两排深孔间的 ITO 连接电阻和两排浅孔间的 ITO 连接电阻。

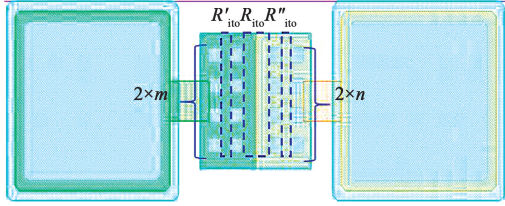


图 6 双排孔竖向结构的 ITO 连接过孔电阻图形

Fig.6 Pattern of the *via* hole resistance connected by ITO with double-column structure

电流依次流经深孔、ITO 和浅孔,双排孔竖向结构的过孔电阻等效电路图如图 7 所示。

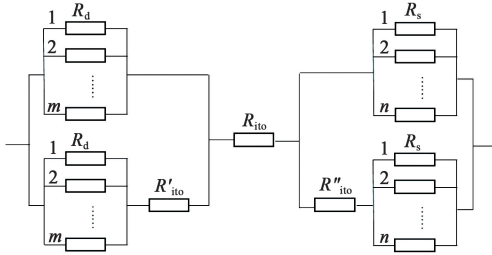


图 7 双排孔竖向结构的过孔电阻等效电路图

Fig.7 Equivalent circuit diagram of the *via* hole resistance with double-column structure

依据电阻的串并联公式,双排孔竖向结构的过孔电阻为:

$$R_{via} = \frac{1}{m}R_d \left(1 - \frac{R_d}{2R_d + mR'_{ito}} \right) + \frac{1}{n}R_s \left(1 - \frac{R_s}{2R_s + nR''_{ito}} \right) + R_{ito} \quad (5)$$

2.2.3 双排孔横向设计

如图 8 所示,双排孔横向设计是深孔和浅孔各有两行,深孔两行在外、浅孔两行在内排列的情况。 R'_{ito} 为两排浅孔间的 ITO 连接电阻。

同理,双排孔横向结构的过孔电阻等效电路图如图 9 所示。

依据电阻的串并联公式,双排孔横向结构的过孔电阻为:

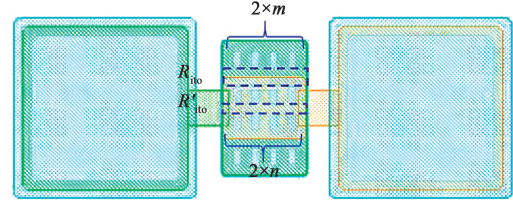


图 8 双排孔横向结构的 ITO 连接过孔电阻图形

Fig.8 Pattern of the *via* hole resistance connected by ITO with double-row structure

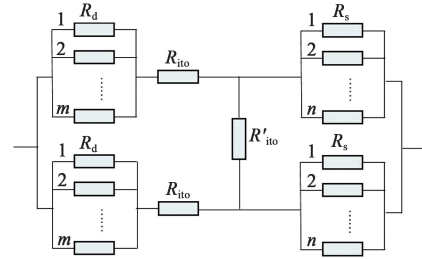


图 9 双排孔横向结构的过孔电阻等效电路图

Fig.9 Equivalent circuit diagram of the *via* hole resistance with double-row structure

$$R_{via} = \frac{1}{2m}R_d + \frac{1}{2n}R_s + \frac{1}{2}R_{ito} \quad (6)$$

其中 R'_{ito} 上下连接点电势相等,无电流经过,等效电路图中可以直接删除。

其他复杂类型过孔电阻的计算公式可以通过分析等效电路图同理得到。

3 结果与讨论

为了验证上述过孔电阻计算公式的准确性,我们需要计算出各种类型的过孔电阻阻值,然后与实测阻值进行相关性分析。 R_d 和 R_s 需要测量和拟合得到计算公式,ITO 的方块电阻 R_d 以及过孔的尺寸信息可以通过直接测量得到。

3.1 深孔和浅孔的接触电阻计算

表 1 是用开尔文四线检测法测量一系列不同孔径的接触电阻阻值。由表中数据可知,随着孔面积的增加,深孔和浅孔的接触电阻均呈明显下降趋势。在孔面积相等的情况下,正方形孔与长方形孔接触电阻几乎一样,且浅孔的接触电阻远大于深孔接触电阻。玻璃中心位置 ITO 与金属的接触电阻均明显大于玻璃边缘位置,存在位置别差异。

表 1 不同大小深孔和浅孔的接触电阻值

Tab.1 Results of contact resistance for deep and shallow holes of different sizes

类别	孔尺寸/ μm	玻璃中心/ Ω	玻璃边缘/ Ω
深孔 Gate-ITO	6 $\times$ 6	22.38	15.49
	6 $\times$ 7	19.4	13.35
	6.5 $\times$ 6.5	20.05	13.08
	7 $\times$ 7	17.71	11.82
	7 $\times$ 8	15.57	9.97
	7.5 $\times$ 7.5	15.82	10.22
	8 $\times$ 8	14.42	8.98
	8 $\times$ 9	12.99	7.95
浅孔 SD-ITO	8.4 $\times$ 8.4	21.99	11.45
	8.4 $\times$ 9.4	18.28	9.1
	8.9 $\times$ 8.9	17.45	9.45
	9.4 $\times$ 9.4	16.61	7.78
	9.4 $\times$ 10.4	14.05	6.93
	9.9 $\times$ 9.9	13.84	6.96
	10.4 $\times$ 10.4	12.04	5.88
	10.4 $\times$ 11.4	11.14	5.45

将孔面积的倒数与接触电阻值做线性拟合,深孔线性相关系数达到 0.99 以上,浅孔线性相关系数达到 0.98 以上,如图 10 所示。

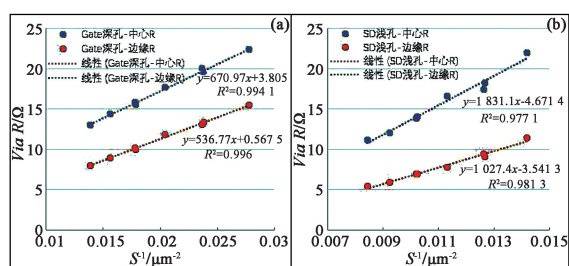


图 10 深孔(a)和浅孔(b)的接触电阻与孔面积的线性拟合曲线

Fig.10 Linear fitting curves of the contact resistance and the hole area for deep (a) and shallow (b) holes

由此,我们得到深孔和浅孔的接触电阻计算公式:

$$\text{玻璃中心位置}, R_d(\Omega) = 670.97/S^2 + 3.805, \quad (7)$$

$$\text{玻璃中心位置}, R_s(\Omega) = 1831.1/S^2 - 4.671, \quad (8)$$

$$\text{玻璃边缘位置}, R_d(\Omega) = 536.77/S^2 + 0.5675, \quad (9)$$

$$\text{玻璃边缘位置}, R_s(\Omega) = 1027.4/S^2 - 3.5413, \quad (10)$$

其中 S 为孔面积,单位 μm^2 。

与此同时,我们对过孔进行了微观形貌表征和元素成分分析,如图 11 和图 12 所示。

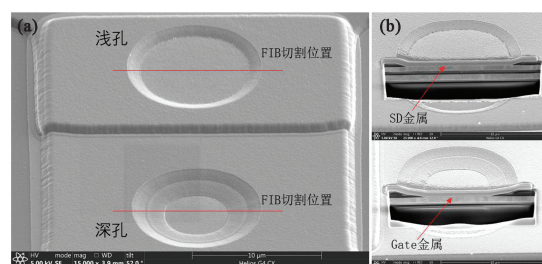


图 11 深孔和浅孔的扫描电子显微镜图(a)和聚焦离子束显微镜图(b)

Fig.11 SEM picture of deep and shallow holes(a) and FIB picture(b)

从显微镜图片中可以看出,浅孔边缘非常光滑,而深孔边缘多一个小斜坡,这是由于深孔需要刻蚀 PVX 和 GI 两层绝缘层导致的。

栅极金属 Cu 上方还有 MTD 层,源漏极金属 Cu 上方没有其他膜层。结合图 12 的 EDS 结果可知,浅孔中心是 ITO 与 Cu 直接接触,深孔中心是 ITO 与 MTD 直接接触,深孔边缘是 ITO 与 SiN_x 直接接触。因此 ITO 与金属 Cu 的接触电阻大小直接与孔的接触面积相关,与孔的形状无明显关系。这也证明了上述拟合公式的合理性。Cu 工艺的这些结果与白金超等人研究的 Al 工艺过孔有着明显的区别。

由于 Cu 与 ITO 的电学接触性能不好,接触电阻较大,而 MTD 与 ITO 有较好的电学接触性能,接触电阻远小于 Cu 与 ITO 的接触电阻。故相同的孔面积下,深孔的接触电阻远小于浅孔接触电阻。

如果栅极金属不使用 MTD,也采用与源漏极金属相同的膜层结构即 MoNb/Cu,则可以推断在相同孔面积下,深孔和浅孔的接触电阻大小相当。

选择一片栅极和源漏极金属均为 MoNb/Cu 的样品进行接触电阻测试,测试结果如下:孔尺寸

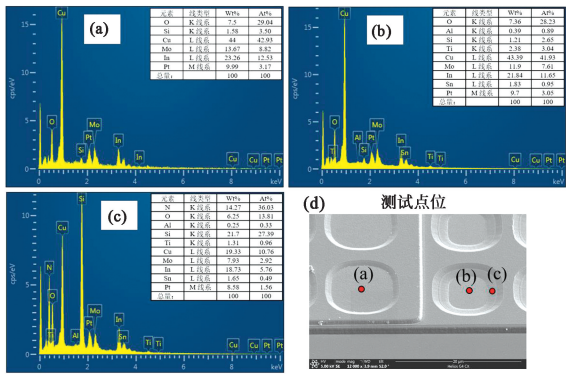


图 12 深孔和浅孔的 EDS 结果。(a)浅孔中心;(b)深孔中心;(c)深孔边缘;(d)测试点位。

Fig.12 EDS results of deep and shallow holes. (a) Shallow hole center; (b) Deep hole center; (c) Deep hole edge; (d) Test point.

为 $11\text{ }\mu\text{m}\times 11\text{ }\mu\text{m}$,玻璃中心位置,深孔接触电阻 $10.42\text{ }\Omega$,浅孔接触电阻 $10.39\text{ }\Omega$;玻璃边缘位置,深孔接触电阻 $4.18\text{ }\Omega$,浅孔接触电阻 $4.21\text{ }\Omega$ 。测试结果符合预期,证明了上述 Cu 工艺的微观分析结论的正确性。

3.2 ITO 连接的过孔电阻计算

表 2 为 26 个 ITO 连接过孔的尺寸信息,统一进行编号。孔对数是指深孔和浅孔的个数,一个深孔和一个浅孔称为 1 对。表中均为单排孔结构,同一编号的过孔的深孔和浅孔数量相等,深孔和浅孔的孔尺寸相同。坡度角 $\alpha = 40^\circ$,GI 和 PVX 的厚度分别为 420 nm 和 400 nm , L_F 和 W 可直接量取,依据公式(3)可计算出表中的 L_R 。

表 2 ITO 连接过孔的尺寸信息

Tab.2 Size information of the via holes connected by ITO

编号	孔尺寸 FI/ μm	L_R / μm	W / μm	孔对数
1	6.5×6.5	10.5	30	1
2	7×6	11	30	1
3	6×7	10	30	1
4	7.68×5.5	11.5	30	1
5	7.5×7.5	9.5	30	1
6	8×7	10	30	1
7	7×8	9	30	1
8	9×8	16.25	48	1

续 表

编号	孔尺寸 FI/ μm	L_R / μm	W / μm	孔对数
9	9×9	10.25	90	1
10	7×7	10	30	1
11	8.65×6.5	10.5	30	1
12	9.38×6	11	30	1
13	21×21	41.25	111.76	1
14	10×7	9.5	53.6	3
15	19×16	18.25	159	5
16	8×8	10.25	32	2
17	6×6	10.25	25.5	2
18	9×8	16.25	138	7
19	21×21	41.25	111.76	3
20	8×8	21.25	136.5	4
21	8×8	7.25	32	2
22	7×7	10	30	2
23	9×8	23.25	129	3
24	13×13	10.25	105	2
25	9×9	10.25	90	6
26	9×9	10.25	90	3

依据表 2 中的孔尺寸可算出孔面积,通过公式(7)、(8)、(9)、(10)可计算出 R_d 和 R_s 。由于拟合的孔面积范围有限, R_s 实际计算中有可能出现负值。 $R_{\square}$ 可通过测量直接得到,玻璃中心和边缘位置分开测量,依据公式(2)和表 2 中的 L_R 和 W 即可计算出 R_{ito} 。最后,依据公式(4)即可模拟计算出过孔的电阻值,如表 3 和表 4 所示。

表 3 玻璃中心位置 ITO 连接过孔电阻的模拟与实测结果

Tab.3 Simulated and measured results of the via hole resistance connected by ITO at glass center (Ω)

编号	中心位置						Δ (模拟-实测)
	$R_{\square}$	R_{ito}	R_d	R_s	模拟/	实测/	
1		38.5	19.7	18.4	76.6	78	-1.4
2	110	40.3	19.8	18.5	78.6	78.8	-0.2
3		36.7	19.8	18.5	75.0	77.9	-2.9

续 表

编号	中心位置						Δ (模拟—实测)
	$R_{\square}$	R_{ito}	R_d	R_s	模拟/	实测/	
4		42.2	19.7	18.3	80.2	78.1	2.1
5		34.8	15.7	14.0	64.6	68.6	-4.0
6		36.7	15.8	14.1	66.5	68.7	-2.2
7		33.0	15.8	14.1	62.8	68.2	-5.4
8		37.2	13.1	10.8	61.1	63.6	-2.5
9		12.5	12.1	9.4	34.0	54.6	-20.6
10		36.7	17.5	16.1	70.2	73.3	-3.1
11		38.5	15.7	13.9	68.2	67.4	0.8
12		40.3	15.7	13.8	69.9	67.3	2.6
13		40.6	5.3	-1.3	44.6	50.5	-5.9
14		19.5	13.4	11.0	27.6	30.6	-3.0
15	110	12.6	6.0	0.0	13.8	15.9	-2.1
16		35.2	14.3	12.3	48.5	50.4	-1.9
17		44.2	22.4	21.3	66.1	67.8	-1.7
18		13.0	13.1	10.8	16.4	17.8	-1.4
19		40.6	5.3	-1.3	41.9	33.4	8.5
20		17.1	14.3	12.3	23.8	24.5	-0.7
21		24.9	14.3	12.3	38.2	45.6	-7.4
22		36.7	17.5	16.1	53.4	55.1	-1.7
23		19.8	13.1	10.8	27.8	35.6	-7.8
24		10.7	7.8	3.0	16.2	26.7	-10.5
25		12.5	12.1	9.4	16.1	20	-3.9
26		12.5	12.1	9.4	19.7	29.3	-9.6

表 4 玻璃边缘位置 ITO 连接过孔电阻的模拟与实测结果

Tab.4 Simulation calculation and test results of the *via* hole resistance connected by ITO at glass edge

(Ω)

编号	边缘位置						Δ (模拟—实测)
	$R_{\square}$	R_{ito}	R_d	R_s	模拟/	实测/	
1		18.9	13.3	9.4	41.6	53.4	-11.8
2		19.8	13.3	9.5	42.6	53.6	-11.0
3	54	18.0	13.3	9.5	40.8	53	-12.2
4		20.7	13.3	9.4	43.3	53.8	-10.5

续 表

编号	边缘位置						Δ (模拟—实测)
	$R_{\square}$	R_{ito}	R_d	R_s	模拟/	实测/	
5		17.1	10.1	6.9	34.2	47.7	-13.5
6		18.0	10.2	7.0	35.1	48.1	-13.0
7		16.2	10.2	7.0	33.3	47.3	-14.0
8		18.3	8.0	5.1	31.4	47.9	-16.5
9		6.2	7.2	4.4	17.7	38.7	-21.0
10		18.0	11.5	8.1	37.6	50.2	-12.6
11		18.9	10.1	6.9	35.9	48.8	-12.9
12		19.8	10.1	6.8	36.7	49.1	-12.4
13		19.9	1.8	-1.7	20.1	44.2	-24.1
14		9.6	8.2	5.3	14.1	22.7	-8.6
15		6.2	2.3	-0.9	6.5	13.9	-7.4
16	54	17.3	9.0	6.0	24.8	35.9	-11.1
17		21.7	15.5	11.0	35.0	45.3	-10.3
18		6.4	8.0	5.1	8.2	14.8	-6.6
19		19.9	1.8	-1.7	20.0	29.3	-9.3
20		8.4	9.0	6.0	12.1	19.5	-7.4
21		12.2	9.0	6.0	19.7	30.8	-11.1
22		18.0	11.5	8.1	27.8	38.1	-10.3
23		9.7	8.0	5.1	14.1	29	-14.9
24		5.3	3.7	0.8	7.5	20.6	-13.1
25		6.2	7.2	4.4	8.1	15.4	-7.3
26		6.2	7.2	4.4	10.0	21.6	-11.6

从表 3 和表 4 中可以看出,模拟计算值和实测值匹配程度较好。对模拟值和实测值进行相关性分析,结果如图 13。使用二元正态密度椭圆分析,模拟值与实测值均值偏小 $8\ \Omega$,标准差相当,两者的线性相关系数达到 0.96,证明了上述公式以及计算方法的可靠性。

3.3 不同结构的过孔电阻

针对一些不同结构的过孔设计,这里选择若干组过孔电阻实测数据进行对比分析,给出一些设计建议。

3.3.1 孔两端正对与非正对设计

图 14 为两组单排孔正对与非正对设计的阻

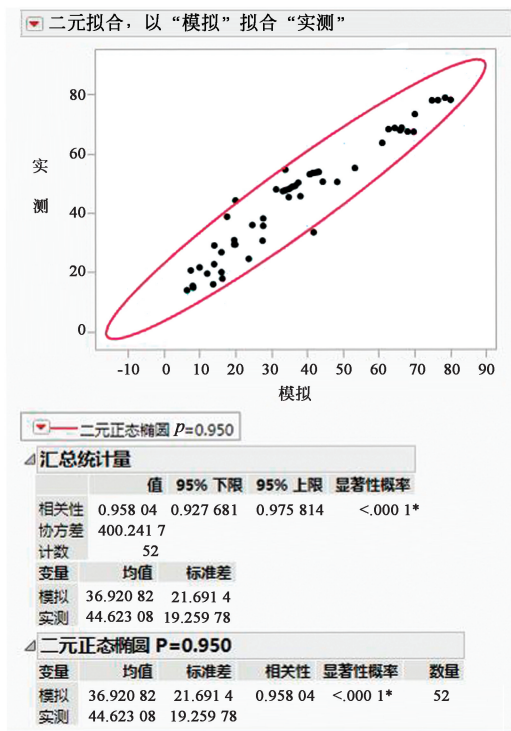


图 13 ITO 连接过孔电阻模拟值与实测值的相关性分析

Fig.13 Correlation analysis between simulated and measured values of the *via* hole resistance connected by ITO

值对比。从图中可以看出,孔两端金属线正对与非正对设计对整体过孔电阻无影响,设计时可灵活采用。

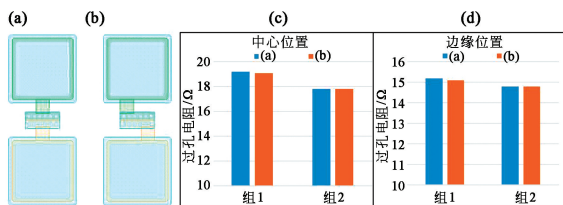


图 14 单排孔正对与非正对的阻值对比。(a) 正对; (b) 非正对; (c) 中心位置阻值对比; (d) 边缘位置阻值对比。

Fig.14 Comparison between the resistance values of the direct and non-direct *via* hole with single-column. (a) Direct; (b) Non-direct; (c) Comparison of the center position resistance; (d) Comparison of the edge position resistance.

3.3.2 ITO 宽度问题

图 15 为两组 ITO 宽度不同的单排孔阻值对

比。组内单孔尺寸和深浅孔间距均相同,只是 ITO 宽度即 W 不同。从图中可以看出,ITO 宽的过孔(a)阻值明显比 ITO 窄的过孔(b)阻值小。这也说明 ITO 过孔电阻与 ITO 的宽度即 W 有关,与之前公式(2)一致。

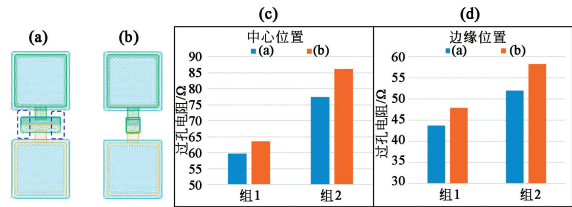


图 15 不同 ITO 宽度的过孔阻值对比。(a) ITO 宽; (b) ITO 窄; (c) 中心位置阻值对比; (d) 边缘位置阻值对比。

Fig.15 Comparison of the *via* hole resistance values of different ITO widths. (a) ITO wide; (b) ITO narrow; (c) Comparison of the center position resistance; (d) Comprison of the edge position resistance.

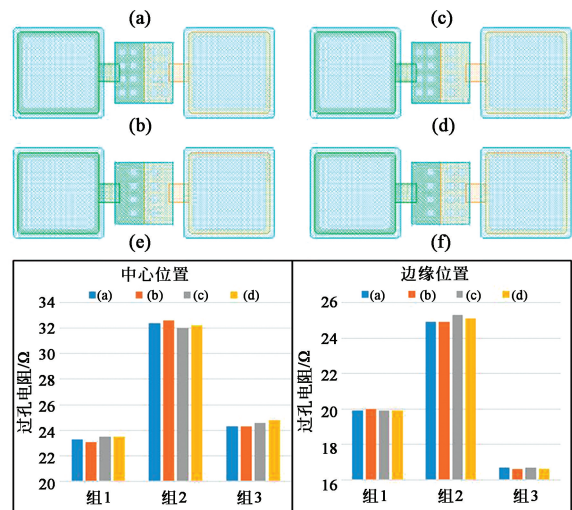


图 16 竖向双排孔与单排孔的阻值对比。(a) 双排深孔; (b) 单排深孔; (c) 双排深孔单排浅孔; (d) 单排深孔双排浅孔; (e) 中心位置阻值对比; (f) 边缘位置阻值对比。

Fig.16 Comparison between the resistance values of the *via* hole with double-column and single-column. (a) Double-column deep and shallow holes; (b) Single-column deep and shallow holes; (c) Double-column deep holes and single-column shallow holes; (d) Single-column deep holes and double-column shallow holes; (e) Comparison of the center position resistance; (f) Comparison of the edge position resistance.

3.3.3 双排孔竖向设计

图 16 为 3 组竖向双排孔与单排孔的阻值对比。每组内包含 4 种过孔,组内单孔尺寸和深浅孔间距均相同,只是深浅孔的列数不同。从图中可以看出,竖向双排孔(a)与单排孔(b)没有明显的阻值差异。

从公式(4)和(5)可以看出,双排孔竖向过孔电阻仅比单排孔的过孔电阻小 $\frac{R_d}{m\left(2+m\frac{R'_{ito}}{R_d}\right)} + \frac{R_s}{n\left(2+n\frac{R''_{ito}}{R_s}\right)}$ 。这里 m 和 n 均为 4, R'_{ito} 和 R''_{ito} 通常都大于 R_d 和 R_s ,故双排孔竖向过孔电阻仅比单排孔的过孔电阻最多小 $1/24(R_d + R_s)$ 。同时通过表 3 和表 4 可以看出, R_d 和 R_s 通常较小,故此差值非常小(不到 $1\ \Omega$),与实测结果一致。故在相同孔径下,双排孔竖向设计对整体

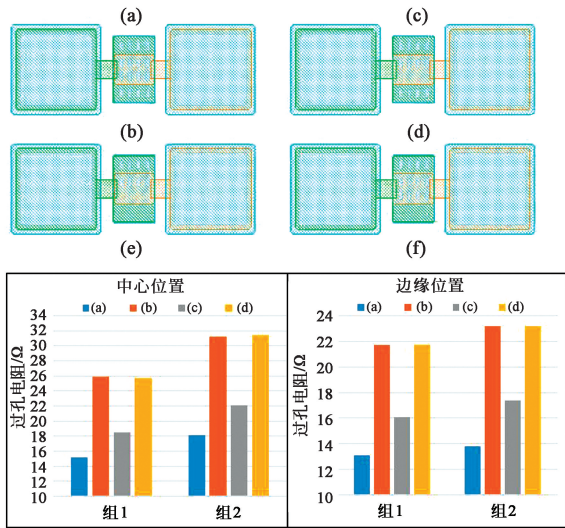


图 17 横向双排孔与单排孔的阻值对比。(a)双排深孔;(b)单排深孔;(c)双排深孔单排浅孔;(d)单排深孔双排浅孔;(e)中心位置阻值对比;(f)边缘位置阻值对比。

Fig.17 Comparison between the resistance values of the via hole with double-row and single-column. (a) Double-row deep and shallow holes; (b) Single-row deep and shallow holes; (c) Double-row deep holes and single-row shallow holes; (d) Single-row deep holes and double-row shallow holes; (e) Comparison of the center position resistance; (f) Comparison of the edge position resistance.

过孔电阻无明显贡献,空间有限时采用单排孔设计即可。

3.3.4 双排孔横向设计

图 17 为两组横向双排孔与单排孔的阻值对比。每组内包含 4 种过孔,组内单孔尺寸和深浅孔间距均相同,只是深浅孔的行数不同。横向双排孔(a)的阻值约等于单排孔(b)阻值的 $1/2$ 。

从公式(4)和(6)可以看出,横向双排孔的阻值等于单排孔阻值的 $1/2$,与实测值基本一致。同时,(d)排列的过孔电阻与横向双排孔阻值相当。说明增加浅孔的行数对过孔电阻没有明显贡献。故在双排孔横向设计时建议采用两行深孔一行浅孔。

3.4 过孔电阻与击穿电流

我们还进一步探索了过孔击穿电流与过孔阻值之间的关系。我们测量了 42 组过孔电阻和它的击穿电流值,分别用幂函数和焦耳公式进行拟合,结果如图 18 所示。

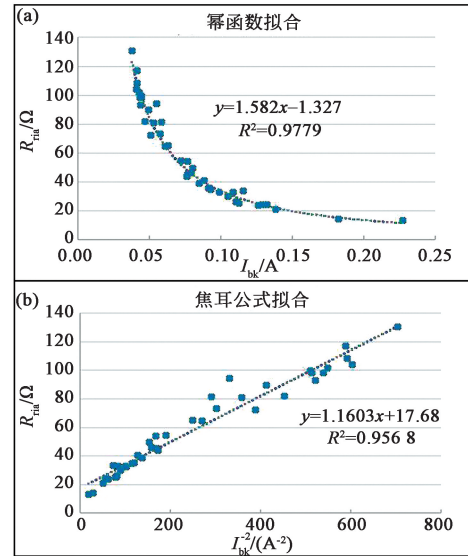


图 18 过孔电阻与击穿电流的关系。(a)幂指数拟合;(b)焦耳公式拟合。

Fig.18 Relationship between the via hole resistance and breakdown current. (a) Power exponent fitting; (b) Jole formula fitting.

过孔烧毁通常被认为是过孔电阻产生的焦耳热过大导致过孔结构发生破坏导致的,按照焦耳定律就是过孔电阻与击穿电流的倒数存在二次方的关系。从图 18(a)幂函数拟合情况来看,拟合出的幂指数为 -1.327 ,介于 1 和 2 之间,相关系

数达到 0.98。按照图 18(b)焦耳定律拟合的函数,电流倒数的平方为非负数,则过孔电阻不低于 $17.68\ \Omega$,这显然是不合理的,且相关系数不到 0.96。因此幂函数关系更为显著,推测过孔电阻与击穿电流之间可能存在着一次方和二次方关系的综合影响。我们可通过这个幂函数公式推算出过孔的击穿电流大小。

4 结 论

本文首先研究了 ITO 接触电阻并拟合得到了深孔和浅孔的接触电阻计算公式,同时阐明了铜工艺下的过孔接触电阻的不同规律,MTD 金属能够明显改善铜与 ITO 的接触电阻。然后

对 ITO 连接过孔电阻进行详细的分解,推导了多种结构过孔电阻的计算方法,并利用实测数据验证了计算方法的可靠性,相关系数达到 0.96。针对不同结构的过孔,通过实测数据对比分析,提出了一些过孔相关的设计建议:过孔两端金属正对与非正对设计对电阻大小没影响;ITO 宽的过孔电阻较小;双排孔竖向设计时深孔或浅孔列数的增加对电阻基本没贡献;双排孔横向设计时浅孔行数的增加对电阻基本没贡献。最后,探索了过孔电阻阻值与击穿电流的幂函数关系,幂指数为 -1.3,相关系数达到 0.98。自此,我们建立起了一整套可定量计算过孔电阻及其击穿电流的方法,为合理设计过孔提供了依据。

参 考 文 献:

- [1] 廖燕平,宋勇志,邵喜斌,等.薄膜晶体管液晶显示器显示原理与设计[M].北京:电子工业出版社,2016.
LIAO Y P, SONG Y Z, SHAO X B, *et al.* *Thin Film Transistor Liquid Crystal Display* [M]. Beijing: Publishing House of Electronics Industry, 2016. (in Chinese)
- [2] 郑宗程.高世代 TFT-LCD 磁控溅射铜薄膜的工艺优化[D].广州:华南理工大学,2019.
ZHENG Z C. Process optimization of copper thin film prepared by magnetron sputtering for high generation TFT-LCD [D]. Guangzhou: South China University of Technology, 2019. (in Chinese)
- [3] 阙祥灯.基于面向高世代 TFT-LCD 线的 Cu 和 COA 工艺及其对 IGZO TFT 特性影响的研究[D].广州:华南理工大学,2018.
QUE X D. Research on Cu and COA process and its influence on the characteristics of IGZO TFT based on advanced TFT-LCD lines [D]. Guangzhou: South China University of Technology, 2018. (in Chinese)
- [4] 袁继旺.TFT-LCD Cu 4Mask 制程蓝画面斜纹研究[D].广州:华南理工大学,2019.
YUAN J W. Research on blue picture twill in TFT-LCD Cu 4Mask process [D]. Guangzhou: South China University of Technology, 2019. (in Chinese)
- [5] 刘丹,秦刚,王任远,等.阵列基板栅极制程的 Cu 腐蚀研究[J].液晶与显示,2018,33(9):717-724.
LIU D, QIN G, WANG R Y, *et al.* Cu corrosion of array substrate in gate process [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(9): 717-724. (in Chinese)
- [6] SEO B H, LEE S H, PARK I S, *et al.* Effect of nitric acid on wet etching behavior of Cu/Mo for TFT application [J]. *Current Applied Physics*, 2011, 11(S1): S262-S265.
- [7] 吴斯泰.ITO 薄膜的制备及其与 p-Si 接触性能的研究[D].南京:南京航空航天大学,2016.
WU S T. Research on preparation of ITO thin films and properties of ITO/p-Si contact [D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2016. (in Chinese)
- [8] 李振弘.TFT-LCD 行业 ITO 和 Cu/Mo 薄膜刻蚀液性能研究[D].杭州:浙江工业大学,2020.
LI Z H. Study on the performance of etching solution for ITO and Cu/Mo film in the industry of TFT-LCD [D]. Hangzhou: Zhejiang University of Technology, 2020. (in Chinese)
- [9] 陈丽雯,叶芸,郭太良,等.LTPS TFT 层间绝缘层过孔刻蚀的工艺优化[J].液晶与显示,2016,31(4):363-369.
CHEN L W, YE Y, GUO T L, *et al.* Optimization of *via* etching process of LTPS TFT interlayer dielectric [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(4): 363-369. (in Chinese)
- [10] 白金超,王玉堂,郭总杰,等.TFT-LCD 过孔接触电阻研究[J].液晶与显示,2015,30(3):432-436.
BAI J C, WANG Y T, GUO Z J, *et al.* Via hole contact resistance in TFT-LCD [J]. *Chinese Journal of Liquid*

Crystals and Displays, 2015, 30(3): 432-436. (in Chinese)

作者简介:



周 焱(1988—),男,湖北黄冈人,硕士,高级工程师,2014 年于中国科学院大学获得硕士学位,主要从事 TFT-LCD 面板产品研发设计工作。E-mail: zhouyan@boe.com.cn



江 鹏(1987—),男,安徽宣城人,硕士,2012 年于合肥工业大学获得硕士学位,主要从事 TFT-LCD 面板设计工作及新技术研发工作。E-mail: jiangp@boe.com.cn