

文章编号:1007-2780(2016)04-0370-05

ITO 像素电极工序对于 HADS 产品 TFT 特性的影响

林致远*, 杨成绍, 邹志翔, 操彬彬, 黄寅虎, 文锺源, 王章涛
(合肥鑫晟光电科技有限公司, 安徽 合肥 230012)

摘要:通过不同 TFT 几何结构验证 ITO 像素电极工序对于 HADS 产品 TFT 特性的影响。实验结果显示 TN5mask 与倒反 HADS 结构(源漏极 ITO 像素电极)二者有比现行 HADS 结构(ITO 像素电极 源漏极)更高的 I_{on} , 提升比率达到 40%。推测主要原因为现行 HADS 结构(ITO 像素电极 源漏极)在 Si 岛完成后进行 ITO 像素电极工序增加了 N^+ 与源漏极之间接触阻抗导致 I_{on} 降低。对于 HADS 产品, 倒反 HADS 结构(源漏极 ITO 像素电极)可以具有更好的 TFT 特性表现。对现行 HADS 结构, 在沟道形成工序前的 N^+ 表面 ITO 残沙程度越少则 I_{off} 越低; 对于倒反 HADS 结构, 沟道形成之后沟道表面 ITO 残沙程度对 TFT 特性没有明显影响。对于 Poole-Frenkel 区域, 现行 HADS 结构(ITO 像素电极 源漏极)比 TN5mask 与倒反 HADS 结构(源漏极 ITO 像素电极)二者较低 I_{off} [$V_g = -20\text{ V}$], 下降达 50%, 主要为 N^+ 与源漏极之间接触阻抗增加的影响。

关键词:高开口率高级超维场转换技术; 非晶硅; 薄膜电晶体; Poole-Frenkel

中图分类号: TN873+.93 **文献标识码:** A **doi:** 10.3788/YJYXS20163104.0370

Effects of pixel ITO process on TFT characteristics of HADS product

LIN Zhi-yuan*, YANG Cheng-shao, ZOU Zhi-xiang, CAO Bin-bin,
Huang Yin-hu, WEN Zhong-yuan, WANG Zhang-tao

(Xingsheng Optoelectronics Technology Co., Ltd, Hefei 230012, China)

Abstract: Effects of TFT structure on HADS product TFT properties was investigated. TN 5 mask and reversed HADS structure (SD pixel ITO) shows higher I_{on} about 40% than current HADS structure (pixel ITO SD). The lower I_{on} of current HADS structure (pixel ITO SD) may result from higher N^+ /SD contact resistance due to damaged N^+ surface result from pixel ITO process on N^+ surface. For current HADS structure, less ITO remain before channel formation leads to a lower I_{off} , while it shows no effect on TFT characteristic as ITO remain stays on formed channel for reversed HADS structure (SD pixel ITO). The current HADS structure shows a 50% lower Poole-Frenkel leakage current and lower Poole-Frenkel I - V slope than TN 5mask and reversed HADS structure (SD pixel ITO) also due to a higher N^+ /SD contact resistance.

Key words: HADS; a-Si; TFT; Poole-Frenkel

收稿日期:2016-01-11; 修订日期:2016-01-17.

* 通信联系人, E-mail: linzhiyuan@boe.com.cn

1 引 言

现今显示技术范畴中,液晶显示(Liquid Crystal Display, LCD)是当今平板显示(Flat Panel Display, FPD)的技术主流,其中非晶硅薄膜晶体管(a-Si TFT)是主要的液晶显示技术。a-Si TFT 作为阵列的开关元件,其元件特性对于 LCD 的显示质量有至关重要的影响,是持续研究的重点。其中高开口率高级超维场转换技术(high aperture advanced super dimensional switching, HADS)产品具有高开口率、宽可视角达到 178°的优势特点,本实验目的即在于通过变化 TFT 几何结构以及不同制作工艺处理研究相关工艺处理对于 HADS 产品 TFT 元件特性影响,可以作为未来改善产品电学性能的依据。

2 实验方法和量测

本实验于 12.5 in(1 in=2.54 cm)产品进行研究,实验玻璃尺寸为 8.5 代线 2 500 mm × 2 200 mm。图 1 表示本实验的 3 种 TFT 结构,其中 HADS 产品为藉由上、下侧 ITO 所供应出的平行分量电场以驱动液晶进行平面旋转,其中 ITO 像素电极(pixel ITO)与源漏极(SD)为相邻工序搭接,因此可以有 ITO 像素电极 源漏极或源漏极 ITO 像素电极二种方式。现行为 Si 岛完成后先进行 ITO 像素电极再进行源漏极,因此 ITO 像素电极工序有可能影响 a-Si 表面以及沟道形貌,进而影响 TFT 特性。

本实验条件分 3 大区块如表 1 所列,第一区块为现行 HADS 结构(ITO 像素电极 源漏极),包含减少 ITO 像素电极残沙以降低背沟道粗糙程度的影响;第二区块为 TN 5mask 结构,包含不同工序后增加退火,可以比较存在 ITO 像素电极工序的影响;第三区块为倒反 HADS 结构(源漏极 ITO 像素电极),包含减少 ITO 像素电极残沙数量的影响。各实验条件于 Array 工序完成后通过在线电学特性测试设备(in-line electronic parameter measurement, EPM)量测 TFT 特性,EPM 可以量测电压、电流、电阻及电容的多种电学参数监控 Array 工序完成后的 TFT 电学特性,本实验量测项目包含 I_{on} 、 I_{off} 、

V_{th} 、Poole Frenkel 区并探讨可能机理,EPM 量测条件为 $V_g = -20 \sim 20$ V, $V_{ds} = 15$ V。

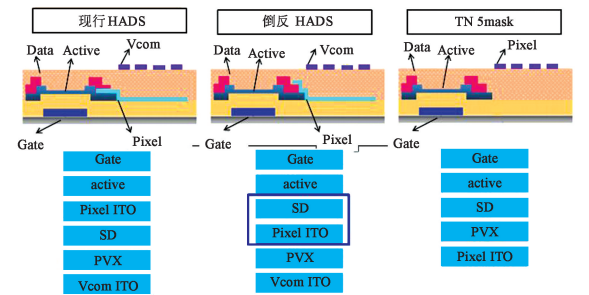


图 1 本实验三种 TFT 结构

Fig. 1 Three TFT structure type in this experiment

表 1 实验条件

Tab. 1 Experiment split

实验区块	TFT 叠层架构	Split	Content
区块一	现行 HADS 结构 (pixel ITO→SD)	Control	对照组 1
		S1	Pixel ITO 残沙减少
区块二	TN 5mask 结构	S2	对照组 2
		S3	a-Si 镀膜后退火
区块三	倒反 HADS 结构 (SD→pixel ITO)	S4	FinalITO 退火增加 1 次
		S5	对照组 3
		S6	Pixel ITO 残沙减少

3 实验结果与讨论

各个实验条件的 TFT 特性值趋势如图 2 所示,包含 $I_{on}[V_g = 15$ V]、 $I_{off}[V_g = -8$ V]、 V_{th} 。结果显示 TFT 特性值在不同区块的差异比较明显,大区块内的细部实验条件影响则相对比较小,显示主要影响来源是 ITO 像素电极工序顺序以及 TFT 叠层结构。3 个区块对照组 $I-V$ 曲线叠

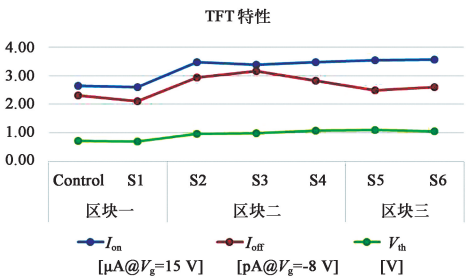


图 2 TFT 特性趋势图

Fig. 2 TFT characteristics trend

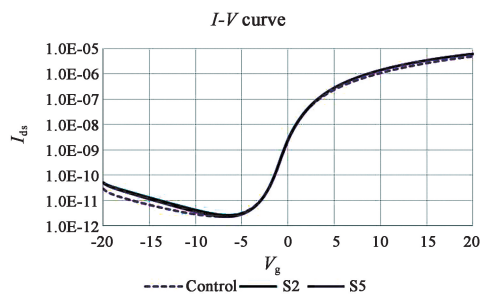


图 3 Control、S4、S9 条件 I - V 曲线

Fig. 3 I - V curve of control, S4 and S9 split

图如图 3 所示,第二区块对照组 S2 与第三区块对照组 S5 二者重叠,第一区块对照组 Control 差异比较明显主要在于 I_{on} 以及 Poole-Frenkel 区。

由图 1 TFT 特性值趋势图,TN 5mask 以及倒反 HADS 二者有比现行 HADS 更高的 I_{on} ,提升比率达到 40% ($2.5 \sim 3.5 \mu A$)。比较二者工序差异,推测机理主要影响来源在于在 a-Si 岛完成上进行 ITO 像素电极工序(镀膜、光刻、刻蚀、剥离、退火),多道工序会对于 a-SiN⁺ 表面产生损伤,使表面粗糙化以及断键缺陷态增加,造成容易掳获导通电子,同时退火条件为 250℃ 的 CDA (compressed dry air) 环境,使得 a-SiN⁺ 表面部分氧化成为绝缘性的 SiO_x 薄层,增加了 N⁺ 与源漏极界面的接触电阻导致 I_{on} 下降。以改善 HADS 产品 TFT 特性的观点,源漏极 ITO 像素电极结构下 I_{on} 增加幅度大, I_{off} 增加幅度小且在生产 Spec 之内 (<10 pA),是对 HADS 产品电学特性整体较佳的。

分析各大区块细部实验。S1 使用 ITO 像素电极残沙数量减少条件,相比 Control 条件 I_{on} 相同但 I_{off} 明显降低。由于 TFT 背沟道状态会影响 TFT 特性^[1-10],若 ITO 像素电极残沙预先存在于 a-SiN⁺ 表面上,则在后续 N⁺ etch 时 ITO 残沙会作为 N⁺ etch 刻蚀阻挡造成刻蚀不均一,导致背沟道形貌高低粗糙度增大。粗糙的背沟道表面容易在 a-Si 凸起尖端的部位发生电荷集中使得相邻的尖端部位电荷导通几率增加导致漏电几率增加,因此期望提升沟道平整度降低 I_{off} 。调整 ITO 像素电极镀膜工艺方法来减少刻蚀后的 ITO 残沙是对现行 HADS 产品 TFT 特性有效的改善做法。第二区块 S3、S4 在不同工序后增加退火期望修补 a-Si 膜层缺陷,S3 条件反而 I_{on} 略微降低,推测 a-Si 表面暴露在 CDA 气体含氧气环境下退

火容易氧化生成绝缘性的 SiO_x 薄层导致 N⁺ 与源漏极界面阻抗增加导致 I_{on} 降低,此结果符合第一区块的推论。S4 条件 N⁺ 与源漏极之间界面没有暴露于 O₂ 之下,因此退火后 I_{on} 不变同时 I_{off} 降低,表示退火本身对于修补 a-Si 膜层有产生效果。第三区块 S5、S6 为源漏极 ITO 像素电极工序,二者 I - V 曲线叠图高度重合如图 4 所示,显示对于源漏极 ITO 像素电极,在 N⁺ etch 完成后的背沟道上方存在不同的 ITO 残沙程度对于 TFT 特性的影响可以忽略,同时 ITO 像素电极工序中的退火对降低 I_{off} 有帮助,对应符合 S4 效果。

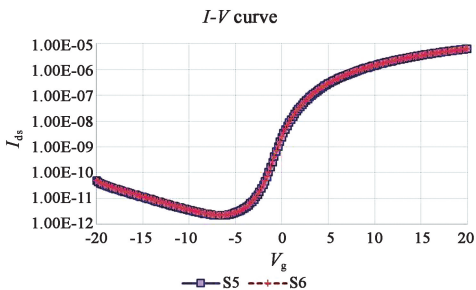


图 4 S9 与 S10 条件 I - V 曲线叠图

Fig. 4 I - V curve of S9 and S10

在高负栅压 ($V_g < -8$ V) 的 Poole-Frenkel 区漏电机理主要为前沟道以及背沟道在高电场下的缺陷态热发射空穴电流^[11]。图 5 为 I_{on} [$V_g = 15$ V]、 I_{off} [$V_g = -8$ V]、 I_{off} [$V_g = -20$ V] 合并趋势图,图 6 为不同 V_g 下对应的 Poole-Frenkel 区曲线斜率。图 5 显示第一区块比第二、三区块有更低的 Poole-Frenkel 区漏电流,变化趋势与 I_{on} [$V_g = 15$ V] 完全符合一致, I_{off} [$V_g = -20$ V] 约下降达 50%。对照图 6 确认漏电流大小与漏电流斜率大小二者趋势完全一致。这显示 N⁺ 与

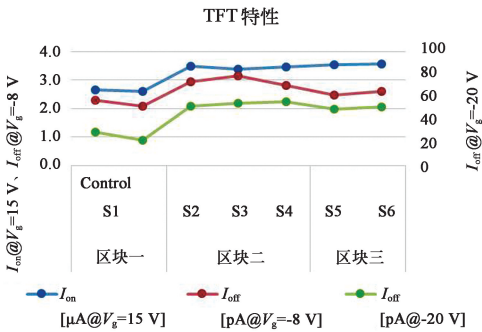


图 5 TFT 特性趋势图

Fig. 5 TFT characteristics trend

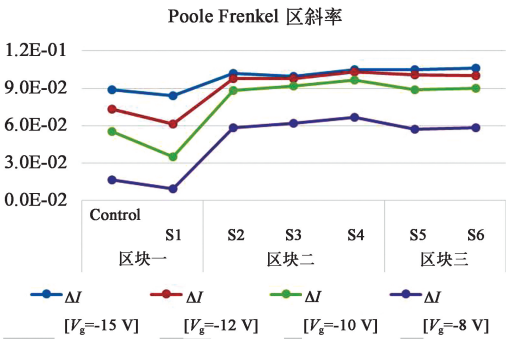


图 6 Poole Frenkel 区斜率

Fig. 6 Slope of I-V curve in Poole Frenkel region

源漏极界面阻抗除了影响 I_{on} 大小,同时也是影响 Poole-Frenkel 区漏电及斜率的最大因素。

机理如前所述,第一区块在 N^+ 与源漏极界面有较多的缺陷态以及绝缘性的 SiO_x 膜层,容易虏获载子降低导通电流以及增加阻抗而降低 Poole-Frenkel 区漏电值。图 6 中 $I_{off}[V_g = -8 V]$ 各条件差异比较小,在 $V_g < -8 V$ 之后差异开始明显,机理在于低负电压 $V_g = -8 V$ 时栅极使沟道区能带上抬,前沟道传导电子耗尽使导通电流最小,因此 N^+ 与源漏极界面阻抗影响不明显,所以三个区块 $I_{off}[V_g = -8 V]$ 差异小;当栅极负压继续增加,栅极高电场下前沟道热发射空

穴电流成指数增加,此时源漏极与 N^+ 界面阻抗的影响开始明显,斜率差异使得 $I_{off}[V_g = -20 V]$ 差异明显。S1 条件背沟道更平整可以减少 a-Si 粗糙缺陷,减少在高电场下背沟道表面尖端部位热发射空穴,因此得到最低 $I_{off}[V_g = -20 V]$ 。

4 结 论

TN 5mask 与倒反 HADS 结构二者有比现行 HADS 结构更高的 I_{on} ,提高比率 40%,推测现行 HADS 结构中 ITO 像素电极工序导致 N^+ 与源漏极界面接触阻抗增加,因此对于 HADS 产品,倒反 HADS 结构具有较佳的 TFT 特性。对于现行 HADS 结构,调整 ITO 像素电极镀膜工艺减少沟道形成之前 N^+ 表面 ITO 像素电极预留残沙,可以改善 TFT 沟道平整度有效降低 TFT I_{off} 。倒反 HADS 结构之下,沟道表面 ITO 残沙程度对 TFT 特性影响不明显。对于 Poole-Frenkel 区域,现行 HADS 结构有比 TN 5mask 与倒反 HADS 结构较低的 Poole-Frenkel 区漏电值以及斜率, $I_{off}[V_g = -20 V]$ 约下降达 50%。主要推测为 N^+ 与源漏极接触阻抗较大,有效降低漏电流。

参 考 文 献:

[1] ROSAN K. Hydrogenated amorphous-silicon image sensors [J]. *IEEE Transactions on Electron Devices*, 1989, 36 (12): 2923-2927.

[2] CARLUCCIO R, FORTUNATO G, MILNE W I. Activated hydrogen effects on the electrical stability of a-Si: H thin-film transistors [J]. *Journal of Non-Crystalline Solids*, 1993, 164-166: 751-754.

[3] UCHIKOGA S, KAKINOKI M, NAKAJIMA M, et al. A back-side passivation film on a-Si: H thin film transistor [J]. *Journal of Applied Physics*, 1994, 76(4): 2484-2489.

[4] MURTHY R V R, MA Q, NATHAN A, et al. Effect of NH_3/SiH_4 gas ratios of top nitride layer on stability and leakage in a-Si: H thin film transistors [J]. *MRS Proceedings*, 1998, 507, doi: 10.1557/PROC-507-73.

[5] ANDO M, WAKAGI M, MINEMURA T. Effects of back-channel etching on the performance of a-Si: H thin-film transistors [J]. *Japanese Journal of Applied Physics*, 1998, 37(7A): 3904.

[6] YAMAKAWA S, YABUTA S, BAN A, et al. Plasma treatment effect on the off current characteristics of a - Si TFT [J]. *SID Symposium Digest of Technical Papers*, 1998, 29(1): 443-446.

[7] WASHIZUKA I, YABUTA S, OKAMOTO M. Plasma treatment effect on the off current characteristics of a-Si thin film transistor [J]. *Jitsumu Hyomen Gijutsu*, 1999, 50(3): 273-277.

[8] YI C, RHEE S W, PARK S H, et al. Effect of back-channel plasma etching on the leakage current of a-Si: H thin film transistors [J]. *Japanese Journal of Applied Physics*, 2000, 39(3A): 1051-1053.

[9] KANG S G, BAE S C, CHOI SY. The effect of back channel hydrogen plasma treatment on the electrical characteristics of amorphous thin film transistors [J]. *Applied Physics Letters*, 2000, 77(8): 1188-1190.

[10] SERVATI P, NATHAN A. Modeling of the reverse characteristics of a-Si: H TFTs [J]. *IEEE Transactions on Electron Devices*, 2002, 49(5): 812-819.

[11] 王守坤,袁剑峰,郭会斌,等. TFT 栅极绝缘层和非晶硅膜层的 ITO 污染对电学特性影响的研究[J]. *液晶与显示*, 2015,30(6):930-936.

WANG S K, YUAN J F, GUO H B, *et al.* Influence of ITO contamination of TFT gate insulation & a-Si layers on electrical characteristics [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(6): 930-936. (in Chinese)

[12] SIMMONS J G. Poole-frenkel effect and schottky effect in metal-insulator-metal systems [J]. *Physical Review*, 1967, 155(3): 657-660.

作者简介:林致远(1978—),男,中国台湾人,博士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: linzhiyuan@boe.com.cn

杨成绍(1984—),男,中国安徽人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: yangchengshao@boe.com.cn

邹志翔(1986—),男,中国湖北人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: zouzhixiang@boe.com.cn

操彬彬(1987—),男,中国安徽人,硕士,研究员,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: caobinbin@boe.com.cn

黄寅虎(1986—),男,中国湖北人,硕士,部长,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: huangyinhu@boe.com.cn

文锺源(1971—),男,韩国人,硕士,部长,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail:jwmoon@boe.com.cn

王章涛(1977—),男,中国安徽人,博士,总监,主要从事 LCD Array 工艺开发以及 TFT 特性解析。E-mail: wangzhangtao@boe.com.cn

Busch 真空技术

致力于平板显示器生产





COBRA Semicon
干式螺杆真空泵

- ▶ 独特螺杆设计·实现强劲的抽气性能及卓越的粉尘耐受能力
- ▶ 配备高效能电机及世界先进的休眠模式功能·可节省大量能耗
- ▶ 卓越的 PGMEA 等溶剂处理能力

Busch 根据 CVD、PVD、刻蚀、PR 涂层、成盒、OLED 蒸镀、封装、离子注入等不同工艺需求，为客户量身定制专业的真空解决方案。

www.buschvacuum.com | www.busch-china.com

