

文章编号:1007-2780(2016)02-0173-06

基于 FPGA 的大面阵 CMOS 相机高速率 电子学系统设计

王 征*, 何云丰, 曹小涛, 王 栋, 孔德柱

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:目前深空遥感探测多采用 CCD 作为高分辨率相机的传感器,相较于 CCD,面阵 CMOS 驱动更简单、功耗更低、抗辐射能力更强,是深空遥感探测目前的发展趋势。为此,本文基于 CMOSIS 公司生产的型号为 CMV20000,图像分辨率为 5120×3840 的 CMOS 探测器,设计完成了一个大面阵 CMOS 高分辨率相机,图像分辨率为 5120×3840 。详细阐述了以 FPGA 为核心的电子学系统的整体结构,结合 CMV20000 的工作模式和时序电路,实现了高分辨图像的高速传输以及数据校正。试验结果表明,设计的相机系统方案合理,解决了 CMV20000 数据无法对齐的数据校正问题,系统运行稳定可靠,安装光学系统后能够获取高质量图像。

关键词:大面阵 CMOS; 高分辨率; FPGA; 高速数据校正

中图分类号:TP732 **文献标识码:**A **doi:**10.3788/YJYXS20163102.0173

Design of large area array CMOS of high speed electronics camera system based on FPGA

WANG Zheng*, HE Yun-feng, CAO Xiao-tao, WANG Dong, KONG De-zhu

(Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China)

Abstract: At present, a lot of deep space exploration use CCD as high resolution camera sensor. Compared with CCD image sensor, area array CMOS has advantages of simple drive, low power consumption, and high radiation tolerance. CMOS is currently the trend of the development of deep space remote sensing detection. Therefore, a large area array CMOS high resolution camera was designed and implemented, using CMOS image sensor CMV20000 produced by CMOSIS company, the image resolution is 5120×3840 . The overall structure of the FPGA as the core of the electronics system was described. Combined with CMV20000 operation mode and sequential circuits, the high speed transmission of high resolution images and data correction were realized. Experimental results show that the design of camera system is reasonable, the problem that the CMV20000 data cannot be aligned was solved. The operation of the system is stable and reliable, the high quality images can be acquired

收稿日期:2015-08-04; **修订日期:**2015-11-16.

基金项目:国家自然科学基金(No. 41175028)

Supported by National Nature Science Foundation of China(No. 41175028)

* 通信联系人, E-mail: wz61575785@aliyun.com

after installing the optical system.

Key words: large area array CMOS; high resolution; FPGA; high speed data correction

1 引言

近几年来,随着集成电路设计技术和工艺水平的长足进步,CMOS 图像传感器的一些性能指标已接近甚至超过 CCD 图像传感器^[1-2]。由于深空探测对相机的重量、体积和成本等因素的限制,以 CMOS 为传感器的轻量化相机设计必将在深空探测中发挥重要作用^[3-4]。如嫦娥二号卫星降落相机和 3 台监视相机均采用轻小型 CMOS 相机^[5],由于 CMOS 具有全局曝光的功能,可以保证所有像元的曝光时间相同,结构设计省去了机械快门装置,但由于是首次尝试,“嫦娥二号”降落相机的最高分辨率仅为 1 280×1 024,远远不能满足深空探测时获取高分辨率图像的要求。

相比 CCD 传感器而言,虽然 CMOS 具有全局曝光的特点和轻量化设计的优势,但在深空探测使用大面阵 CMOS 图像传感器时仍有待解决和完善的问题:(1)CMOS 加工工艺水平仍需不断提高和完善;(2)对 CMOS 相机的时序设计,尤其是其 CMOS 高速数据传输过程中引入的数据校正问题有待研究和解决。

为此,本文从系统开发角度出发,针对 CMOS 传感器开发过程中的时序问题,着重对其时序电路设计当中的数据校正问题进行了研究,设计了以 CMV20000^[6](分辨率 5 120×3 840)作为 CMOS 传感器的大面阵高分辨率相机。

2 系统方案设计

设计的电子学系统原理框图如图 1 所示,主要功能模块包括:CMOS 图像传感器、电源模块、主控 FPGA、FPGA 配置电路、图像缓存电路、RS422 通讯接口电路和 LVDS 接口电路等。

首先,主控 FPGA 通过 RS422 通讯接口接收上位机指令,控制 CMOS 及整个系统的工作,CMOS 接收 FPGA 传递的时序和指令控制自身工作状态,通过 SPI 接口进行参数配置;然后,FPGA 接收 CMOS 的图像数据,调整和处理后,

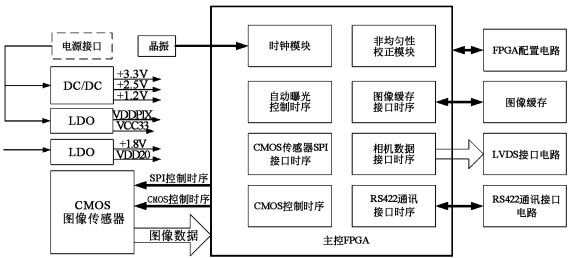


图 1 相机电子学原理框图

Fig. 1 Block diagram of the camera electronics

缓存到 SDRAM 中,再将 CMOS 图像数据发送到 LVDS 接口电路;最后图像数据通过转接板将 LVDS 信号转换为 Camera-link 信号,成像计算机通过 Camera-link 采集卡采集数据,并使用快视显示图像。

3 硬件电路设计

硬件电路由两块 PCB 板构成,一块为焦平面板,一块为控制处理板,两块板之间由刚挠板连接。其中传感器板上放置 CMOS 芯片及为其提供偏压的电阻和滤波电容等器件;控制处理板上放置电源电路,FPGA,SDRAM,RS422 通讯电路和 LVDS 数传电路。

3.1 焦平面板

CMV20000-1E5C1PA 是 CMOSIS 公司推出的一款工业级的大面阵图像传感器,有效像元数为 5 120×3 840,像元尺寸为 6.4 μm×6.4 μm,输出图像为 12 bit 的 Bayer 格式,动态范围为 66 dB,基本结构如图 2 所示。16 条 LVDS 数据通道最高速度能达到 480 MHz,全帧输出最高可达 30 fps。

3.2 控制处理板

主控电子学设计上采用轻量化、低功耗的设计思想:选择表贴器件、微型高密度电连接器及多层 PCB 工艺设计,大容量 FPGA 能够实现多功能集成、小型化和轻量化。设计采用的 FPGA 是 Xilinx 生产的 Virtex4 系列的 XC4VFX40。

为减少电路板尺寸,减轻电路板上连接器的数量,CMOS 焦平面板和后端的控制处理板采用

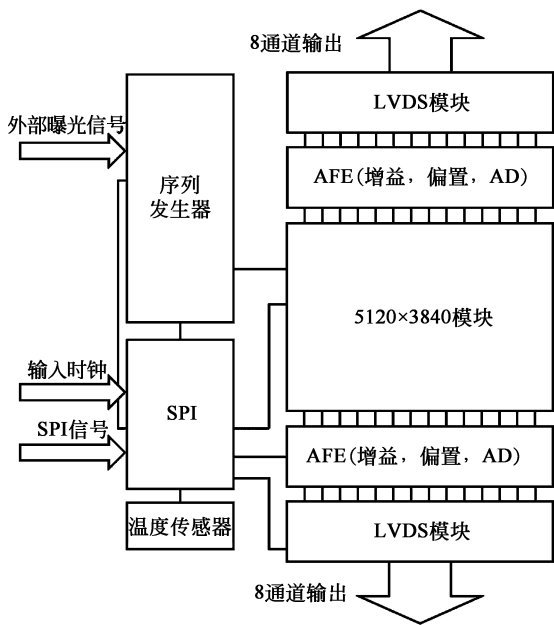


图 2 CMV20000 结构框图

Fig. 2 CMV20000 sensor architecture

刚挠板连接,电路板正面元器件初步布局如图 3 所示。CMOS 焦平面板大小为 65 mm×65 mm,后端控制处理板大小为 100 mm×80 mm,整个刚挠板重量约为 150 g。

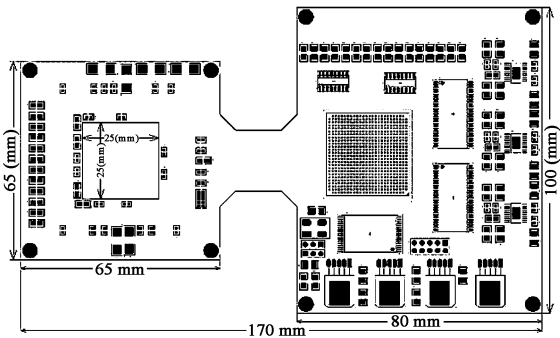


图 3 电路板正面元器件布局

Fig. 3 The front side of the PCB

4 FPGA 软件电路实现

硬件电路设计完成之后,需要在可编程逻辑器件 FPGA 上编写 VHDL 语言,驱动 CMOS 和整个相机。CMV20000 正常采集需要使用 17 个外部时序信号,全部由控制处理板上的晶振和 FPGA 产生。在编写 VHDL 的过程中,按着自顶向下的方式建立整个系统构架,按照功能可以分为以下几个工作模块:RS422 通讯模块、系统控

制模块、SPI 控制模块、LVDS 图像传输以及校正模块、图像拼接读出模块。

4.1 RS422 通讯模块

采用 RS422 串行通讯标准,传输波特率统一为 62 500 bps(即传输每位需 16 μs)。一帧数据包括 8 位数据位,起始位(数据为“0”)和停止位(数据为“1”)各一位,因此,每帧数据传输频率为 62 500/10=6 250 Hz,即传输时间为 160 μs。

为了提高数据传输的准确性,减少误码率,RS422 通讯模块采用 8 倍波特率采样数据。设计系统时钟为 80 MHz,对其进行 160 分频得到 500 kHz(即 2 μs)时钟,是传输每个数据位频率的 8 倍。使用 500K 时钟对串行数据进行采样,每个数据位采样 8 次并进行三模表决^[7],即判断第 4、5、6 三次采样的采样值(三次采样中至少两次判断为某个值,则判断为该值)。

RS422 通讯模块实时检测串行数据,空闲状态时串行数据始终为“1”,一旦检测到“0”时,则该位为起始位,然后接收后面的 8 个数据位,最后判断停止位是否为“1”,若为“1”则表明该帧数据正确,去掉停止位,将串行数据转化为并行数据。RS422 通讯模块将识别的参数进行判别、存储和输出。

4.2 系统控制模块

在系统控制模块中,FPGA 向 CMOS 发送时序指令,控制 CMOS 的工作状态,图 4 为 CMV20000 启动时序。首先在电路上电后,由电源电路向 CMOS 提供 VDD33、VDD20、VDDpix 和 Vres_h 等电压,其中 VDD33 和 Vres_h 为 3.3 V,VDD20 为 2.0 V,VDDpix 为 3.0 V。在 FPGA 向 CMOS 提供 CLK_IN 信号保持 1 μs 后,将复位信号 SYS_RES_N 置 1,接着使用 SPI 控制模块初始化 CMOS 工作参数。然后向 CMOS 发送训练模式校正指令。最后,在所有通道校正完毕后,将请求帧 FRAME_REQ 置 1 进行拍摄。

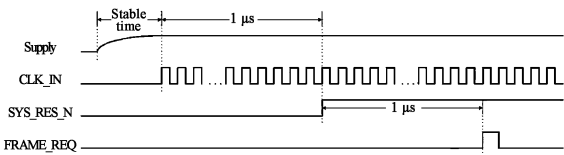


图 4 CMV20000 启动时序

Fig. 4 CMV20000 start-up sequence

4.3 SPI 控制模块

CMV20000 通过 SPI 接口完成内部寄存器的配置,对其进行初始化操作以改变 CMOS 的工作模式,如开窗,下采样,增益及偏置等。上电后,由 FPGA 输出 SPI 串行数据,配合 SPI 时钟和使能信号,更改 CMOS 内部寄存器的数据。具体写 SPI 时序如图 5 所示。

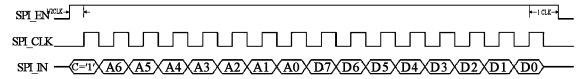


图 5 SPI 寄存器写配置
Fig. 5 SPI write timing

从图 5 中可以看出,一条完整的串行数据包含 16 位;第 1 位“0”表示读操作,“1”表示写操作;第 2~8 位为 7 位地址,可以定位所有 128 位寄存器;第 9~16 位为 8 位数据,可根据手册完成所需配置。由于 CMV20000 手册中 SPI 寄存器一些地址需要进行初始赋值,所以在写 SPI 过程中分为两步:第一步,将一些地址如 84、97 等的默认值设置为所需值;第二步,可以根据上位机发送地址和数据的指令改变寄存器配置,如 8/16 通道转换需配置 80 地址,切换测试模式和拍摄模式需配置 83 地址等。

4.4 LVDS 图像输出以及校正模块

CMOS 输出的 LVDS 数据最高可达 480Mbps,由于 CMV20000 本身设计原因,16 个高速的 LVDS 通道数据之间及 LVDS 输出时钟的相对相位并没有完全对齐,如图 6 所示。若用时钟直接去采样 16 个通道的高速数据会出现误码,影响成像质量,需要在训练模式中进行数据位和字的校正,使采样时刻对应于数据眼图的正中央。

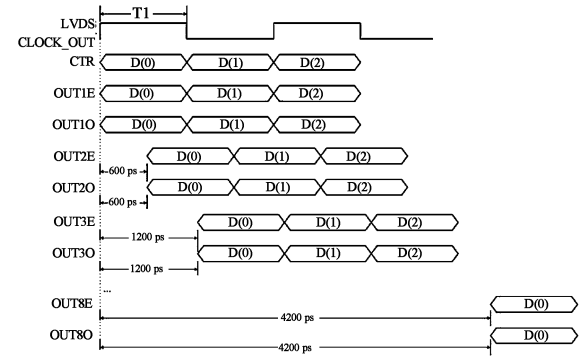


图 6 LVDS 通道输出偏移误差
Fig. 6 LVDS output bias error

由于 CMOS 的数据宽度为 12 位,所以不能采用 Virtex4 自带的 ISERDES 模块(最大 10 bit)。设计使用 FPGA 内部的 IDELAY 延迟单元实现动态调整功能,IDELAY 由 64 拍延迟线(tap)组成,使用 200 MHz 时钟作为校准时钟,那么每个 tap 的延迟时间约为 78 ps,可以用于高速数据的位校正^[8-9]。CMV20000 的 LVDS 输出 16 个数据通道(OUT),1 个时钟通道(CLOCK_OUT)和 1 个控制通道(CTR)。数据通道发送的是 12 位的图像信号;控制通道发送的是与图像数据匹配的行场信号以及标示位;时钟通道这里发送的是 DDR 时钟,频率是数据信号的一半,上升下降沿均采集图像数据。

CMV20000 在训练模式时,LVDS 控制信号通道和数据通道会发送不同的训练字,FPGA 接收端可以通过匹配训练字来实现字、位校正。当 CMOS 闲置时,控制通道(CTR)始终发送训练字 512(001000000000),16 个数据通道(OUT)始终发送训练字 85(000001010101)。

设计 LVDS 接收的具体步骤:首先将 CMOS 所有的 LVDS 输出转化为串行信号,然后经过 64-tap 延迟模块进行动态调整,最后使用 DDR 模块进行双倍时钟采样,将串行转化为并行。其中延迟模块使用两段状态机设计实现:第一段状态机由 3 个状态完成,主要控制校正状态的跳转,如图 7 所示:首先是 IDLE 状态,当收到训练指令(training = 1)后进入 START_ALIGN 状态(aligned=1),进行位和字的校正,校正完毕后(finish=1)进入 ALIGN_DONE 进行 16 个通道的依次判定,当控制通道和所有数据通道全部完成校正后,返回 IDLE。

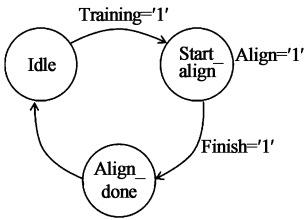


图 7 校正模块第一段状态机
Fig. 7 The first state machine of the correction module

第二段状态机由 7 个状态完成,主要进行位、字的校正,如图 8 所示:首先在 IDLE 状态时,收到第一段状态机开始训练指令(aligned = 1)后,进

入眼图采样 EYE_SAMPLE 状态,对输入的串行数据进行采样,而此时采样时钟的位置未必是眼图的中心位置。接着进入 EYE_DELAY 状态,通过控制 dlyce 和 dlyinc 对 IDELAY 延迟单元增加一级,然后 EYE_CHECK 模块将输出的并行 12 位数据与上次接收数据进行比较,若数据发生变化,则表明采样点在眼图位置的左边缘,记录此时的延迟拍数。同理,找到眼图的右边缘,EYE_CALC 状态计算左、右边缘延迟边缘的中间点即为最佳采样位置,将采样点移到眼图中间即完成位校正。位校正完成后,进入 WORD_ALIGN,将对齐的数据进行字校正。比较输出的并行数据和训练字是否相等,若不等使用一次循环移位(bitslip)操作,如此反复,直到并行数据与训练字匹配为止。进入 FINISH,发送校正完毕信号(finish=1)。

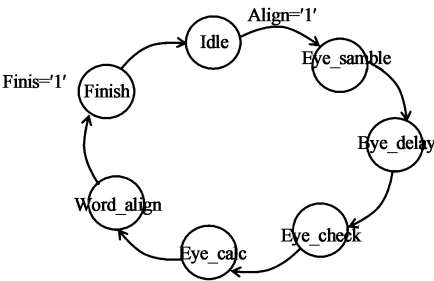


图 8 校正模块第二段状态机

Fig. 8 The second state machine of the correction module

4.5 图像拼接读出模块

经过数据校正后,16 个数据通道输出的图像数据并不是连续的,因此需要先在 FPGA 的存储器中缓存,然后将 16 个通道数据按照时序从缓存读出并进行拼接,最后发送到 SDRAM 中缓存等待处理。以 8 个通道图像数据拼接为例,如图 9 所示。

每行图像包含 5 120 个像素,由 8 个 LVDS 通道输出,每个通道负责传输 640 个像素,如 Channel 1 负责传输每行像素中第 0~639 个像素。

调用 FPGA 中的 16 个 BLOCK_RAM(B1~

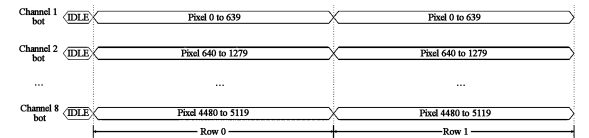


图 9 八输出通道像素拼接

Fig. 9 Pixel remapping for 8 output channels

B16)采用“乒乓”操作存储并处理 8 个通道的数据;当第一行数据写入 B1~B8 时,使用 8 倍的数据时钟依次读取 B9~B16 的图像数据,并按顺序将其拼接成一行发送给外部的 SDRAM,发送完后将第二行数据存入 B9~B16 中覆盖原数据,同时读取 B1~B8 中的第一行数据,如此反复,外部 SDRAM 中缓存的均为拼接后的图像数据,等待指令进行图像处理或将图像发送给上位机。

4 试验结果

根据以上软硬件设计,实现了 FPGA 对 CMV20000 的时序驱动、SPI 参数配置,并完成图像数据的接收、缓存、拼接以及发送功能。

试验采用频率为 40 MHz 的主时钟,数据传输速率为 480 Mbps,成像分辨率为 5 120 × 3 840,图像最终通过 Camera-link 接口传送至成像计算机进行成像。

图 10 为 CMOS 接收指令输出的测试图像,由 FPGA 拼接完成。测试图像为 12 位递增数据,0~4 095 循环。本试验选取了高 8 位作为上位机的显示图像,因此图像数据为 0~255 循环。

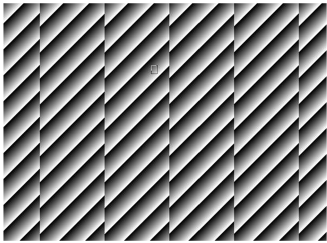


图 10 校正后测试图像结果

Fig. 10 Result of the test image after the correction



图 11 试验室成像结果

Fig. 11 Imaging result of the laboratory

为了验证试验的成像效果,进行了室内的实物拍摄,如图 11 所示。从图像上可以看出,试验室座位轮廓清楚,未出现错误区域。

5 结 论

本文以 CMOSIS 公司生产的工业级 CMOS

图像传感器 CMV20000 为基础,设计并实现了以 FPGA 为核心的高分辨率大面阵 CMOS 轻量化相机电子学系统,系统能够实现 5120×3840 分辨率成像并能达到 30 帧/s 的高速传输。试验结果表明,设计的大面阵 CMOS 电子学系统集成度高、成像分辨率高,在进一步试验后,该相机系统将在某深空探测项目的前期试验中进行验证。

参 考 文 献:

- [1] 曲宏松,张叶,金光. 基于数字域 TDI 算法改进面阵 CMOS 图像传感器功能[J]. 光学精密工程,2010,18(8): 1896-1903.
QU H S, ZHANG Y, JIN G. Improvement of performance for CMOS area image sensors by TDI algorithm in digital domain [J]. *Optics and Precision Engineering*, 2010, 18(8): 1896-1903. (in Chinese)
- [2] 李继军,杜云刚,张丽华,等. CMOS 图像传感器的研究进展[J]. 激光与光电子学进展,2009,46(4):45-52.
LI J J, DU Y G, ZHANG L H, *et al.* Research progress on CMOS image sensors [J]. *Laser & Optoelectronics Progress*, 2009, 46(4): 45-52. (in Chinese)
- [3] 李方宁,王延杰,张涛,等. 基于 AM41V4 传感器的高清高速 CMOS 相机系统设计[J]. 液晶与显示,2015,30(3): 492-498.
LI F N, WANG Y J, ZHANG T, *et al.* Design of high-speed high-resolution CMOS camera acquisition system based on AM41V4 sensor [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(3): 492-498. (in Chinese)
- [4] 陶淑苹,郑晓云,朴永杰. 高分辨率大面阵微型相机设计[J]. 液晶与显示,2015,30(3):514-518.
TAO S P, ZHENG X Y, PIAO Y J. Design of miniature camera with high resolution and large area array [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(3): 514-518. (in Chinese)
- [5] 岳涛,张宏伟,黄长宁,等. “嫦娥二号”卫星 CMOS 相机技术及应用[J]. 航天返回与遥感,2011,32(2):12-17.
YUE T, ZHANG H W, HUANG C N, *et al.* The application of Chang'E-2 CMOS camera technologies[J]. *Spacecraft Recovery & Remote Sensing*, 2011, 32(2): 12-17. (in Chinese)
- [6] CMOSIS. 20 Megapixel global shutter CMOS image sensor datasheet[J/OL]. www_cmosis.com/products/product_detail/cmv2000, 2013: 1-44.
- [7] 索义芳,高飞,孙磊. 基于 FPGA 的差分 RS422 串行收发模块的设计实现[J]. 微计算机信息,2010,26(12): 125-126.
SUO Y F, GAO F, SUN L. Design and implementation of differential RS422 serial transceiver module based on FPGA [J]. *Microcomputer Information*, 2010, 26(12): 125-126. (in Chinese)
- [8] 张文超,黄善勇,曾小东. 基于 FPGA 高速数据传输的比特自校正技术[J]. 无线电工程,2011,41(11):19-21.
ZHANG W C, HUANG S Y, ZENG X D. Bit self-revised technique for high-speed data transmission based on FPGA [J]. *Radio Engineering of China*, 2011, 41(11): 19-21. (in Chinese)
- [9] 于暄,肇云波. 基于 FPGA 高速数据采集的解决方案[J]. 现代电子技术,2007,30(5):145-151.
YU X, ZHAO Y B. High speed data acquisition based on FPGA [J]. *Modern Electronics Technique*, 2007, 30(5): 145-151. (in Chinese)

作者简介:王征(1987—),男,吉林长春人,硕士,研究实习员,主要从事数字图像处理及电子学控制等方面的研究。

E-mail:wz61575785@aliyun.com