

文章编号:1007-2780(2015)06-1052-05

基于FPGA的高精度守时方法研究

王 军^{1,2}, 王 磊¹, 张福弟^{2,3}, 何 昕², 曹永刚²

(1. 苏州科技学院, 江苏 苏州 215009;

2. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

3. 中国人民解放军 63861 部队, 吉林 白城 137001)

摘要:提出一种基于现场可编程门阵列(FPGA)的高精度守时方法,以统计学为基准,结合高精度恒温晶振和北斗/GPS双模接收器产生同步标准秒脉冲信号。当授时系统导航卫星失连,系统根据存储晶振脉冲数计算出均值和方差,动态设置系统晶振脉冲计数器阈值从而模拟产生高精度秒脉冲信号,消除晶振累积误差。实验结果表明,1 h内授时系统守时误差小于250 ns,可满足授时系统在电力、靶场等系统中的守时要求。

关键词: FPGA; 双模; 失连; 守时

中图分类号: TN967.2 **文献标识码:** A **doi:** 10.3788/YJYXS20153006.1052

Method for high accuracy time keeping based on FPGA

WANG Jun^{1,2}, WANG Lei¹, ZHANG Fu-di^{2,3}, HE Xin², CAO Yong-gang²(1. *Science and Technology University of Suzhou, Jiangsu, 215009, China;*2. *Changchun Institute of Optics, Fine Mechanics and Physics,*
*Chinese Academy of Science, Changchun 130033 China;*3. *The PLA Unit 63861, Baicheng 137001, China)*

Abstract: Based on Field-Programmable Gate Array (FPGA), a high precision time keeping technology is proposed. Combined with high precision constant temperature crystals and BD/GPS dual-mode synchronous, standard second pulse signal is received based on statistics. If navigation satellite loses the connection, FPGA will set the pounding threshold of crystal pulse according to average value and variance to simulate producing highly precision second pulse so that cumulative error can be eliminated. Experimental results show that timing system error is less than punctual 250 ns in one hour which fully meets the requirements of time keeping of the timing system in the power systems, range systems and other systems.

Key words: FPGA; dual-mode; connection losing; time keeping

收稿日期: 2015-03-18; **修订日期:** 2015-06-11.

基金项目: 国家自然科学基金(No. 61472267)

Supported by National Nature Science Foundation of China(No. 61472267)

* 通信联系人, E-mail: wjyhl@126.com

1 引 言

高精度授时系统被广泛用于卫星导航、电力同步采样系统中^[1]。起初高精度授时系统在导航卫星失连下,由于恒温晶振实际值与标称值存在误差,所以 1 h 守时误差可达到几微秒。近些年,部分学者提出统计每分钟标准秒脉冲信号下授时晶振产生的总脉冲数的方法来修正导航卫星失连后授时系统的守时误差^[2]。但此方法精确度取决于导航卫星失连前 1 min 的晶振计数模块记录的脉冲数值,因而灵活性低且并未从根本上消除累积误差带来的影响。针对现有技术的不足,本文提出一种以统计学为基础消除累积误差的高精度守时方法。

2 守时总体方案

守时方案设计了 5 个模块:导航卫星信号接收模块、时间解码模块、晶振计数模块、模拟秒脉冲产生模块、显示模块。守时方案框图如图 1 所示。由导航卫星信号接收模块接收卫星信号,输出标准秒脉冲和时间码至 FPGA 时间解码模块,FPGA 解出时间信息并根据通讯协议发送给显示模块^[3-5]。晶振输出脉冲至 FPGA,晶振计数模块记录标准秒脉冲每个周期内晶振脉冲数^[6]。当记录时间达到 30 min,计算这组数据的均值和方差。导航卫星失连后,根据前 30 min 计算的均值和方差动态设置晶振计数模块的脉冲产生计数器阈值以产生高精度的模拟秒脉冲。

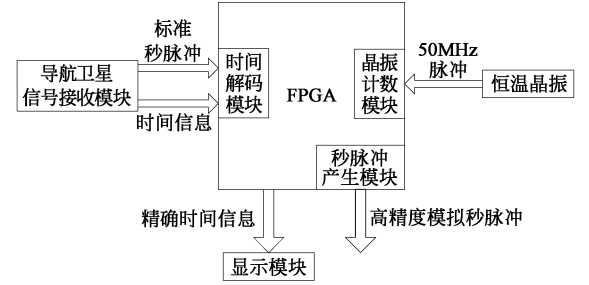


图 1 守时总体方案框图

Fig. 1 Punctuality diagram of the overall scheme

3 守时硬件设计

FPGA 采用 Altera 公司 Cyclone II 系列中的

EP2C8T144C8N,该芯片具有 144 个 IO 端口、36 个 RAM 块、2 个 PLL 锁相环、18 个嵌入式乘法器、四种配置方式和 AS、JTAG 下载调试接口。EP2C8T144C8N 拥有丰富的资源且编程灵活,使得该芯片作为系统主控芯片^[7-9]。导航卫星信号接收模块采用 MHKJ-1612 为主芯片,其能提供精确的授时服务。通过使用量化误差信息去补偿时间脉冲中的颗粒误差,导航卫星信号接收模块能够配置输出时间脉冲频率,授时精度可高达 15 ns。即使设备在有遮挡物的情况下保证有一颗卫星正常连接,芯片就能输出准确的时间信息。导航卫星信号接收模块与 FPGA 采用串口通信,有多种波特率可供选择。系统晶振采用恒温晶振,频率精度可以达到正负 0.2 ppm。消耗电流一般 300 mA~2 A,主要应用于卫星,通讯基站等。守时部分硬件连接图如图 2 所示。

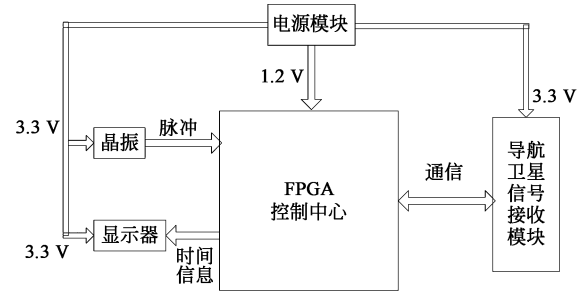


图 2 守时部分硬件连接示意图

Fig. 2 Punctuality part of the hardware connection diagram

4 守时软件设计

4.1 同步秒脉冲信号设计

授时系统导航卫星连接正常情况下,导航卫星信号接收模块接收到卫星信号产生标准秒脉冲和时间码,并发送给 FPGA 接收模块。FPGA 利用 PLL 锁相环将 50 MHz 恒温晶振倍频到 200 MHz,当晶振计数模块脉冲计数值达到阈值或检测到导航卫星信号接收模块输出的标准秒脉冲信号上升,FPGA 产生 100 ms 高电平信号并将晶振计数器清 0,随后产生低电平信号。同步标准秒脉冲产生流程图如图 3 所示。

4.2 平均脉冲数及方差设计

当存储时间达到 30 min 时,利用 $\bar{x} = \frac{x_1 + x_2 + x_3 + \cdots + x_n}{n}$ ($x_1, x_2, x_3 \cdots x_n$ 为 1 s 内

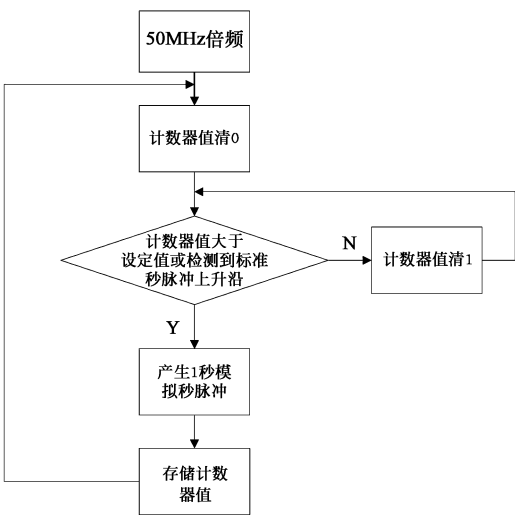


图 3 同步标准秒脉冲产生流程图

Fig. 3 Synchronous standard second pulse received flow chart

晶振的脉冲数值, n 为时长) 和 $s^2 = \frac{\sum_{i=1}^n (X_i - \bar{X})^2}{n}$ ($\bar{X}$ 为平均 1 s 内晶振的脉冲数, X_i 为 1 s 内晶振的脉冲数值) 公式求出 1 s 内晶振的平均脉冲数和方差。根据拉依达准则, 剔除数据中数值中大于 $\bar{x} + 3s$ 或者小于 $\bar{x} - 3s$ 的异常值, 然后再一次利用公式求出剔除后数据的平均值和方差。平均 1 s 内晶振的脉冲数以及方差产生的流程图如图 4 所示。

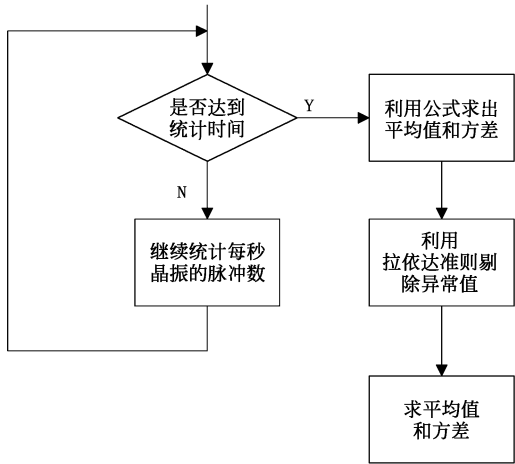


图 4 平均 1 s 晶振的脉冲数及方差产生的流程图
Fig. 4 Crystal's average pulses number per second and variance received flow chart

4.3 导航卫星失连后的高精度秒脉冲产生设计

导航卫星失连后, FPGA 根据每秒内晶振脉冲数的平均值和方差, 求出 $\bar{x} + 3s$ 和 $\bar{x} - 3s$ 作为设定脉冲计数的两个阈值 BV1、BV2。在一个周期 T 内, 前 $\frac{T}{2}$ 当晶振脉冲计数达到 BV1 的时候, 产生一个滞后模拟秒脉冲(与标准秒脉冲秒头相比); 后 $\frac{T}{2}$ 当晶振脉冲计数达到 BV2 的时候, 产生一个超前模拟秒脉冲。产生的模拟秒脉冲秒头在标准秒脉冲左右有规律的晃动从而消除累积误差。导航卫星失连后的高精度秒脉冲产生流程图如图 5 所示。

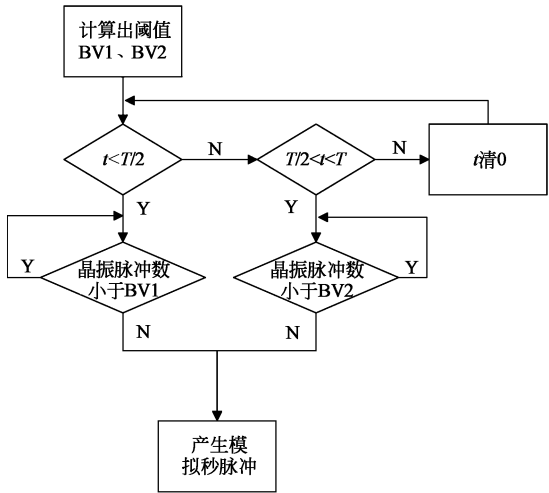


图 5 GPS 失步后的高精度秒脉冲产生流程图

Fig. 5 After GPS out-of-step high-accuracy second pulse received flow chart

5 实验结果分析

为避免测试结果的偶然性, 实验使用 4 套授时系统板, 采用 50 MHz 标称值的恒温晶振, 精度可达正负 0.2 ppm。先将恒温晶振输出的 50 MHz 的脉冲信号倍频到 200 MHz, 然后统计标准秒脉冲信号每个周期下授时系统恒温晶振所产生的脉冲数值的均值和动态方差。测试结果如表 1 所示。

表 1 导航卫星未失连下每秒晶振脉冲数值的均值和方差

Tab.1 Crystal's average pulses number per second and variance when navigation satellite works

时间	10 min		30 min		1 h		2 h	
分类	均值	方差	均值	方差	均值	方差	均值	方差
1 号板	199 999 856.6	3.21	199 999 857.8	3.28	199 999 859.3	3.29	199 999 860.5	3.31
2 号板	199 999 852.9	2.32	199 999 853.5	2.40	199 999 854.4	2.48	199 999 856.2	2.51
3 号板	199 999 814.3	2.25	199 999 815.4	2.32	199 999 818.3	2.41	199 999 820.0	2.47
4 号板	199 999 903.2	1.89	199 999 904.1	1.91	199 999 905.3	1.90	199 999 907.1	1.95

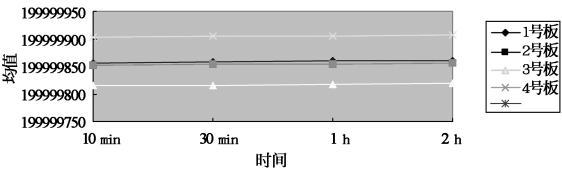


图 6 均值随时间变化折线图

Fig. 6 Average changes over time line chart

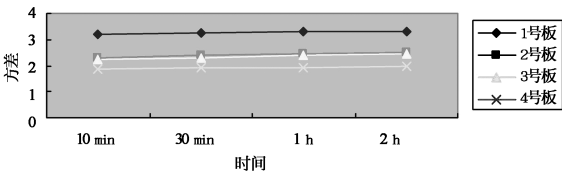


图 7 方差随时间变化折线图

Fig. 7 Variance changes over time line chart

表 1 统计了不同时刻秒脉冲单位时间内晶振的脉冲数值的平均值和方差。图 6 图 7 横坐标为时间,纵坐标为均值和方差,折线图直观的反映了均值和方差随着时间的变化趋势。表 2 统计了在导航卫星失连下不同时刻模拟秒脉冲与标准秒脉冲的误差。图 8 横坐标为时间,纵坐标为误差大小,折线图直观的反映了误差随着时间的变化趋势。

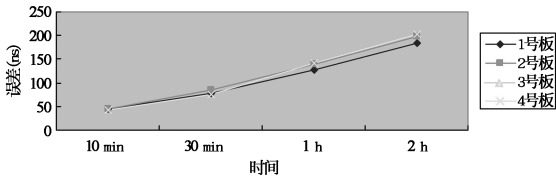


图 8 守时误差随时间变化折线图

Fig. 8 Punctuality error changes over time line chart

表 2 导航卫星失连下守时误差

Tab.2 Punctuality error when navigation satellite lost

分类	误差/ns			
时间	10 min	30 min	45 min	1 h
1 号板	45	78	127	183
2 号板	44	84	138	197
3 号板	45	69	132	211
4 号板	42	76	141	204

6 结 语

本文通过统计 30 min 内标准秒脉冲每秒晶振脉冲数值的均值和动态方差,动态设置晶

振计数模块计数阈值以产生模拟秒脉冲,以达到高精度守时目的。从实验可知,秒脉冲在导航卫星失连 1 h 内,与标准秒脉冲相比秒头误差不超过 250 ns,符合电力、靶场等系统守时要求。

参 考 文 献:

- [1] 罗卫兵,胡健生. 基于 STM32+ucGUI 的北斗导航定位系统设计[J]. 液晶与显示, 2014, 29(2): 195-201.
Luo W B, Hu J S. Design of Beidou navigation system based on STM32&ucGUI[J]. *Chinese Journal of Liquid Crystals and Display*, 2014, 29(2): 195-201. (in Chinese)
- [2] 杨永标,杨晓渝,周捷. 利用 FPGA 实现 GPS 失步下精确守时[J]. 电力自动化设备, 2007, 27(7): 109-112.
Yang Y B, Yang X Y, Zhou J. Realize accurate timing with FPGA during GPS synch failure[J]. *Electric Power Automation Equipment*, 2007, 27(7): 109-112. (in Chinese)
- [3] 张学明,张振娅,戴明,等. 机载设备 IRIG-B(AC) 码的滤波及其数字相位补偿[J]. 光学精密工程, 2009, 17(1): 213-219.
Zhang X M, Zhang Z Y, Dai M, *et al.* Filtering and digital phase compensation of IRIG-B(AC) code in airborne equipment[J]. *Optics and Precision Engineering*, 2009, 17(1): 213-219. (in Chinese)
- [4] 魏丰,朱广伟,王瑞清,等. 一种 GPS 校准的数字式高精度守时钟[J]. 仪器仪表学报, 2011, 32(4): 920-926.
Wei F, Zhu G W, Wang R Q, *et al.* GPS disciplined precise digital timekeeping clock[J]. *Chinese Journal of Scientific Instrument*, 2011, 32(4): 920-926. (in Chinese)
- [5] 赵东艳,原义栋,石磊,等. 用于智能电网建设的北斗/GPS 高精度授时方案关键技术[J]. 电网技术, 2013, 37(9): 2621-2625.
Zhao D Y, Yuan Y D, Shi L, *et al.* Key Technology in Beidou/GPS high-precision time service scheme for smart grid construction[J]. *Power System Technology*, 2013, 37(9): 2621-2625. (in Chinese)
- [6] 梁军,冉建华. 基于单片机的秒脉冲误差测量系统设计[J]. 舰船电子工程, 2010, 30(4): 178-180.
Liang J, Ran J H. A design of a MCU based measure system for the error of 1PPS[J]. *Ship Electronic Engineering*, 2010, 30(4): 178-180. (in Chinese)
- [7] 张鹏,杜彬彬,任勇峰. 基于 FPGA 的超声数据采集装置的设计与实现[J]. 电子器件, 2014, 37(1): 81-84.
Zhang P, Du B B, Ren Y F. Design and implement of ultrasound data acquisition device based on FPGA[J]. *Chinese Journal of Electron Devices*, 2014, 37(1): 81-84. (in Chinese)
- [8] 何斌. FPGA 的 EDA 设计方法[J]. 光学精密工程, 1995, 3(6): 113-116.
He B. EDA design method for FPGA[J]. *Optics and Precision Engineering*, 1995, 3(6): 113-116. (in Chinese)
- [9] 王剑. 基于 FPGA 的高速多路同步数据采集系统[J]. 科技视界, 2013(27): 42-43.
Wang J. High-speed multi-channel synchronous data acquisition system based on FPGA[J]. *Science & Technology Vision*, 2013(27): 42-43. (in Chinese)

作者简介:王军(1979—),男,博士,江苏苏州人,主要研究方向为光电测控技术。E-mail:wjyhl@126.com

王磊(1991—),男,硕士,江苏盐城人,主要研究方向为智能信息处理技术。E-mail:demowl@163.com