

文章编号:1007-2780(2015)03-0459-08

一种基于 FPGA 的视频几何校正系统设计方案

张 浩^{1,2}, 凌朝东^{1,2*}, 陈 虎^{1,2}, 黄 信^{1,2}, 杨 骁^{1,2}, 汤 炜¹, 闫 铮¹
(1. 华侨大学 信息科学与工程学院, 福建 厦门 361021;
2. 厦门市专用集成电路系统重点实验室, 福建 厦门 361008)

摘要:为了满足大视场相关应用、尤其是大屏幕投影拼接技术应用领域对视频图像实时几何校正的要求,本文对视频图像的实时几何校正及其 FPGA 实现方法进行研究。首先,根据图像几何校正理论基础,利用 Matlab 等工具进行算法模拟仿真,确定了视频图像实时几何校正系统的基本框架。然后,根据现有的硬件平台 DE2 的硬件资源情况,细致规划系统结构,并对其中的核心部分几何校正模块进行仿真。最后,通过实际校正测试,断定实验结果达到视频图像实时几何校正的预期效果。实验结果表明:几何校正后,投影仪投射出的图像符合仿真结果,系统延时小于 10 个时钟周期,远小于毫秒级,且延时恒定,校正误差不超过 1 个像素。此方案达到了预期视频图像实时几何校正的效果,具有相当的借鉴、参考意义。

关 键 词:大视场;投影拼接技术;几何校正;FPGA
中图分类号:TN911.73 **文献标识码:**A **doi:**10.3788/YJYXS20153003.0459

Design of video geometric calibration system based on FPGA

ZHANG Hao^{1,2}, LING Chao-dong^{1,2*}, CHEN Hu^{1,2}, HUANG Xin^{1,2},
YANG Xiao^{1,2}, TANG Wei¹, YAN Zheng¹

(1. *Institute of Information Science and Engineering, HuaQiao University, Xiamen 361021, China;*
2. *Key Laboratory of ASIC and System of Xiamen, Xiamen 361008, China*)

Abstract: In order to realize the real-time video image geometric calibration in large field of view image applications, especially in large format projection mosaic technique field, this paper analyzes the video image geometric calibration and its realization based on FPGA. First, according to the basic theory of image geometric calibration, this paper describes the simulation of algorithms with Matlab and other tools, and designs the basic frame of the video image geometric calibration system. Then, the system structure is detailed designed based on the hardware resources of DE2 platform and the geometric calibration module is simulated. Finally, based on the actual calibration test, this paper concludes that the experimental results achieve the desired target of real-time video image geometric calibration. Experimental results show that the image which has been calibrated and projected by projector is

收稿日期:2014-10-14;修订日期:2014-11-06.
基金项目:国家自然科学基金(No. 61203369, No. 61204122); 福建省自然科学基金(No. 2011J01351); 福建省科技计划重点项目(No. 2013H0029); 泉州市科技计划项目(No. 2013Z33)
* 通信联系人, E-mail: edac@hqu.edu.cn

consistent with the simulation results. The delay of system is less than 10 clock cycles, far less than millisecond level, and the value of delay time is a constant. The inaccuracy of the calibration system is no more than one pixel. This design achieves the desired target of real-time video geometric calibration, which has considerable significance for reference.

Key words: large field of view; projection mosaic technique; geometric calibration; FPGA

1 引言

在大视场相关实际应用中,常常需要对视频图像进行几何校正,尤其是在当下热门的大屏幕投影拼接技术应用领域,视频图像的几何校正更是视频处理的首要任务。当多个投影仪投射出的图像进行拼接时,由于每台投影仪的几何参数、配置、安装位置,甚至品牌均可能不同,导致每台投影仪投射出的影像的几何形状、大小、位置也都有可能不同,从而造成了投射出的图像不能完美的拼接,因此需要对每台投影仪投射出的图像进行几何校正处理^[1]。传统的解决方案是图形工作站配加多显卡方式,利用性能强劲的图形工作站,编写上位机软件控制显卡,不断调整每台显卡输出图像的几何参数,以达到几何校正的目的^[2]。但这种视频几何校正方案的效率受限于 PC 的串行架构,难以达到高速实时的视频处理效果,而且由于一台 PC 能挂接的显卡数量有限,难以随意地扩展。本文提出了基于 FPGA 的视频几何校正的新思路,采用配有 Altera Cyclone II EP2C35F672C6 FPGA 的 DE2 开发板为实验平台,实现了视频图像的实时几何校正,并达到了预期效果。

2 视频图像几何校正的基本原理

通常,对于平面到平面的图像几何变换,可用一个 3×3 的矩阵来描述其变换关系模型^[3],

$$\begin{bmatrix} wx' \\ wy' \\ w \end{bmatrix} = \begin{bmatrix} m_0 & m_1 & m_2 \\ m_3 & m_4 & m_5 \\ m_6 & m_7 & m_8 \end{bmatrix} \begin{bmatrix} x \\ y \\ 1 \end{bmatrix}, \quad (1)$$

其中: (x, y) 为原像素坐标, (x', y') 为映射后的坐标。令:

$$\mathbf{H} = \begin{bmatrix} m_0 & m_1 & m_2 \\ m_3 & m_4 & m_5 \\ m_6 & m_7 & m_8 \end{bmatrix}, \quad (2)$$

$\mathbf{H}$ 即为映射关系矩阵。 $\mathbf{H}$ 中的 m_2 可以对图像的 x 方向进行校正, m_5 可以对 y 方向进行校正, m_0 、 m_1 、 m_3 、 m_4 是表示校正的尺度和旋转量, m_6 、 m_7 表示水平与垂直方向的变形量^[4], 若 m_6 、 m_7 为 0, 则表示此几何变换为平移、旋转、缩放等规则变换; 若 m_6 、 m_7 为非 0, 则可表示最一般形式的任意变换^[5]。 m_8 通常为 1。

我们可以通过投影棋盘格或网格等方法, 获取实际投影图像与我们想要达到的投影图像, 并取出这两幅图像的相同的特征点的坐标, 并利用最小二乘法或 Levenberg-Marquardt 算法^[6] 等, 求出映射关系矩阵 $\mathbf{H}$ 的最优解, 但此问题非本文讨论的重点。假定已获得实际投影图像与想要达到的投影效果之间的映射关系 $\mathbf{H}$, 本文重点在于利用 FPGA 实现对应的视频几何校正处理。

3 系统结构设计

视频图像的几何校正, 本质上就是对视频帧的各个像素坐标值的几何变换。因此, 几何校正的实现过程, 可以简述为: 从原视频缓存帧中, 依次将像素颜色值取出, 并对其坐标进行几何变换计算, 求出几何校正后的新坐标, 然后将像素颜色值存到新的坐标地址中去, 即生成了几何校正后的缓存帧。最后, VGA 显示模块对几何校正后的视频缓存帧进行扫描显示即可。

根据 DE2 开发板的实际可用资源, 结合视频图像几何校正的基本理论, 设计系统结构框图如图 1 所示。

Digital Camera 模块采集图像, 并转化为 RGB 或灰度格式(本实验中, 由于 DE2 板载 SRAM 大小为 512 KB, 仅够缓存一帧 8 位颜色值的 640×480 图像, 因此采用 8 位灰度格式。本文讨论的是视频图像的几何变换, 因此颜色格式的选择对本文的讨论内容无任何影响), 这是系统的图像采集部分。采集到的视频流按顺序存储到 SDRAM1 中, 作为视频帧缓存。几何校正模块将

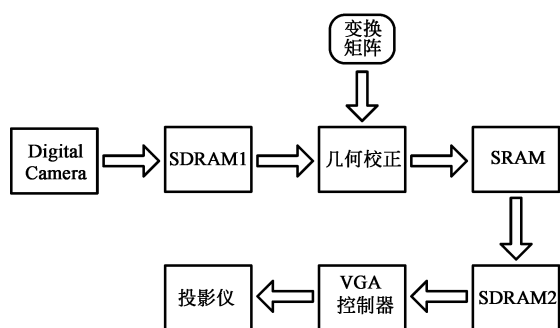


Fig. 1 Block diagram of video geometric calibration system

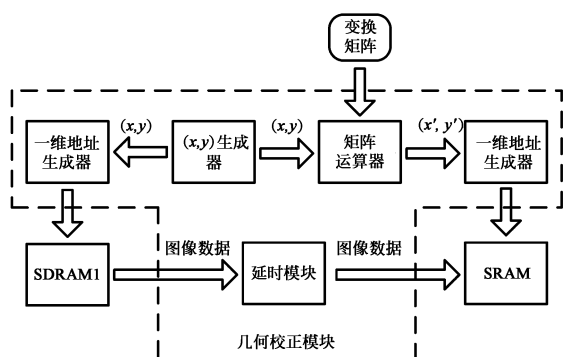


图 2 几何校正模块实现框图

Fig. 2 Block diagram of geometric calibration module

图像数据从 SDRAM1 中按顺序读出,并依据映射关系矩阵,计算得出新的存储地址,然后将读出的像素颜色值存储到 SRAM 相应的新地址中,经过此步骤后 SRAM 中将储存几何校正后的视频图像帧。之后将图像数据由 SRAM 搬运到 SDRAM2 中,以便 VGA 控制模块读取并显示。以上是系统的视频处理部分。最终 VGA 模块读取 SDRAM2 的视频缓存,并由投影仪显示到大屏幕上,这是系统的显示部分。由此可见,几何校正模块为系统结构的重点。

4 几何校正模块的 FPGA 实现

4.1 几何校正模块的结构设计

对于分辨率为 640×480 的视频,缓存一帧 8 位灰度图像需要 $640 \times 480 \times 8 \approx 307\text{K} \times 8\text{b}$ 的存储空间,DE2 开发板板载 SRAM 为 $256\text{K} \times 16\text{b}^{[7]}$,可设计专用的 SRAM 控制器,将其用作 $512\text{K} \times 8\text{b}$ 来使用,这样,缓存一帧分辨率为 640×480 的图像刚好足够。

几何校正模块的框图如图 2 所示, (x, y) 生成器模块用来有规律地生成 SDRAM1 的读取坐标 (x, y) , 顺序为 $(0, 0), (1, 0) \cdots (639, 0), (0, 1), (1, 1), (2, 1) \cdots (639, 479), (0, 0) \cdots$; 一维地址生成器模块将输入的二维坐标 (x, y) 转化为 SDRAM 适配的一维地址。转化公式为:

$$\text{ADDR} = y \times \text{H_LENGTH_MAX} + x, \quad (3)$$

其中:

$$0 \leq x < \text{H LENGTH MAX}$$

$$0 \leq y < V_LENGTH_MAX$$

H LENGTH MAX 为视频分辨率的水平像

素值,本实验中为 640,同理 V_LENGTH_MAX 为视频分辨率的垂直像素值,本实验中为 480。

将坐标一维化后生成的 ADDR 输出给前端已经储存有视频缓存帧的 SDRAM1 的地址线, 同时也将坐标 (x, y) 输出给矩阵运算器模块。矩阵运算器模块根据映射变换矩阵 $\mathbf{H}$ 以及输入的坐标 (x, y) , 计算生成新的坐标 (x', y') , 并输出到另一个一维地址生成器模块。一维地址生成器模块将二维坐标转化为 SRAM 适用的一维坐标(原理同公式(3)), 并输出给 SRAM 用以控制写入地址。同时数据通道添加适当的延时模块, 以配合地址通道的各级运算造成的时钟延时。

4.2 矩阵运算器模块的 FPGA 实现

根据式(1)可知^[8],

$$w = m_6 x + m_7 y + m_8, \quad (4)$$

$$x' = \frac{(m_0 x + m_1 y + m_2)}{\omega}, \quad (5)$$

$$y' = \frac{(m_3 x + m_4 y + m_5)}{x}. \quad (6)$$

因此,此模块可以由 3 个乘加器模块与 2 个除法模块构成。由 4.1 节几何校正模块的设计结构为基础,使用 verilog HDL、原理图设计法相结合的方法,设计出矩阵运算器模块的原理图如图 3 所示。

如图 3 所示, iRST 为复位引脚, CLK 为时钟输入脚, $m_0 \sim m_8$ 为映射矩阵参数, iX、iY 为输入坐标, oX、oY 为经过计算后的输出坐标。matrix_m 模块是矩阵运算的乘加器模块, divide_d 模块是除法器模块。乘加器模块与除法器模块均采用 Altera 公司免费提供的 LPM 模块设计, 降低了

资源占用率。

按照设计计划, 640×480 分辨率的视频, iX 变化范围为 0 到 639, iY 变化范围为 0 ~ 479。且 $2^{10}=1\,024$ 已经完全覆盖了 iX 与 iY 的变化范围, 因此输入数据选择 10 位位宽就已足够。但对于 $m_0 \sim m_8$, 由于其值常常为 10^{-3} 、 10^{-4} 数量级的小数, 因此需要将其扩大为满足一定的精度条件的整数。 $2^{14}=16\,384$, 将 m_x 扩大 16 384 倍, 足以满足 10^{-4} 数量级的小数扩大为整数时的精度要求。又考虑到 m_x 可正可负, 即有符号数, 则再拓展两位以满足负数的补码存储需求, 至此最终确定, 所有数据输入均为 16 位。

由以上分析可知, 映射矩阵 H 的各个参数在 FPGA 中不能直接参与计算, 有些参数需要在保证一定精度的情况下, 扩大至整数。本设计中的参数格式见表 1。

表 1 矩阵运算模块输入参数格式

Tab. 1 Input parameter format of matrix operation module	
参数	格式
iX, iY	原值不变
$m_0, m_1, m_3, m_4, m_6, m_7$	原值扩大 16 384 (2^{14}) 倍, 并四舍五入取整
m_2, m_5, m_8	原值四舍五入取整

由图 3 及表 1 可知, 由于多个系数均扩大了 16 384 倍, 因此 3 个乘加器输出的结果均比实际值扩大了 16 384 倍。而乘加器的结果输出给除法器时, 分子与分母分别扩大的倍数会因相除而相互抵消, 因此除法器输出的结果就是最终的输出坐标。由于最终的输出坐标范围仍然为: $0 \leq x' < 640$, $0 \leq y' < 480$, 超出范围的坐标均被忽略, 因此向外输出坐标时, 只需取 oX、oY 的低 10 位输出即可。

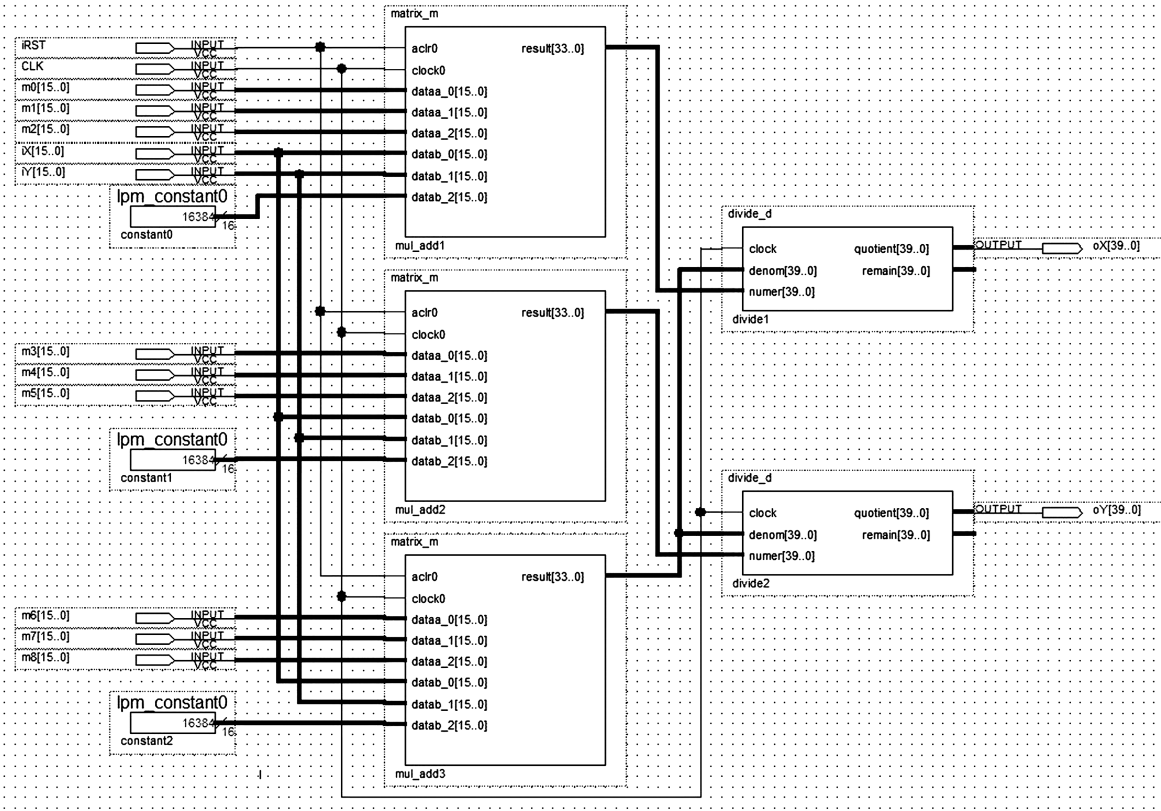


图 3 矩阵运算器模块原理图

Fig. 3 Schematic diagram of matrix operation module

4.3 矩阵运算器模块的波形仿真

我们设定要将视频图像在 x 方向缩小 2 倍,并向右平移 100 个像素;在 y 方向也缩小 2 倍,并向下平移 200 个像素;视频图像形状不变。易知,映射矩阵应为:

$$\mathbf{H} = \begin{bmatrix} 0.5 & 0 & 100 \\ 0 & 0.5 & 200 \\ 0 & 0 & 1 \end{bmatrix},$$

按照表 1 的输入参数格式,将 $\mathbf{H}$ 变化为:

$$\mathbf{H} = \begin{bmatrix} 8192 & 0 & 100 \\ 0 & 8192 & 200 \\ 0 & 0 & 1 \end{bmatrix},$$

将此参数输入仿真文件,得到仿真结果如图 4 所示。由图 4 以及设定的仿真条件可知,图 4 中坐标 (500,400) 对应的输出坐标为 (350,400), (600,

10) 对应的输出坐标为 (400,205),其他依次类推,均符合预期的校正结果。由图 4 还可知,矩阵运算模块造成的时钟延时约为 7 个时钟周期。由于本设计系统中,所有模块的同步时钟均采用 VGA 的像素时钟,即摄像头将图像帧数据存入 SDRAM1 时,几何校正模块也在同时工作,将 SDRAM1 的数据取出进行几何校正,且校正速度与 VGA 扫描速度一致,因此整个系统的视频几何校正部分的延时就是这 7 个时钟周期。已知分辨率 640×480 的视频的像素时钟频率约为 25 MHz^[9],则 7 个时钟周期的延时时间小于 $1\ \mu\text{s}$,远小于毫秒级。而对常见的 60 帧/s 的视频,每帧时间约为 $1/60\ \text{s}$,可见本系统的视频几何校正部分的延时远小于视频每帧的显示时间,因此不会对人的视觉观感产生任何影响。

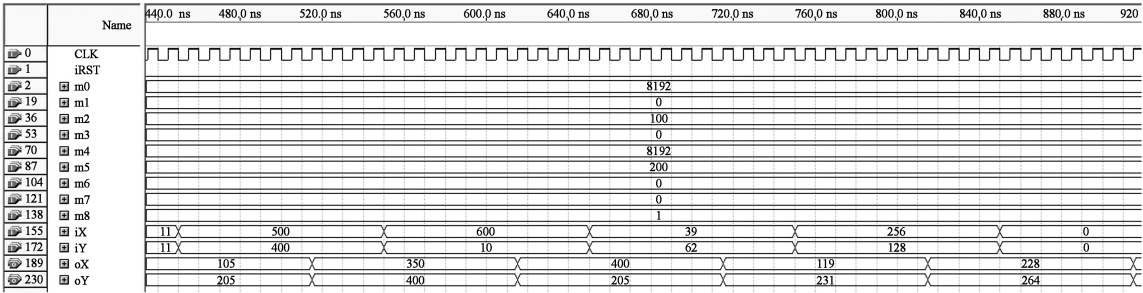


图 4 矩阵运算器模块波形仿真图
Fig. 4 Waveform of matrix operation module simulation

5 实验结果与分析

5.1 视频几何校正结果分析

实验分两步进行。第一步为:首先,投影仪正对幕布,投射出完美的特征影像并拍照记录,作为几何校正目标投影影像。然后,将投影仪摆放任意角度,投射出不完美的不规则形状的特征影像,保持投影仪位置固定并拍照,获得目前实际投影影像。最后,利用 Matlab 等工具获取实际影像到目标影像的映射关系矩阵 $\mathbf{H}$ 。第二步为:将第一步获得的映射关系矩阵 $\mathbf{H}$ 输入到 FPGA 中,FPGA 将依据 $\mathbf{H}$ 对摄像头采集的视频进行几何校正,并经由第一步中固定位置的投影仪投射到幕布上,对比目标影像,观察是否达到预期效果。实验器材见表 2,具体过程如下。

表 2 实验器材列表

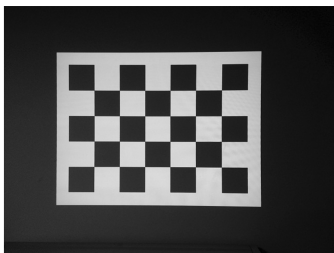
Tab. 2 List of the experimental equipment

实验器材	型号
投影仪	SONY VPL-EX70
硬件平台	友晶科技 DE2 FPGA 开发板
相机	SONY NEX-5T

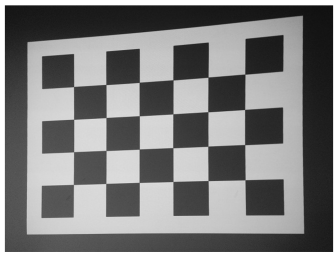
目标投影效果与未经几何校正的实际投影效果对比如图 5 所示。

利用 Matlab 将目标投影效果图与实际投影效果图的特征点坐标进行提取,考虑相机失真因素,并用最小二乘法计算得到实际投影效果与目标投影效果的映射关系矩阵为^[10]:

$$\mathbf{H} = \begin{bmatrix} 0.871\ 4 & -0.007\ 2 & 60.632\ 4 \\ 0.098\ 8 & 0.804\ 4 & 29.382\ 9 \\ 0.000\ 2 & 0.000\ 0 & 1.000\ 0 \end{bmatrix},$$



(a) 目标投影效果图
(a) Target projection result



(b) 实际投影效果图
(b) Actual projection result

图 5 目标投影效果与未几何校正投影效果对比图
Fig. 5 Comparison of target projection result and non geometric calibration projection result

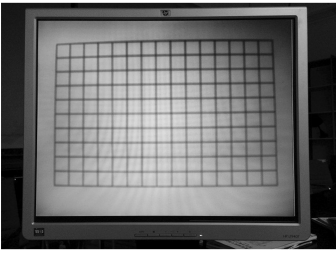
按照表 1 将 $\mathbf{H}$ 转化为

$$\mathbf{H} = \begin{bmatrix} 142 & 77 & -118 & 61 \\ 161 & 9 & 131 & 79 & 29 \\ 3 & 0 & 1 \end{bmatrix}$$

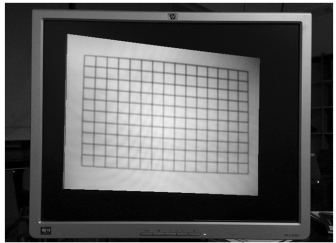
然后将 $\mathbf{H}$ 导入 FPGA 中,得到几何校正结果如图 6 所示。

图 6(a)是用液晶显示器显示的原始视频图像。将其直接用投影仪投射在屏幕上的显示效果如图 6(c)。将 6(a)进行映射关系矩阵为 $\mathbf{H}$ 的几何校正之后,得到视频图像图 6(b),图 6(b)看似发生了不规则的变形,但将其通过投影仪投射到屏幕上时,实际投影效果如图 6(d),将图 6(d)与目标投影效果图 5(a)对比发现,投射出的影像的几何失真得到校正,可判定实验达到了预期的视频几何校正效果,从而肯定了本方案的正确性与可行性。理论上,根据 $\mathbf{H}_x$ 的不同,本设计可以对视频图像做任何形状的几何校正。

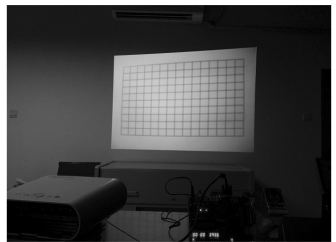
而针对多投影系统的视频图像几何校正,实现方法与本实验相同:只需先设定一个多投影拼接后的目标效果图,然后将此图中每台投影仪各自分工的部分,与对应投影仪的实际投影效果进行比对分



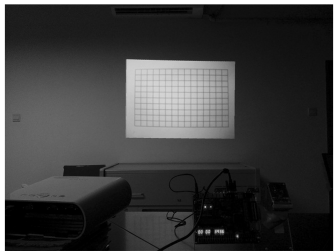
(a) 原视频图像
(a) Original video image



(b) 几何校正后的视频图像
(b) Video image after calibration



(c) 几何校正前实际投影效果
(c) Actual projection result without geometric calibration



(d) 几何校正后实际投影效果
(d) Actual projection result after geometric calibration

图 6 几何校正结果对比图

Fig. 6 Comparison of geometric calibration results

析,获得映射关系矩阵 $\mathbf{H}_x$ (每台投影仪对应的映射关系矩阵可能是不同的)。再根据 $\mathbf{H}_x$ 对每台投影仪的视频输入源做不同参数的几何校正即可。

5.2 几何校正精度分析

对于本文所述的视频图像几何校正方案,误

差来源主要有两点:一是 H_x 的参数误差,主要包括相机鱼眼效应引起的误差、 H_x 参数求解时迭代计算次数有限所引起的误差、解出的参数由于四舍五入引起的误差等,这部分误差是由仪器设备、上位机算法等共同造成,非本文讨论重点。二是本设计方案的系统误差,在本设计中,由于 iX 、 iY 、 oX 、 oY 均为小于 10^3 的整数,而 H_x 均保留到小数点后 4 位,根据式(5)、式(6)可知坐标变换过程中 FPGA 进行相关矩阵运算的误差最大不超过 1 个像素点,不会对显示效果产生任何影响。若资源足够,增加 H_x 的小数保留位数,则几何校正的精度将更高。

5.3 资源使用情况分析

实际资源占用情况如图 7 所示。

Revision Name	simu
Top-level Entity Name	simu
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	3,562/33,216(11%)
Total combinational functions	3,409/33,216(10%)
Dedicated logic registers	534/33,216(2%)
Total registers	534
Total pins	360/475(76%)
Total virtual pins	0
Total memory bits	149/483,840(<1%)
Embedded Multiplier 9-bit elements	18/70(26%)
Total PLLs	0/4(0%)

图 7 FPGA 的资源占用情况
Fig.7 Use of FPGA resources

由图 7 可知,对于 DE2 开发平台板载的 EP2C-35F672C6 FPGA,经 Quartus II 综合后本方案几何校正部分各项硬件资源占用率均不超过 30%,可见本方案具有资源占用率少、效率高的优势,因此适合工程应用。

6 结 论

本文依据大视场应用、尤其是大屏幕投影拼接技术领域对视频图像几何校正快速、稳定、适宜推广的需求,设计了一套基于 FPGA 的视频图像几何校正方案。本文首先介绍了视频图像几何校正的基本理论。然后据此设计了几何校正的系统结构。之后根据 DE2 开发平台的实际资源,详细设计了几何校正模块的具体结构并进行了仿真。最后,通过观察实际的投影校正效果,验证了本方案的可行性。实验结果证明:本方案系统延时小于 10 个时钟周期,远远不到毫秒级,且延时恒定不变,几何校正误差最大不超过 1 个像素,对人的视觉观感不会有任何影响。而且本方案资源占用率低,适合大范围应用。虽然由于 DE2 平台资源所限,未能进行更高分辨率的视频几何校正测试,但本方案的设计思想仍然具有相当的借鉴、参考意义。

参 考 文 献:

[1] 王胜正,杨杰. 自动多投影仪非线性几何校正与图像边缘融合方法[J]. 上海交通大学学报,2008,42(4): 574-578.
Wang S Z, Yang J. Auto-nonlinear geometry calibration and edge blending of multi-projector display system [J]. *Journal of Shanghai Jiaotong University*, 2008, 42(4): 574-578. (in Chinese)

[2] 李斌. 低成本多投影仪拼接方法研究[D]. 济南:山东大学,2005.
Li B. Study on Low-cost multi-projector mosaic [D]. Jinan: Shandong University, 2005. (in Chinese)

[3] 张德丰. MATLAB 数字图像处理[M]. 北京:机械工业出版社,2009.
Zhang D F. *Digital Image Processing with MATLAB* [M]. Beijing: China Machine Press, 2009. (in Chinese)

[4] 张铮,王艳平,薛桂香. 数字图像处理与机器视觉[M]. 北京:人民邮电出版社,2010.
Zhang Z, Wang Y P, Xue G X. *Digital Image Processing and Machine Vision* [M]. Beijing: Ports & Telecom Press, 2010. (in Chinese)

[5] 陶婷婷,张亚萍. 多投影显示系统的几何校正及边缘融合技术研究 with 实现[J]. 云南师范大学学报,2014,34(1): 54-60.
Tao T T, Zhang Y P. Research and realization of geometric calibration and edge blending for multi-projector display system [J]. *Journal of Yunnan Normal University*, 2014, 34(1): 54-60. (in Chinese)

[6] 刘淑. 多通道大屏幕图像无缝拼接技术研究[D]. 北京:北京交通大学,2011.
Liu S. Theresearch on multi-projectors large format mosaic [D]. Beijing: Beijing Jiaotong University, 2011. (in

Chinese)

[7] Integrated Silicon Solution, Inc. IS61LV25616_Datasheet, pdf [OL]. www.issi.com, 2001.

[8] 叶茂. 多屏投影显示系统的自动校正技术[D]. 成都:四川大学, 2006.

YE M. Automaticcalibration techniques for multi-projector display systems [D]. Chengdu: Sichuan University, 2006. (in Chinese)

[9] Video Electronics Standards Association. VESA and industry standards and guidelines for computer display monitor timing (DMT) [EB]. 2004.

[10] 蔡山,张浩,陈洪辉,等. 基于最小二乘法的分段三次曲线拟合方法研究[J]. 科学技术与工程, 2007, 7(3): 352-355.

Cai S, Zhang H, Chen H H,*et al.* Research of piecewise cubic-fitting method based on least-square principle [J]. *Science Technology and Engineering*, 2007, 7(3): 352-355. (in Chinese)

作者简介:张浩(1987—),男,吉林白山人,硕士,主要从事集成电路与集成系统方面的研究。E-mail:zhanghao524106@163.com