

文章编号:1007-2780(2015)05-0832-06

一种输入级模块复用的 In-Zn-O 薄膜晶体管行集成驱动电路

张立荣¹, 李冠明², 黄长煜³, 周雷¹, 罗东向², 徐苗², 吴为敬^{2*}, 彭俊彪²

(1. 广州新视界光电科技有限公司, 广东 广州 510730;

2. 华南理工大学 发光材料与器件国家重点实验室, 广东 广州 510640;

3. 华南理工大学 电子与信息学院, 广东 广州 510640)

摘要:提出了一种新型的基于 In-Zn-O 薄膜晶体管(IZO TFT)的行集成驱动电路。该电路采用了输入级模块复用的驱动方法,即一级输入级驱动多级输出级,因此可以显著地减少输入级模块 TFT 的数量,缩减电路的面积,满足高分辨率显示屏设计,同时也可以迎合显示屏窄边框的审美需求。电路的输入级模块工作时间为输出级模块的 n 倍(n 是一级输入级模块驱动输出级模块的级数),因此输入级尺寸可以做得更小。另外,该电路的驱动时钟频率是传统结构中一级输入级模块驱动一级输出级模块时钟频率的 $1/n$,有效地降低了电路的动态耦合功耗。我们制作了 20 级的行集成驱动电路,一级输入级模块驱动两级输出级模块,该电路的尺寸为宽 $730\ \mu\text{m}$,高为 $164\ \mu\text{m}$,满足窄边框的要求。从实验测试结果表明,该电路很好地满足 300 PPI 的 AMLCD 或 AMOLED 显示屏的需求。

关键词: In-Zn-O 薄膜晶体管;行集成驱动电路;输入级模块复用;输出级模块

中图分类号: TN27 **文献标识码:** A **doi:** 10.3788/YJYXS20153005.0832

Nnew In-Zn-O thin film transistors gate driver circuit employing input block multiplex structure

ZHANG Li-rong¹, LI Guan-ming², HUANG Chang-yu³, ZHOU Lei¹,LUO Dong-xiang², XU-Miao², WU Wei-jing^{2*}, PENG Jun-biao²(1. Guangzhou New Vision Opto-Electronic Technology Company, Ltd.,
Guangzhou 510730, China;2. State Key Laboratory of Luminescent Materials and Devices,
South China University of Technology, Guangzhou 510640, China;3. School of Electronic and Information Engineering, South China University of Technology,
Guangzhou 510640, China)

Abstract: This paper proposes a new gate driver circuit integrated by IZO-thin film transistors (TFTs), which employs a new driving method called input block multiplex structure. One input block

收稿日期: 2015-04-21; **修订日期:** 2015-06-19.

基金项目: 国家自然科学基金(No. 61204089); 广东省自然科学基金(No. S2012010008648); 广东省自然科学基金(No. 2014A030310253)

* 通信联系人, E-mail: wuwj@scut.edu.cn

driving several output blocks is used in this method, which can reduce the number of TFTs and save the area of the circuit dramatically, satisfying the design of the high resolution and narrow bezel displays. The working time of the input block is n times as the output block, where the parameter ' n ' is the quantity of output blocks driven by one input block. Therefore the frequency of the driving clock of the proposed circuit is $1/n$ of the traditional circuits, in which one input block is used to drive one output block. We have successfully fabricated 20 stages of the circuit. The structure is one input block driving two output blocks and the dimension is $730\text{ }\mu\text{m}$ width and $164\text{ }\mu\text{m}$ height, which can realize the narrow bezel easily. The experimental results show the circuit can work well and be suitable for 300 PPI displays of AMLCD or AMOLEDs.

Key words: In-Zn-O thin-film transistor; integrated gate driver circuit; input block multiplex; output block

1 引言

薄膜晶体管制作的行集成驱动电路代替专门的行驱动芯片,其优点在于:首先,行集成驱动电路能够与像素电路制作在同一阵列上,合理的布局可以避免走线长度不一而导致不同的延时,在大尺寸面板影响尤为严重;其次,可以节约基板面积,减少工艺步骤,降低成本,应用在小尺寸显示屏,可以实现窄边框,符合人们审美需求。由于 TFT 构成的行集成驱动电路具有相对明显的优势,近年来成为背板 TFT 技术研究热点^[1-4]。

目前,在平板显示领域中,应用于有源显示驱动的 TFT 主要有非晶硅 TFT(a-Si TFT)和多晶硅 TFT(Poly-Si TFT)^[5-7],a-Si TFT 具有工艺简单、价格低、制备成品率高、关态漏电流小等优点。但 a-Si TFT 载流子迁移率低,器件尺寸制作的比较大,而且需要的驱动电压和信号电压较高,从而行集成驱动电路占用的面积较大,功耗较大,无法实现窄边框和低功耗。多晶硅 TFT 具有较高的载流子迁移率,节省驱动电路面积。另外,对于多晶硅,可制作 n 型和 p 型的薄膜晶体管,这为使用多晶硅 TFT 实现了在同一衬底上集成制作 OLED 像素驱动电路及外围驱动电路提供了很大的灵活性。但多晶硅晶化设备相当昂贵,工艺复杂,工艺均匀性不好控制。金属氧化物 TFT 具有制备温度低、工艺相对简单,迁移率较高等优点,也具备应用于有源 OLED 平板显示中的潜力。我们制作的掺 Ln 元素的 IZO-TFT 具有相对更高的迁移率,更稳定的器件性能,具有应用显示产业的前景^[8]。

传统的行集成驱动电路结构一般是一级输入级模块驱动一级输出级模块^[9-11]。输入级的工作频率与输出级的工作频率相同。当工作频率增大时,每一级电路的工作时间变短,高电平保持时间减少,每一级电路的充放电时间减少;当频率增加到一定程度时,需要增加电路的尺寸,提高充放电速度,使得电路可以正常工作。通过牺牲面积,提高了电路工作速度,但是随着显示屏的分辨率不断增加,像素面积不断减少,有限的电路面积,难以满足高速电路的工作需求。

BinnKim^[12]等人首先提出了一种新型的 IGZO-TFT 的移位寄存器,该电路采用了输入级模块复用的结构,针对 IGZO-TFT 器件,设计了专门结构,抑制器件的泄漏电流,但是过多的驱动时序很容易造成信号竞争冒险的现象,复杂的驱动时序对电路的稳定也提出了挑战,电路信号跨级连接,导致电路最后五级电路无法工作。该电路仅仅基于仿真,没有实验支撑,无法验证其性能。

本文提出一种新型的行集成驱动电路结构,一级输入模块驱动多级输出模块的输入级模块复用驱动方法。该电路一级输入级模块通过电路的共同节点控制多级输出级模块,同时电路不需要跨级连接,也不用牺牲电路后五级电路。输入级模块的工作时间/输出级模块的工作时间= n (n 为复用的级数)。输入级模块工作时的充放电时间是输出级的 n 倍,因此,输入级尺寸较小也可以满足输出级的驱动需求。与传统结构的行集成电路对比,该电路的时钟信号频率更低,可以节省更多的动态功耗。

2 电路设计及工作原理

如图 1 所示,该行集成驱动电路采用每一级输入级模块驱动两级输出级模块的结构,输入级模块由 7 个薄膜晶体管和 2 个电容组成,输出级

模块由 2 个 TFT 组成。电路中,节点 Q 和节点 QB 是输入级模块和输出级模块的公共节点,输入级模块通过控制节点 Q 和 QB 电平控制两级输出级模块的开关状态。因此,与传统结构相比,该电路结构可以节省一个输入级模块,即 7 个 TFT 和 2 个电容,节省电路面积。

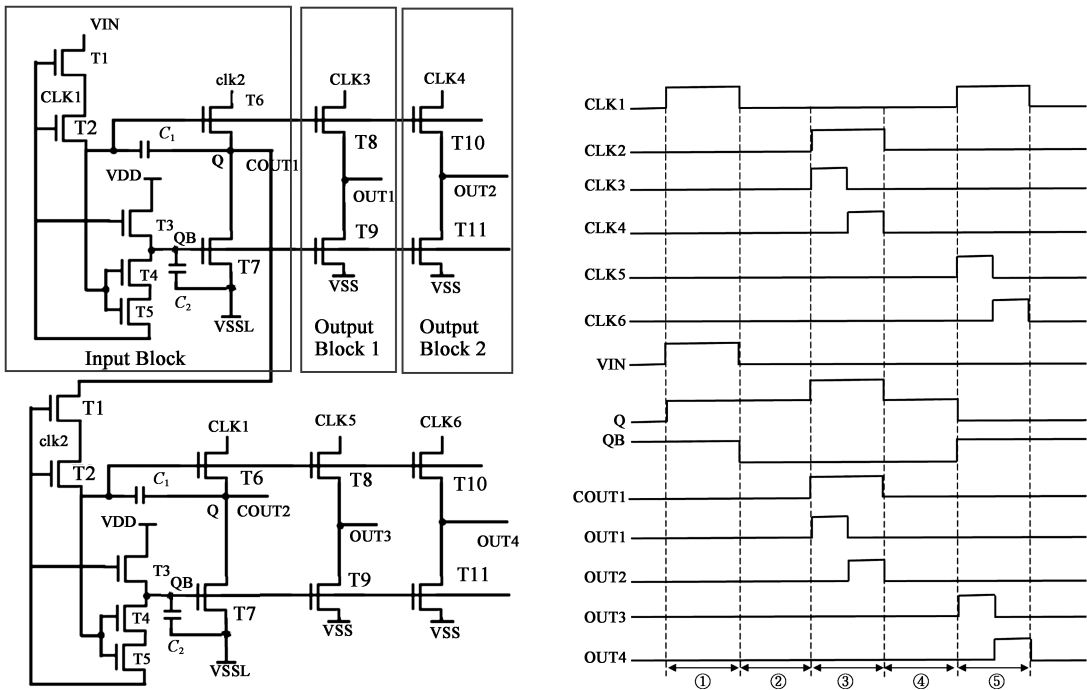


图 1 行集成驱动电路原理图和驱动时序图
Fig. 1 Proposed gate driver circuit and timing scheme of signal lines

该行集成驱动电路采用了 6 根时钟信号线 (CLK1~CLK6),一根正电源线 (VDD),两根负电源线 (VSS, VSSL),电路工作原理如下:①当 CLK1 变高电平时, T1 和 T2 被打开, Q 点被输入信号 VIN 充电至高电平,与此同时, T3, T4, T5 被 CLK1 打开, QB 点也被充电至高电平,由于 CLK1 的高电平与 VDD 相同,因此 T3, T4 和 T5 之间没有直流通路。 T6, T8 和 T10 被 Q 点打开, T7, T9 和 T11 被 QB 点打开, COUT1 输出 VSSL 低电平, OUT1 和 OUT2 输出 VSS 低电平,由于 CLK1, CLK2 的低电平为 VSSL, CLK3, CLK4, CLK5 和 CLK6 的低电平为 VSS,因此 T6 和 T7, T8 和 T9, T10 和 T11 有没有直流回路。②当 CLK1 变为低电平时, CLK2 继续维持低电平, T3 被关断, T4, T5 维持打开状态,因此 QB 点被拉低至 VSSL 低电平,关断 T7, T9 和 T11。③

当 CLK2 变高电平时, CLK1 为低电平, T6 的漏极连接 CLK2, 电容 C₁ 连接着 T6 管的栅极和源极, 根据电容耦合原理, Q 点会跳变到比之前更高的电平, 使得 T6, T8, T10 完全打开。 COUT1 输出高电平, CLK3, CLK4 高电平的占空比为 CLK2 的一半, 如图 1, 因此 OUT1 输出与 CLK3 高电平时间一样的波形, OUT2 输出与 CLK4 高电平一样的波形。④当 CLK2, CLK3, CLK4 变低电平, CLK1 维持低电平, 电路 COUT, OUT1, OUT2 均为低电平。⑤当 CLK1 再次变高, CLK2 为低, 此时 VIN 信号为低电平, 因此 Q 点被拉低到 VSSL 电平, 关闭 T4、T5、T6、T8 和 T10; T3 打开, QB 点被充电至 VDD, 将 T7、T9 和 T11 打开, COUT1、OUT1 和 OUT2 拉低, 电路 COUT, OUT1, OUT2 继续维持低电平。

从电路原理图可以看出, COUT1, COUT2

是每一级输入级模块的级联信号,OUT1,OUT2,OUT3,OUT4 都是输出到显示屏阵列的栅极驱动信号。从电路的驱动时序图看出,输入级模块级联信号的高电平保持时间是输出级模块栅极驱动信号的两倍,因此在同一工作频率下,输入级模块的尺寸可以做的更小。

在电路中,两负电源需要满足 $|V_{SSL}| > |V_{SS}|$,可以使得 T9,T10 在 OUT1,OUT2 输出高电平时完全关闭,输出信号达到全摆幅输出,减少功耗损失。由于 CLK1,CLK2 的低电平和 VSS 相当,CLK3,CLK4,CLK5,CLK6 的低电平和 VSS 相当,因此电路不存在直流回路,电路没有直流功耗,只有时钟的动态功耗。传统结构行集成驱动电路的动态功耗计算公式为:

$$P=\frac{1}{2}\times C\times f\times U^2, \tag{1}$$

其中: C 为电容, f 为时钟频率, U 为电压变化。
采用输入级模块复用结构的行集成电路,输入级模块驱动 n 级输出级模块,其时钟频率为传统结构的 $1/n$,动态功耗为:

$$P=\frac{1}{2}\times C\times \frac{f}{n}\times U^2, \tag{2}$$

其中: f/n 为时钟频率。与传统结构的行集成驱动电路对比,输入级模块复用结构的电路可大大减低电路的动态功耗。

3 实验结果与分析

本文采用的器件为我们开发的掺 Ln 的 IZO-TFT 器件,器件特性分别为:阈值电压为 1.28 V,开启电压为 -0.95 V,迁移率为 $15\text{ cm}^2/\text{V}\cdot\text{s}$,开关比为 2.96×10^9 。

我们成功制作了 20 级该行集成驱动电路,图 2 为该电路的电子显微图,每级电路的尺寸大小为 $730\text{ }\mu\text{m}\times 164\text{ }\mu\text{m}$,制作在显示屏的两边很容易实现窄边框显示, $164\text{ }\mu\text{m}$ 的高度适用于 300 PPI 的 AMLCD 或者 AMOLED 显示屏双边行集成电路驱动。表格 1 记录着电路的设计参数,其中输入级包括 T1,T2,T3,T4,T5,T6 和 T7 尺寸制作相对较小。输出级 T8 和 T9,T10 和 T11 需要满足驱动阵列的需求,因此制作尺寸较大。电容 C_1 在充电阶段,存储电荷不被泄漏,维持高电平;在

信号输出时,起到电容耦合效应,Q 点电压跳变的更高,使得输出级晶体管完全打开,实现全摆幅输出。电容 C_2 作用是维持 QB 点在 Q 点电压跳变时,不受到耦合作用的影响。

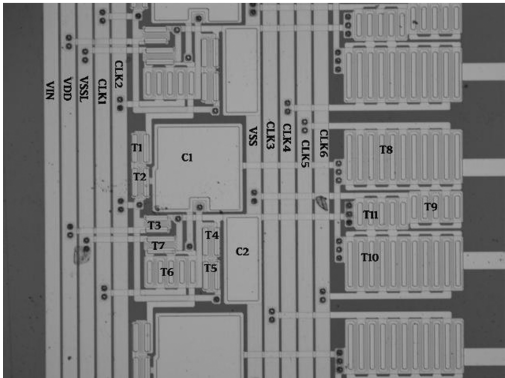
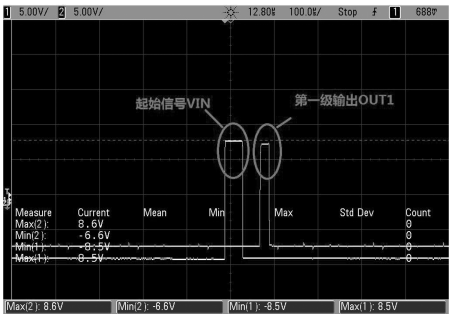


图 2 行集成驱动电路的光学显微图
Fig. 2 Micrograph of the proposed gate driver circuit

我们采用安捷伦的 B1500 半导体测试仪的 SPGU 模块进行对电路性能的测试,测试中,CLK1 和 CLK2 的低电平和 VSSL 相等,CLK3,CLK4,CLK5 和 CLK6 的低电平和 VSS 相等,实验测试的 RC 负载分别为 $10\text{ k}\Omega$ 和 14 pF 。

图 3 为该行集成驱动电路的测试结果,图 3(a)所示的行集成电路的起始信号 VIN 和第一级输出波形 OUT1。从波形的峰峰值可以观察到,起始信号 VIN 峰峰值与 CLK1 和 CLK2 一样,输出波形 OUT1 的峰峰值与 CLK3,CLK4,CLK5,CLK6 一样。起始信号 VIN 的脉冲宽度为第一级输出信号 OUT1 的两倍宽,从前面分析结论可得,该电路的动态功耗是传统结构电路的 $1/2$ 。图 3(b)显示了输出级的输出信号,第 1 级输出信号 OUT1 和第 40 级输出信号 OUT40,OUT1 和



(a)输入信号 VIN 与第一级输出信号 OUT1
(a)Input signal VIN and the 1st output signal



(b)第一级输出信号 OUT1 和第四十级输出信号 OUT40

(b)The 1st output signal OUT1 and the 40th output signal OUT40

图 3 行集成驱动电路测试结果

Fig. 3 Experiment result of the proposed gate driver circuit

OUT40 的峰峰值相等,脉冲宽度一样,从实验验证了该电路可以正常工作。

表 1 行集成驱动电路的设计参数

Tab. 1 Design parameters of gate driver circuit

设计参数	数值
CLK1,CLK2 电平/V	-8.5~8.5
CLK3,CLK4,CLK5,CLK6 电平/V	-6.5~8.5
VDD,VSS,VSSL/V	8.5,-6.5,-8.5
R(kΩ)C(pF)负载	10,140
电路尺寸宽×高/μm	730×164
(W/L)T1,T2,T4,T5,T7/(μm/μm)	50/10
(W/L)T3/(μm/μm)	40/10
(W/L)T6,T9,T11/(μm/μm)	160/10
(W/L)T8,T10/(μm/μm)	800/10
C ₁ /pF	4
C ₂ /pF	1
Test temperature/℃	25

参 考 文 献:

[1] Choi J W, Kim J I, Kim S H, *et al.* Highly reliable amorphous silicon gate driver using stable center-offset thin-film transistors[J]. *IEEE Trans. Electron Devices*, 2010, 57(9): 2330-2334.

[2] Kim B, Ryoo C I, Kim S J, *et al.* New depletion-mode IGZO TFT shift register[J]. *IEEE Electron Device Lett.*,

行集成驱动电路的输出能力关系到显示屏显示效果的好坏,我们对该行集成驱动电路做了负载测试,在工作频率 50 kHz,负载 10 kΩ 和 140 pF 的条件下,测试出来的输出级的波形,如图 4 所示,波形上升延迟时间 4.8 μs,下降时间为 3.5 μs,总的脉宽时间为 20 μs,所以在该负载条件下测试,验证了该电路有足够的输出能力,可以集成于显示屏两端,驱动阵列,不会产生串扰现象。

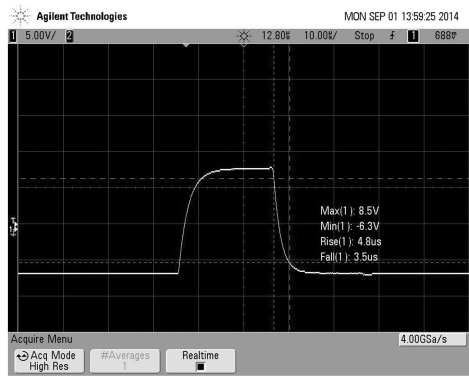


图 4 行集成驱动电路输出级负载测试

Fig. 4 Load test of the proposed gate driver circuit

5 结 论

设计了一种输入级模块复用的行集成驱动电路,采用了一级输入级模块驱动多级输出级模块的结构,可以显著地减少输入级模块 TFT 的数量,缩减电路面积。该电路的驱动时钟频率是传统结构中一级输入级模块驱动一级输出级模块时钟频率的 1/n,有效地降低了电路的动态功耗。我们成功地制作 20 级的级联行集成电路,20 级输入级模块驱动 40 级输出级模块,该每级的行集成电路尺寸为 730 μm(宽)×164 μm(高)。通过实验表明,电路可以正常工作。在工作频率 50 kHz,负载为 10 kΩ 和 140 pF 的条件下,电路的驱动能力满足驱动显示屏的需求。

2011, 32(2): 158-160.

- [3] 严利民,龙云腾,郭丽媛. 一种新型的 OLED 像素补偿驱动电路[J]. 液晶与显示, 2014, 29(5): 728-732.
Yan L M, Long Y T, Guo L Y, A novel OLED pixel compensation driving circuit [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(5): 728-732. (in Chinese)
- [4] Zheng G T, Liu P T, Wu M C, *et al.* Design of bidirectional and low power consumption gate driver in amorphous silicon technology for TFT-LCD application[J]. *J. Display Technol.*, 2013, 9(2): 91-99.
- [5] Lin C L, Tu C D, Wu C E, *et al.* Low-power gate driver circuit for TFT-LCD application[J]. *IEEE Trans. Electron Devices*, 2012, 59(5): 1410-1415.
- [6] Ding Y Y, Si Y J, Lang L Q, An Integrated driving circuitry by employing P-type poly-Si TFTs for AMOLED [J]. *Chinese Journal of Electron Devices*, 2008, 31(1): 77-81.
- [7] 徐小丽,刘如,郭小军,等. 基于不同 TFT 技术的 AMOLED 像素电路仿真分析[J]. 电子器件, 2010, 25(4): 565-568.
Xu X L, Liu R, Guo X J, *et al.* Simulation and analysis of AMOLED pixel circuit with different TFT technologies [J]. *Chinese Journal of Electron Devices*, 2010, 25(4): 565-568. (in Chinese)
- [8] 曹镛,陶洪,邹建华,等. 金属氧化物薄膜晶体管及其在新型显示中的应用[J]. 华南理工大学学报, 2012, 40(10): 1-11.
Cao Y, Tao H, Zou J H, *et al.* Metal oxide thin film transistors and their application to novel display technology [J]. *Journal of South China University of Technology*, 2012, 40(10): 1-11. (in Chinese)
- [9] Wu W J, Li G M, Xia X H, *et al.* Low-power bi-side scan driver integrated by IZO TFTs including a clock-controlled inverter [J]. *IEEE J. Display Technol.*, 2014, 10(7): 523-525.
- [10] Wu W J, Song X F, Zhang L R, *et al.* A highly stable biside gate driver integrated by IZO TFTs [J]. *IEEE Trans. Electronic Devices*, 2014, 61(9): 3335-3338.
- [11] Hong S J, Kang J S, Lee C H, *et al.* Low-power and small-sized scan driver using amorphous oxide TFTs [C]. *SID'2012 Digest*, 2012: 1108-1111.
- [12] Kim B, Lee Y U, Han M K, *et al.* A novel IGZO TFT shift register with node-shared structure[C]. *SID'2011 Digest*, 2011: 1191-1194.

作者简介:张立荣(1988—),男,广东阳江人,硕士,主要从事 TFT 集成电路,AMOLED 面板设计研究。E-mail: zhangli-rong@newvision-cn.com