

文章编号:1007-2780(2015)03-0444-07

基于 STM32 和 CPLD 的 TFT-LCD 显示 控制器设计

尤卫卫*, 冒建亮, 叶桦
(东南大学 自动化学院, 江苏 南京 210096)

摘要:为了实现对 TFT-LCD 的控制,本文以 STM32 和 CPLD 作为核心控制器,SRAM 作为显示缓存,介绍了一种 TFT-LCD 控制器设计方法。首先,对设计总体架构进行了分析,STM32 内部实现了 Intel8080 总线协议的制定,CPLD 内部实现了通讯协议的解析、LCD 显示时序的驱动、以及 SRAM 的读写控制。最后,对 LCD 显示时序和 SRAM 的读写进行了仿真,并给出了实现效果图。结果表明,该设计方法能够控制 TFT-LCD 准确地显示出图文。结构简单,性价比高,具有较高应用价值。

关键词:STM32;CPLD;SRAM;LCD 时序

中图分类号:TP791 **文献标识码:**A **doi:**10.3788/YJYXS20153003.0444

Design of TFT-LCD display controller based on STM32 and CPLD

YOU Wei-wei*, MAO Jian-liang, YE Hua

(College of Automation, Southeast University, Nanjing 210096, China)

Abstract: In order to control the TFT-LCD, a design method of TFT-LCD controller is introduced, with the STM32 and the CPLD as the core controller, along with an external SRAM as the display cache. Firstly, the overall architecture of the design is analyzed. The communication protocol between STM32 and CPLD is drawn up inside of STM32. The drive of LCD timing, the parsing of communication protocol and the reading and writing of the SRAM are implemented by the CPLD. At last, the LCD timing and the reading and writing of the SRAM are simulated, and the figure of the actual operation effects are shown. The results indicate that the TFT-LCD can show the picture and word correctly controlled by the proposed design method. The method is of simple structure, high cost performance and higher application value.

Key words: STM32;CPLD;SRAM;LCD timing

1 引 言

液晶显示器由于其轻薄、便携、高分辨率等优点已被广泛应用到生活、工业、军事等各种场合。TFT-LCD 显示器作为液晶显示器中一类重要的代表,具有体积小,功耗低,显示品质优良等诸多优势,已经成为当前桌面显示的主流。虽然 TFT-LCD 显示效果极佳,但由于控制时序相对复杂,其控制一直是大家研究的重点^[1-2]。目前对 TFT-LCD 的控制方式主要有 3 种:

(1)使用专用控制芯片,但此方式易受器件断档影响,并且不利用技术移植;

(2)使用内置 TFT-LCD 控制器的 STM32,如 ARM9 等,此方式适用于高端显示领域,成本较高;

(3)使用 FPGA 或 CPLD 进行 TFT-LCD 的控制器设计,利用此方式设计灵活性强、可移植性高,且器件性价比高。

比较 3 种方案,本文选择灵活性强、可移植性高,且器件性价比高的第三种方案来设计控制器^[3]。

2 TFT-LCD 显示控制器的整体架构

图 1 为液晶屏显示系统的系统框图。其中,主控芯片 STM32^[4]内部制定了与 CPLD 间的通讯协议,主要用于实现在 LCD 上的各类写操作指令,通过 Intel8080 总线将待显示信息传送给 CPLD。作为控制器的核心元件,CPLD 主要实现三个模块的功能^[5]:

(1)协议解析模块:CPLD 接收控制器 STM32 发出的控制指令,实现对 8080 总线通讯协议的解析,主要包括待写数据模式,待写数据坐标以及待写数据 RGB 颜色。

(2)SRAM 读写控制模块:CPLD 在 TFT-LCD 屏显消隐区间,根据提出的数据坐标及 RGB 颜色,将相应值写入 SRAM 相应地址。在 TFT-LCD 屏显有效区间时,将上述数据按照时序依次读出,完成 TFT-LCD 的显示驱动。

(3)LCD 时序驱动模块:根据 LCD 显示时序,实现液晶屏的显示驱动。

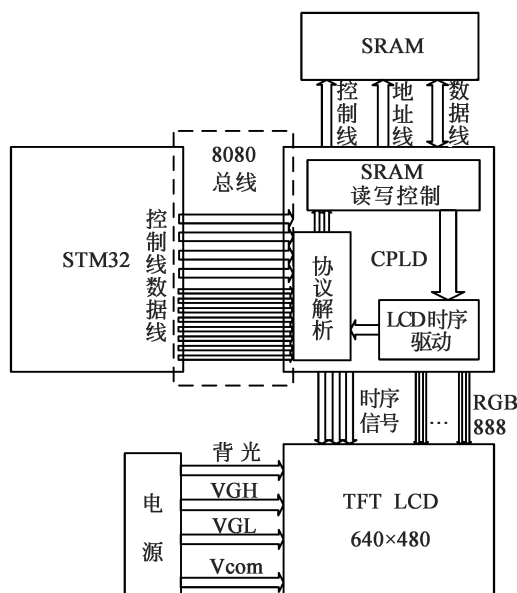


图 1 系统框图

Fig. 1 System chart

3 TFT-LCD 显示控制器的设计

3.1 STM32 与 CPLD 间通信协议

STM32 内部实现了底层接口函数及上层界面函数,底层接口函数主要实现通讯协议的制定,包括用于界面显示的各类函数的实现。主要包括:单点写、多点写、8 点带背景写与 8 点不带背景写命令。各命令具体操作如下:

(1)单点写

单点写主要是为了实现一些不易绘制的图形,如圆、三角形等,也可用于显示完整的图片。STM32 内部根据指定的时序规则,依次发送指令:选择单点写模式→待显示像素点行、列地址→待显示像素点颜色。

(2)多点写

多点写主要用于绘制直线、矩形等,也可用于局部图形的填充。STM32 内部根据指定的时序规则,依次发送指令:选择多点写模式→待显示图形起始点行、列地址→待显示图形长度→待显示图形颜色。

(3)8 点带背景写

主要用于字符的覆盖显示,可绘制任意像素为 8N×8N 的字符。STM32 内部根据指定的时序规则,依次发送指令:选择 8 点带背景写模式→

待显示字符起始行、列地址→待显示字符前景色→待显示字符背景色。

(4) 8 点不带背景写

主要用于字符的层叠显示,可绘制任意像素为 $8N \times 8N$ 的字符。STM32 内部根据指定的时序规则,依次发送指令:选择 8 点不带背景写模式→待显示字符起始行、列地址→待显示字符前景色。

根据上述 4 种操作,STM32 可以便捷地进行各类图文的绘制,并将相应的指令传送给 CPLD 对通讯数据进行解析,实现 TFT-LCD 的显示驱动。

3.2 TFT-LCD 显示驱动设计^[6-8]

显示器的驱动主要由 CPLD 实现,包括 LCD 时序驱动、通讯协议解析和 SRAM 读写控制,如图 2 所示。CPLD 接收控制器 STM32 发出的控制指令,提取待显示点的坐标与 RGB 数据,并在 TFT-LCD 屏显消隐区间,将相应数据写入 SRAM 相应地址。在 TFT-LCD 屏显有效区间时,将相应数据按照时序依次读出,完成 TFT-LCD 的显示驱动。

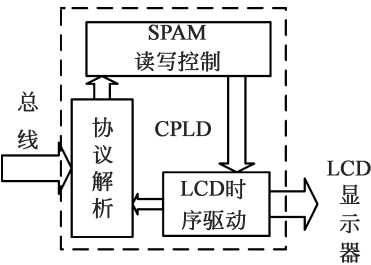


图 2 TFT-LCD 显示驱动框图

Fig. 2 Driving chart of TFT-LCD display

3.2.1 通讯协议解析模块

CPLD 对 STM32 的通讯协议解析,按照先取指令后取数据的方式进行。当 STM32 发送控制指令时,控制线 RS 为 0,发送数据指令时,控制线 RS 为 1,每发送完对应的指令,发送相应的数据。因此,通过判断 RS 由 0 到 1 的上升边沿,此时总线上数据状态稳定,即可读取指令至 CPLD 中的寄存器;同理,当检测到 RS 由 1 到 0 的下降边沿时,可以根据接收到的控制指令,将相应的数据存放入对应的寄存器中,进而在 TFT-LCD 数据写有效时,进行相应的写屏操作。

写屏操作具体指 STM32 用于图文绘制的单点写、多点写、8 点带背景写与 8 点不带背景写的驱动程序,采用有限状态机模式,主要分为两大类:第一类是输出只和状态有关,与输入无关,即 Moore 型状态机;第二类是输出和输入、状态有关,且次态也与输入和当前状态有关,即 Mealy 型状态机。本设计中采用的是 Mealy 型状态机,各部分对应状态操作如下:

(1) 清屏操作

设定状态 S1:寄存器清零操作;S2:清屏操作。状态图如图 3 所示。其中,WAddCnt 为写屏操作完成标志。

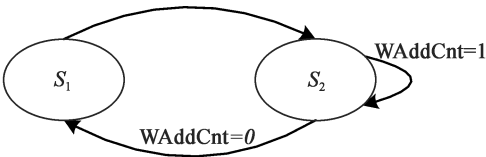


图 3 清屏操作状态图

Fig. 3 State chart of screen clearing operation

(2) 单点写

设定状态 S1:等待数据稳定;S2:写单点操作,S3:寄存器清零操作。状态图如图 4 所示。

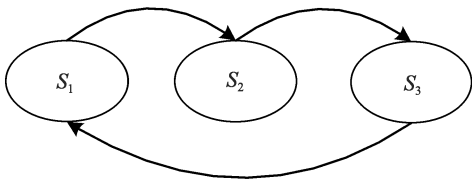


图 4 单点写操作状态图

Fig. 4 State chart of single point writing operation

(3) 多点写

设定状态 S1:等待数据稳定;S2:写起始点操作;S3:写剩余长度点操作。状态图如图 5 所示。其中,MulPotWrCnt 为写计数器,MulPotLength 为多点写长度。

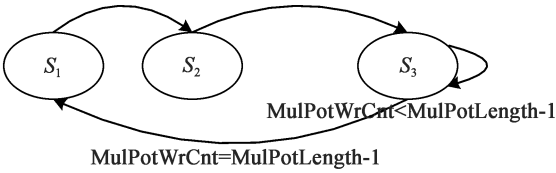


图 5 多点写操作状态图

Fig. 5 State chart of multipoint writing operation

(4)8 点带背景写

设定状态 S1:等待数据稳定;S2:写起始点操作;S3:写其余 7 点操作。状态图如图 6 所示。其中,MulPotWrCnt 为写计数器;状态 S2 和状态 S3 中,对字模数据的操作为:0 写背景色,1 写前景色。

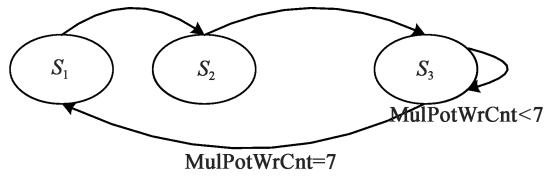


图 6 8 点带背景写状态图

Fig. 6 State chart of 8 points with background writing operation

(5)8 点不带背景写

设定状态 S1:等待数据稳定;S2:写起始有效点操作;S3:无效点计数清零操作;S4:写其余有效点操作。状态图如图 7 所示。其中,8Addr[7]为字模最高位,每个时钟周期左移 1 位;8AddrCnt 为单字模中两有效点间无效点计数器;MulPotWrCnt 为写计数器,8AddrWrCnt 为单字模中无效点总计数器。对字模数据的操作为:0 为无效点,1 为有效点,此时写背景色。

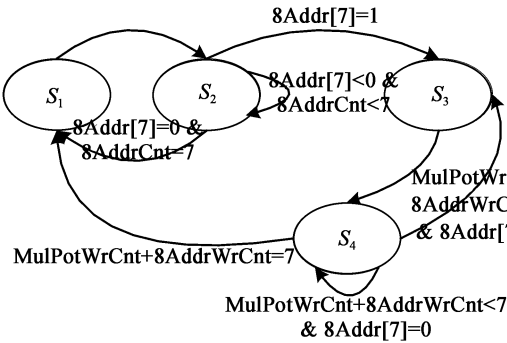


图 7 8 点不带背景写状态图

Fig. 7 State chart of 8 points without background writing operation

3.2.2 SRAM 读写控制模块

外部缓存 SRAM 的主要作用是 将 STM32 发送的图文数据进行缓存,以便在 TFT-LCD 显示有效区间,CPLD 可按照一定的时序从 SRAM 中依次读出。对于 SRAM,通过设定 $\overline{LB}$ 与 $\overline{UB}$ 的高低,将芯片的 16 位数据线分高 8 位和低 8 位存储 RGB 颜色数据,以满足存储像素点 640×480 的需求,即将整屏数据分为上半屏 (0~239

行)、下半屏 (240~479 行) 存储,每半屏地址一样,地址数为 640×240 。当接收到显示像素点为上半屏数据时,设定 $\overline{LB} = 0$ 、 $\overline{UB} = 1$,数据存储于低 8 位,当接收到显示像素点为下半屏数据时,设定 $\overline{LB} = 1$ 、 $\overline{UB} = 0$,数据存储于高 8 位。

3.2.3 LCD 时序驱动模块

LCD 驱动程序流程图如图 8 所示。通过行、场计数器,产生 TFT-LCD 控制所需的行、场同步信号、像素时钟,同时产生 RGB 数据读写有效位,即在 RGB 数据读有效时,按照时序依次从 SRAM 中读取存储的数值,在 RGB 数据写有效时,CPLD 根据数据传输指令协议,接收并解析 STM32 给定的 TFT-LCD 上各坐标点待显示的图像数据。

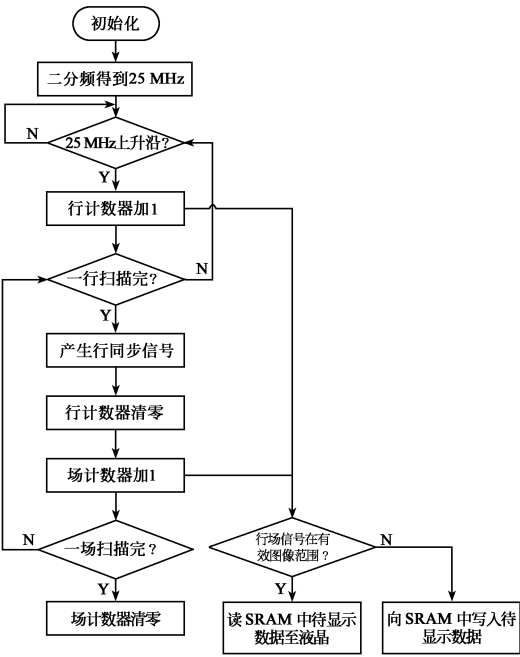


图 8 LCD 驱动模块流程图

Fig. 8 Flow chart of LCD driving module

4 仿真结果讨论

本节利用 Quartus II^[9] 软件仿真功能,对 LCD 时序和 SRAM 读写功能进行仿真。

4.1 LCD 时序驱动仿真

如图 9 为 LCD 时序仿真图,其中,LCD_HS 是行同步信号,LCD_VS 是场同步信号,可以看出,当场计数器 Vcnt 达到 524 时,意味着一场扫描完,LCD_VS 发生反转,进入场消隐,同时新的一场同步信号随后到来。

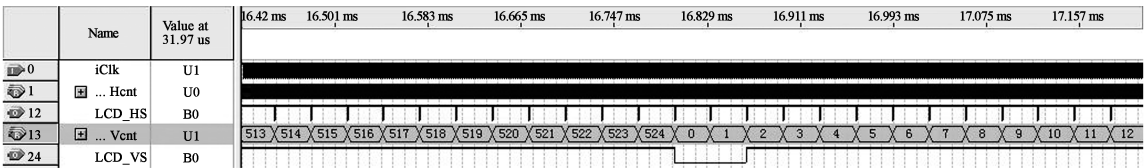


图 9 LCD 时序仿真图
Fig. 9 Simulation chart of LCD timing

4.2 SRAM 读写仿真^[10]

SRAM 读写控制信号由 TFT-LCD 显示有效与消隐区间决定,设定 RCnt 和 WCnt 分别为 SRAM 读、写状态的地址、数据判断标志位。

如图 10,当 $\overline{OE}$ 为低时,SRAM 进行读操作。

此时,在 RCnt 为高电平时,给定待读像素点地址,RCnt 为低电平时,也就是经过 20 ns 时延后读相应地址数据。例如,当行地址为 2 时,此时场地址为 89,则给定待读地址 $(89 \times 2^{10} + 2) = 91\ 138$,仿真结果正确。

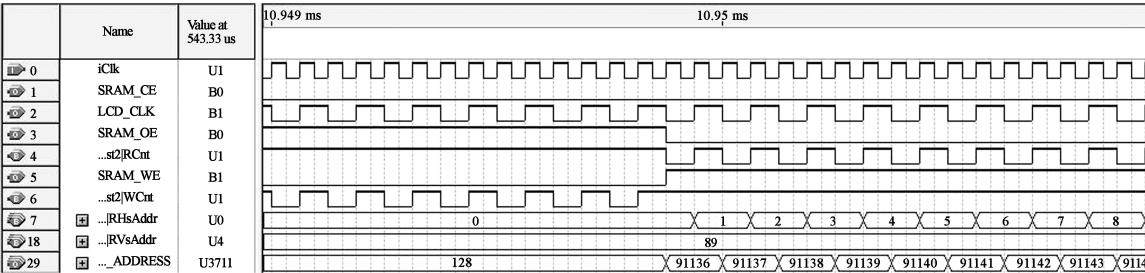


图 10 SRAM 读时序仿真图
Fig. 10 Simulation chart of SRAM reading

如图 11,当 $\overline{WE}$ 为低时,SRAM 进行写操作。此时,在 WCnt 为高电平时,给定待写像素点地址,WCnt 为低电平时,同样经过 20 ns 时延后写

相应地址数据。同时,在 SRAM 在读操作时,行地址从 0~639,当读操作结束并转入写操作时,行地址清 0,场地址加 1,可见仿真结果的正确性。

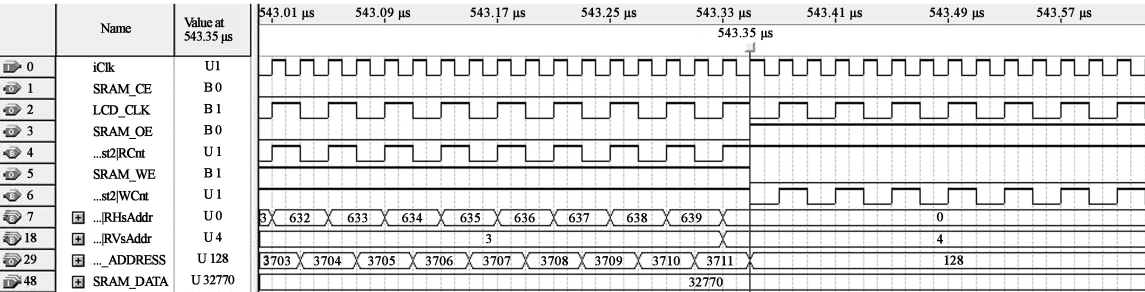


图 11 SRAM 写时序仿真图
Fig. 11 Simulation chart of SRAM writing

图 12 是对 TFT-LCD 半场信号扫描仿真的结果。在 TFT-LCD 的行扫描中,有一段消隐区间与有效区间;在消隐区间,可以对 SRAM 进行数据写操作,在有效区间,按照行

地址计数 0~639 依次输出信号。每行扫描结束后,场地址加 1,当场地址到达 239 时,即 TFT-LCD 半场扫描结束,接下来以同样的地址进行下半场的扫描。

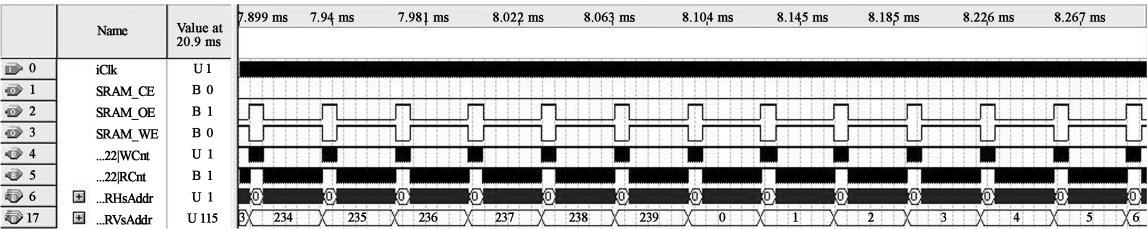


图 12 半场扫描完仿真图

Fig. 12 Simulation chart of half-court scanning finished

4.3 实现结果

通过采用本文设计方法,实现的设计实物效果如图 13 所示。

5 结 论

本文介绍了基于 STM32 和 CPLD 的 TFT-LCD 显示控制器的设计方法。TFT-LCD 模块采用的是不带 LCD 控制器的群创 AT056TN52-5.6 in (1 in = 2.54 cm) TFT-LCD。在设计控制器时,采用的是 Altera 公司的 MAX II 系列的 CPLD(EPM570)作为核心部件,以 ISSI 公司的 IS61LV25616 大容量 SRAM 作为显示缓冲存储器。测试结果表明,本文设计的控制器相对市场上 TFT-LCD 的专用控制芯片工作稳定可靠,性价比高。在很多场合具有一定的实用价值。

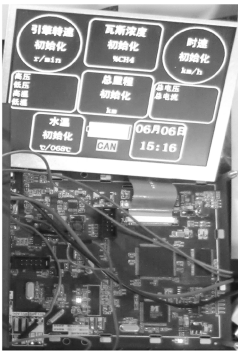


图 13 设计实物图

Fig. 13 Chart of design entity

参 考 文 献:

[1] 徐婧婧. 彩色有源 LCD 显示屏外围驱动电路的研究与设计[D]. 长春:吉林大学, 2007.
Xu J J. The research and design on the peripheral driving circuit of color AM-LCD [D]. Changchun: Jilin University, 2007. (in Chinese)

[2] Lin J T, Wang F K, Lo S L, et al. Analysis of the supply and demand in the TFT-LCD market[J]. *Technological Forecasting and Social Change*, 2006, 73(4): 422-435.

[3] 李辉祥,黄光明. 基于 CPLD 的 TFT-LCD 控制器的设计[J]. 电子设计工程, 2011, 19(23): 128-130.
Li H X, Huang G M. Design of TFT-LCD controller based on CPLD [J]. *Electronic Design Engineering*, 2011, 19(23): 128-130. (in Chinese)

[4] 李宁. 基于 MDK 的 STM32 处理器开发应用[M]. 北京:北京航空航天大学出版社, 2008.
Li N. *Application of STM32 Processor Development Based on MDK* [M]. Beijing: Beihang University Press, 2008. (in Chinese)

[5] 胡健生,罗卫兵,钱渊. 嵌入式 TFT-LCD 控制器设计[J]. 计算机工程, 2010, 5: 088.
Hu J S, Luo W B, Qian Y. Design of embedded TFT-LCD controller [J]. *Computer Engineering*, 2010, 5: 088. (in Chinese)

[6] 苏维嘉,张澎. 基于 FPGA 的 TFT-LCD 控制器的设计和实现[J]. 液晶与显示, 2010, 25(1): 75-78.
Su W J, Zhang P. Design and implementation of TFT-LCD controller based on FPGA[J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, (2511): 75-78. (in Chinese)

[7] 唐徐立,黄君凯,刘明峰,等. 基于 FPGA 的 TFT-LCD 控制器设计与实现[J]. 集成电路设计与开发, 2010, 35 (11): 1134-1137.

Tang X L, Huang J K, Liu M F, *et al.* Design and realization of the TFT-LCD controller based on FPGA[J]. *Design and Development of IC*, 2010, 35(11): 1134-1137. (in Chinese)

[8] 黄杰勇. 基于 CPLD 的 TFT-LCD 控制器设计[J]. 现代计算机: 上半月版, 2013 (2): 62-64.
Huang J Y. Design of TFT-LCD controller based on CPLD [J]. *Modern Computer: First Half Edition*, 2013 (2): 62-64. (in Chinese)

[9] 王冠, 俞一鸣. 面向 CPLD/FPGA 的 Verilog 设计 [M]. 北京: 机械工业出版社, 2007.
Wang G, Yu Y M. *Verilog Design for CPLD/FPGA* [M]. Beijing: Machinery Industry Press, 2007. (in Chinese)

[10] 薛家祥, 黄泽林, 沈栋, 等. TFT-LCD 驱动中 SDRAM 控制器的仲裁器设计[J]. 液晶与显示, 2013, 28(6): 877-882.
Xue J X, Huang Z L, Shen D, *et al.* Design of SDRAM controller with arbiter for TFT-LCD driver [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(6): 877-882. (in Chinese)

作者简介: 尤卫卫(1990—), 女, 江苏盐城人, 硕士研究生, 主要从事模式识别与智能控制方面的研究。E-mail: ywwseu@foxmail.com