

文章编号:1007-2780(2014)06-0926-07

基于 FPGA 的 LED 点阵系统控制器的设计与实现

陆欣云*, 陈巍, 张军

(南京工程学院 创新学院, 江苏 南京 211167)

摘要:为了适应不同场合对 LED 点阵控制器的需求,实现能方便调整控制器的各种功能参数,介绍一种基于 FPGA 器件,以 FSM 方式实现的 LED 点阵系统控制器。该控制器的主要控制电路都在一个 FPGA 器件中综合实现,内部主要由串口通信模块、双口 RAM 模块、显示数据处理与传输模块、工作时钟发生器模块等四大模块构成。双口 RAM 模块由可参数化宏功能模块定制而成,其他模块以 Verilog 语言描述内部逻辑。控制器与驱动电路之间采用 08 接口相连,控制器与 PC 监控中心通过 RS-232 串口形式进行数据传输。通过在 Quartus II 平台上仿真及下载验证,控制器能实时地接收串口数据,实现文字和位图的显示功能。该控制器具有硬件简洁、扩展方便、可靠性高等优点。

关键词:LED 点阵控制器;FPGA 器件;有限状态机;仿真

中图分类号:TP274 **文献标识码:**A **doi:**10.3788/YJYXS20142906.0926

Design and implementation of LED matrix system controller based on FPGA

LU Xin-yun*, CHEN Wei, ZHANG Jun

(College of Innovation, Nanjing Institute of Technology, Nanjing 211167, China)

Abstract: In order to meet the requirements of LED matrix controller in the different occasions and accomplish adjust different parameters properly, this paper introduces an implement of LED Matrix system controller based on FPGA through finite state machine. The primary control logic of the controller is integrated into FPGA device, which is composed of Serial Communication Module, Dual-port RAM Modules, LED Matrix Modules and Clock Generator Modules. Dual-port RAM Modules is customized by LPM. The other modules are described by Verilog HDL. The controller and the drive board are connected by the 08 port. The controller and PC monitoring center can communicate with each other through RS-232 serial bus. The simulation results on the Quartus II platform and operation performance showed that the controller possess the characteristics of hardware simplicity, expansion easy and high reliability.

Key words: LED matrix controller; FPGA device; FSM; simulation

收稿日期:2014-01-05;修订日期:2014-02-15.

基金项目:南京工程学院青年科研基金项目(No. QKJB2011024)

* 通信联系人, E-mail: luxy@njit.edu.cn

1 引 言

随着 LED 技术的不断发展,LED 显示屏以其可靠性高、使用寿命长、亮度高、色彩丰富、大小定制方便等优越性被广泛应用于车站、商场、银行、医院等场所。由于 LED 显示屏的形状和应用场合的不同使它的种类极其丰富,因此对不同屏体的控制方式会有广泛而深入的设计与研究需求。FPGA 是高速数字系统设计与实现的一大利器,以其为核心实现的点阵控制器具有数据处理量大、实时性高、控制更加灵活、运行更加稳定等优点^[1]。本文介绍了一种基于 FPGA 器件以 FSM 方式实现的控制方法,所控制的 LED 显示屏可应用于银行和医院的叫号系统中。

2 LED 点阵系统的框架

LED 点阵系统主要由 LED 点阵模块及其驱动电路、基于 FPGA 的 LED 点阵控制器、PC 机监控终端及应用软件三大部分构成。

图 1 是一个 LED 点阵系统的总体结构,其中控制器负责接收、转换和处理点阵显示数据,并将显示数据以特定的时序传输给驱动电路,是 LED

点阵系统的核心部分^[2]。它的性能直接决定了显示屏的显示效果以及整个系统的稳定性。

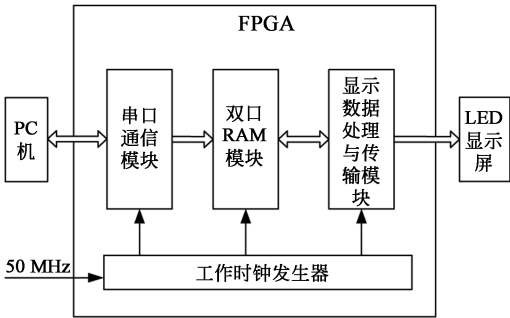


图 1 LED 点阵系统的总体结构
Fig. 1 Gross structure of the LED matrix system

3 LED 点阵控制器模块设计

本控制器将完成一个分辨率为 128×64 的双基色 LED 显示屏的控制,其中单元板为 64×32 显示像素,1/16 扫描方式。设计可以完成 4 行 16×16 的汉字或 16×8 的字符的显示任务。控制器整体采用顶层原理图输入设计方式^[3]。根据控制器所应完成的功能将由 FPGA 完成的部分划分成串口通信模块、双口 RAM 模块、显示数据处理与传输模块、工作时钟发生器模块等四大模

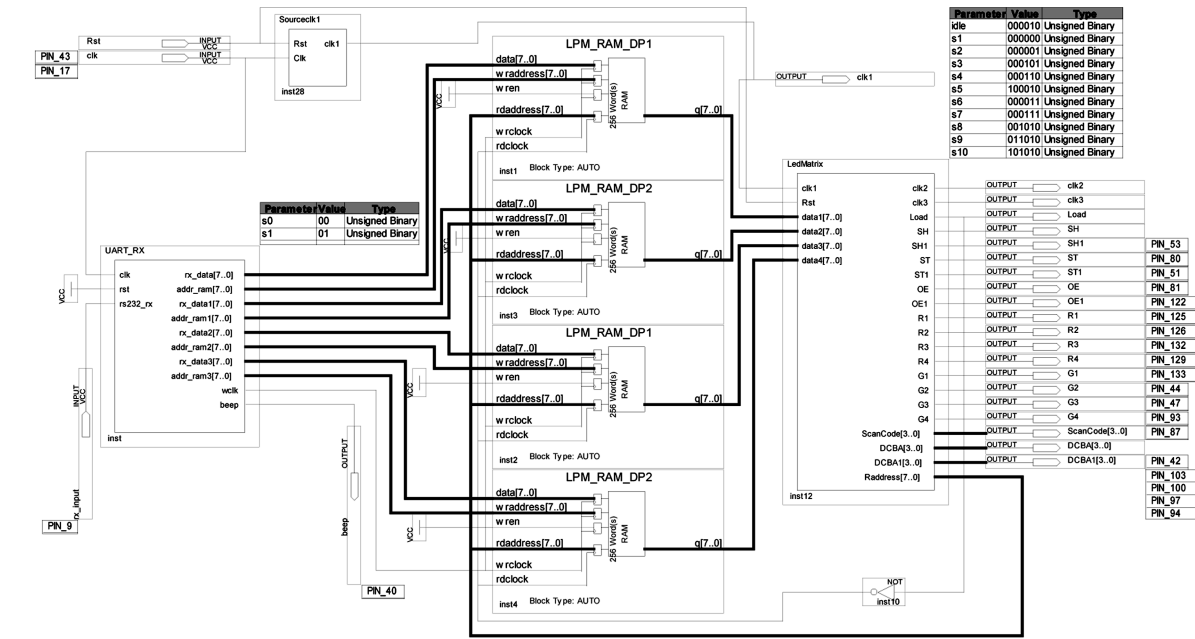


图 2 FPGA 内部顶层设计原理图
Fig. 2 Top-level schematic of internal FPGA

块。双口 RAM 模块由可参数化宏功能模块定制而成,其他模块以 Verilog 语言描述内部逻辑。FPGA 内部结构及模块之间的连接关系如图 1 所示。FPGA 内部顶层设计原理图如图 2 所示。

3.1 串口通信模块 UART_RX

控制器中的串口通信模块负责接收 PC 机发送给它的速率为 9 600 bps 的显示数据。输入信号包括串行数据输入端 rs232_rx,50 MHz 系统时钟 clk,复位信号 rst。输出信号有串转并之后的 8 位字节数据 rx_data[7..0]以及存储地址数据 addr_ram[7..0],模块根据接收到的控制字节将接收到的数据在不同的数据端口输出以提供给相应的双口 RAM 模块^[4]。

串口通信模块通过接收波特率时钟位 clk_bps_r 在高电平期间来读取串行数据,因此 clk_bps_r 必须与接收到的串行数据速率同步,设计中在一位串行数据的中间时刻产生一个时钟周期的 clk_bps_r 的高电平用来读取这一位数据以确保数据在稳定期间的可靠接收。

通过接收位数计数器 rx_bit_cnt 来指示一个字节串行数据的接收进度,当串口通信参数设置为 8 位数据位、1 位停止位、无奇偶校验位的情况时,当 rx_bit_cnt 变为 10 之后的下一个 clk 脉冲,一个字节数据接收已结束,若该字节是一帧数据的第一个字节,它属于这帧数据的控制字节,它决定了后续显示数据的存储位置或显示方式的要求。对于 4 个 RAM 模块通过标志位 flag 从 1 到 4 变化来决定将数据存入 RAM1~RAM4。串口接收的一帧数据包括第一个字节的控制字节以及后续 256 字节的显示数据,串口接收每一个字节的信号时序如图 3 所示。

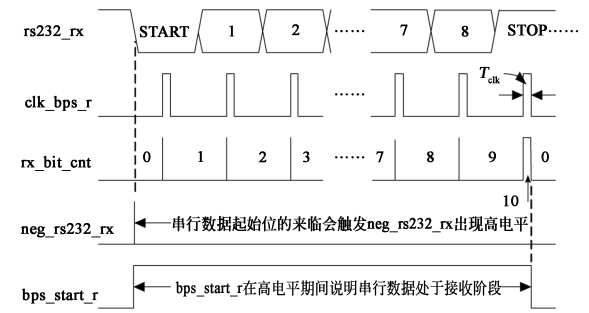


图 3 串口接收每一个字节的信号时序

Fig. 3 Timing diagram of serial port receive a Byte data

接收波特率启动位 bps_start_r 在高电平时表示串口正处于接收阶段,它的下降沿意味着一个字节数据接收的结束,因此将它的下降沿取反作为写 RAM 的时钟信号 wclk。

3.2 双口 RAM 模块 LPM_RAM_DP

在控制器中,运用可参数化宏功能模块定制了 4 个容量分别为 256 个字节双口 RAM 模块用来存储从串口通信模块中接收到的点阵字模数据,每一个 RAM 模块可以提供点阵一行汉字显示的字模数据,这种对应点阵屏的不同区域配置不同的 RAM 模块给控制的灵活性带来了很大的方便。将每一个显示区域称为一个显示块,4 个 RAM 与对应的显示块的分配划分情况如图 4 所示。双口 RAM 器件拥有两套独立的数据和时钟端口,可以同时进行读写操作^[5],双口 RAM 器件一方面在存储串口通信模块接收的数据,另一方面同时提供数据给数据处理与传输模块读取。

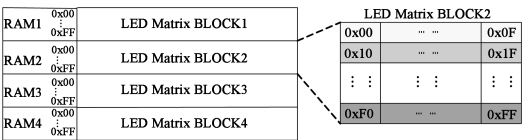


图 4 双口 RAM 模块与点阵显示器区域分配图

Fig. 4 Dual-port RAM modules and LED matrix display area allocation diagram

模块中 data[7..0]为 8 位的数据输入端口, wraddress[7..0] 为 8 位的地址数据输入端口, wren 为写使能端, rdaddress[7..0]为 8 位的读数据地址端口, wrclock 为写时钟信号, rdclock 为读时钟信号。q[7..0]为 8 位的数据输出端口。

3.3 显示数据处理与传输模块 LedMatrix

显示数据处理与传输模块是控制器的核心模块,它一方面读取双口 RAM 的显示数据,另一方面要产生直接控制点阵屏的时序信号。

模块中输入信号包括读取 RAM 的数据输入端 data1[7..0]~ data4[7..0],工作时钟输入端 clk1 以及复位信号输入端 Rst,输出信号包括送给点阵屏四行红色数据 R1~R4,四行绿色数据 G1~G4,上半屏的行驱动码 DCBA[3..0],串行移位时钟信号 SH,输出数据锁存信号 ST,显示数据输出使能信号 OE,与其相并列的还有下半屏的行驱动码 DCBA1[3..0],SH1、ST1、OE1,可见点阵屏上半部分和下半部分是并行独立运

行的。

由于 LED 显示屏是一个多扫描线系统,在多个扫描线选中对应区域的某一行时,可以通过 FPGA 将各行显示数据同时串行送出,而每一行送出的串行数据的工作时序是一致的,每一个扫描周期的时序非常适合用有限状态机(FSM)来描述^[1]。

在用状态机描述某一行所有列数据输入信号时序时,可以根据点阵屏所需输入控制信号时序来对状态机进行状态编码,即采取直接输出型状态编码方式,将状态编码的每一位直接作为一个控制信号,因此可以根据驱动电路信号时序要求列出控制信号状态编码表如表 1。

表 1 控制信号状态编码表
Tab. 1 State coding list of the control signal

状态	控制信号					状态编码	功能说明
	ST	OE	SH	Load	clk3		
idle	0	0	0	0	0	000000	空闲状态
S1	0	0	0	0	0	100000	初始状态
S2	0	0	0	0	1	000001	装载并行数据
S3	0	0	1	0	1	000101	将输出端口的第一位数据移出
S4	0	0	1	1	0	000110	装载数据结束,进入循环移位初态
S5	0	0	0	1	0	000010	移位信号恢复低电平
S6	0	0	0	1	1	000011	将并行数据的最高位送至数据输出端口
S7	0	0	1	1	1	000111	将数据输出端的数据移至驱动板
S8	0	1	0	0	0	001000	进入传送数据结束后的消隐期
S9	1	1	0	0	0	011000	将移出的数据锁存到列驱动芯片引脚上
S10	0	1	0	0	0	101000	锁存数据结束后的消隐期

状态位直接输出型编码方式的状态机的优点是输出速度快,不大可能出现毛刺现象,描述状态转换过程清晰。缺点是可能会比其他方式耗费多一些的逻辑单元^[6]。由表 1 可见完成一场数据的传送由 11 个状态构成,将系统时钟分频后得到 1 的工作时钟 clk1 提供给状态机作为主控时钟,当进入某一行列数据传送的状态机工作过程是一个时间长度确定的循环过程。每一轮的状态循环过程通过 clk2 时钟的上升沿作为一个起始信号,同时也是行扫描信号 ScanCode 转换的触发信号,而 clk2 的周期作为每一行的扫描时间。在状态机的一次循环过程中起始和结束状态都处于 idle 状态,若所预设的行扫描时间大于一行数据的传送时间,数据传送结束后就会有一段时间的 idle 状态。用 clk2 的高电平表示数据处于传输过程中,低电平表示一行数据传输结束,那么 idle 状态的下一个次态取决于 clk2 的逻辑电平。这样就

可以确保状态之间的正常转换,避免出现在行扫描信号未转换之前就提前传送了下一行的数据而造成时序混乱。这种状态转换机制可以方便调节扫描周期的长短和传送数据量的变化^[7]。

一行字模数据的每一个字节的第一位数据传送是通过 idle~S3 状态来完成,后续的 7 位通过 S4~S7 的 7 次循环来完成。一个字节传送结束后 S7 状态会根据是否需要传送下一个字节选择转移到 idle 状态或 S8 状态,根据一行列数据所需要传送的字节数来决定从 S7 到 idle 的循环次数。设计中用到的点阵屏一行有 128 个 LED,因此大循环需要有 16 次。计数器变量 byte_cnt 计到最大值 15 时说明列数据已传送结束。在随后的 S8~S10 状态是一段消隐区,通过计数器 s_cnt 来控制消隐周期的长短,从而实现对像点的灰度控制,并且控制模块在这一段送出锁存信号将前端送出的数据锁存到列驱动芯片的管脚上^[8]。

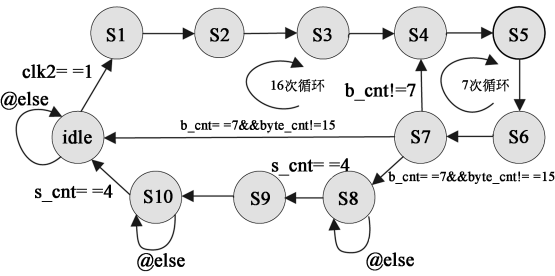


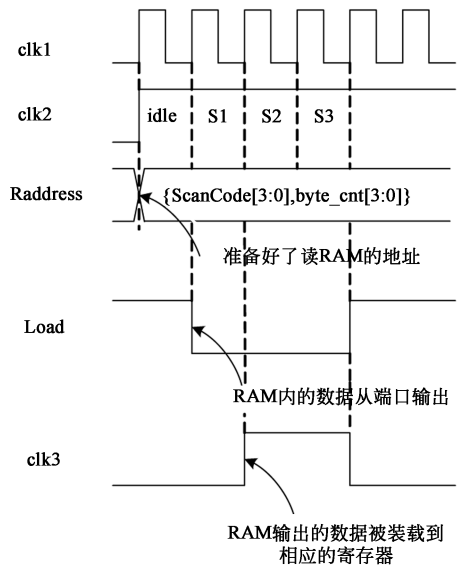
图 5 状态机的状态转移图

Fig. 5 State transition diagram of the state machine

整个状态机的状态转移图如图 5 所示。

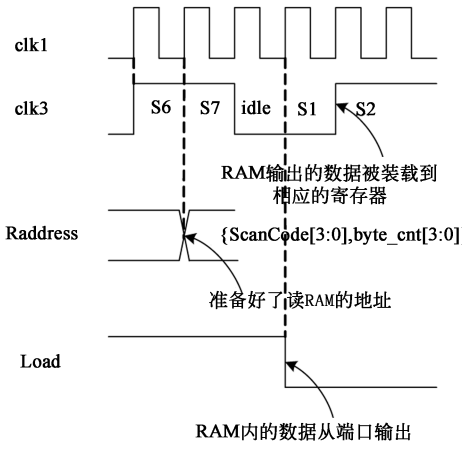
点阵控制器读取 RAM 一行列数据的第一个字节工作时序如图 6(a) 所示,以 clk2 的上升沿到来作为一行扫描的起始信号,行扫描码 ScanCode 会加 1,读 RAM 的地址信号 Raddress[7:0]={ScanCode[3:0],byte_cnt[3:0]}也随之改变,即准备好了读取 RAM 的地址信号。接着在 S1 状态,Load 装载信号的下降沿就会到来,Load 信号通过取反作为读 RAM 的时钟信号,4 个 RAM 的数据输出口即刻就有对应地址的数据输出到相应的 data1 至 data4 端口。在随后的 S2 状态,clk3 上升沿的来临将 data1 至 data4 端口的数据装载到寄存器 reg1 至 reg4。根据状态机的设计,clk3 上升沿的产生总要比 Load 的下降沿到来延迟一个状态周期,这样,读时钟信号会比地址信号延迟一个状态周期,而数据装载信号又比数据从端口输出延迟一个状态周期,因此电路不会产生竞争冒险现象^[5]。

点阵控制器读取 RAM 一行列数据的后 15 个字节数据的其中一个工作时序如图 6(b) 所示。在一行列数据后续的 15 个字节读取过程中,当上一个字节传送至最后一位的 S4~S7 状态过程中,在进入 S7 状态时,由于 b_cnt 已计数到 7,但整个一行列数据还未传送结束,即 byte_cnt!=15;因此 S7 的下一个状态会进入 idle,同时 byte_cnt 会加 1,会导致读 RAM 的地址 Raddress 随之改变。在 S7 之后的 idle 状态 clk3 会归零,在随后的 S1 状态会出现 Load 的下降沿将对应地址的数据从 RAM 数据端口输出,接着在 S2 状态出现 clk3 的上升沿,将 RAM 数据装载到相应的寄存器^[9]。



(a) 读 RAM 第一个字节工作时序

(a) The first Byte read cycle timing of the RAM



(b) 读 RAM 后续字节工作时序

(b) Following Byte read cycle timing of the RAM

图 6 读 RAM 数据的工作时序图

Fig. 6 Read operation timing diagram of the RAM

3.4 工作时钟发生器模块 Sourceclk1

工作时钟发生器模块主要是对系统时钟进行分频得到给显示数据处理与传输模块的工作时钟 clk1,系统时钟的频率是 50 MHz,显示数据处理与传输模块的工作时钟有 1 MHz 已足以满足控制器的速度要求,因此设计中对系统时钟进行 50 分频得到了 1 MHz 的工作时钟 clk1 提供给显示数据处理与传输模块^[10]。

4 系统仿真及功能分析

在 Quartus II 集成开发平台上可以对所设计的电路进行功能仿真,译码器的四位输入信号由行驱动码 DCBA[3..0]提供,而行扫描信号 ScanCode[3..0]负责在行驱动码送出之前先将下一行将要显示的列数据送到列驱动芯片的寄存器内,直到一行数据传输结束后由 ST 信号的上升沿将列驱动芯片寄存器内的数据锁存到管脚上输出。一行点阵扫描显示的仿真波形前端部分如图 7 所示。从图中可以看到基准线标在 clk2 上升沿即数据传输时刻的开始,行扫描信号由 0001 转换到 0010,控制器进入第三行列数据的传送过程,此时送给点阵屏的行驱动码 DCBA 还停留在 0001 阶段。在下一行列数据未传送结束锁存到管脚输出之前,点阵屏应保持上一行的选通状态^[11]。

仿真波形后端部分如图 8 所示,基准线标在 clk2 下降沿即数据传输结束的位置,随后信号 OE 跳变为高电平进入显示数据的消隐时期,随后的 ST 上升沿信号将 74HC595 移位寄存器中的数据锁存到引脚上,待数据稳定后消隐结束,立刻启动行驱动码 DCBA 转成 0010,将刚刚得到的数据在下一行显示。

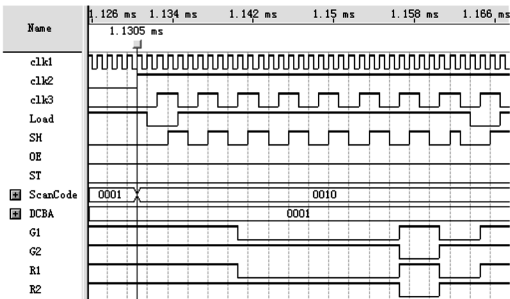


图 7 一行扫描的状态转换仿真波形前端部分
Fig. 7 Front part local magnify simulation waveforms

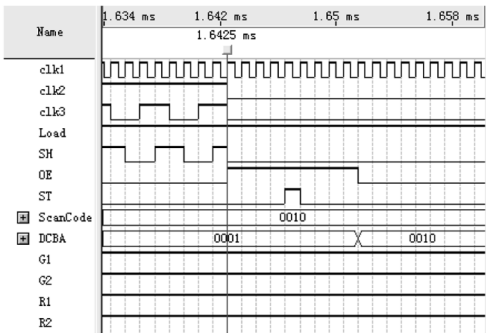


图 8 一行扫描的状态转换仿真波形后端部分
Fig. 8 End part local magnify simulation waveforms

LED 点阵控制器总体工作仿真波形如图 9 所示。

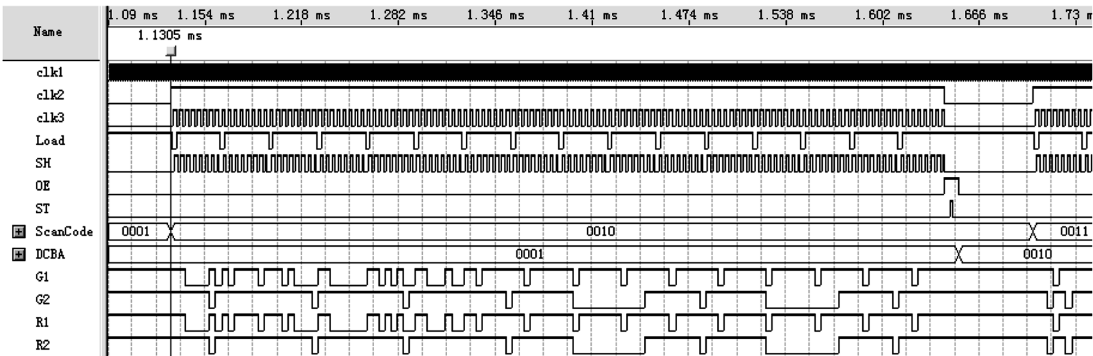


图 9 LED 点阵控制器总体工作仿真波形
Fig. 9 Global simulation waveforms of the LED matrix controller

从时序波形可以看出满足设计要求。在 Quartus II 9.1 环境下采用 Altera 公司 Cyclone II 系列的 FPGA 芯片 EP2C5T144C8N 进行综合验证,控制器能可靠地实现文字和位图的显示功能,通过一帧数据的控制字节来控制不同的显示模式

以实现文字或位图的移动变换显示。

5 结 论

LED 点阵系统有着广泛的应用领域,在其

应用的早期阶段往往采用单片机对其控制。随着 LED 点阵技术的不断发展,大尺寸全彩同步 LED 显示屏已经应用于我们的生活,对于这种多扫描线、大数据量转换处理的场合使用 FPGA 器件无疑会带来很大的优势。本文根据不同应用场合对 LED 显示屏的需求,提出了基于 FPGA 以有限状态机的设计方法来构建的

点阵控制器对不同的显示区域配置独立的双口 RAM,因此能方便通过配置 RAM 的容量与数量来实现控制不同尺寸的屏体。控制器对消隐区周期计数器的调节能方便调节像点的不同灰度。控制器的设计结构简单、控制逻辑清晰、可扩展性强。在很多场合有一定的实用价值。

参 考 文 献:

- [1] 新桅, 邹芝权, 李骐, 等. 基于 51 系列单片机的 LED 显示屏开发技术[M]. 北京: 北京航空航天大学出版社, 2009: 223-339.
Jin W, Wu Z Q, Li Q, *et al.* LED Display Development Technique based on 51 MCU [M]. Beijing: Beihang University Press, 2009. (in Chinese)
- [2] 郭宝增, 邓淳苗. 基于 FPGA 的 LED 显示屏控制系统设计[J]. 液晶与显示, 2010, 25(3): 424-428.
Guo B Z, Deng C M. Design of LED display control system based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(3): 424-428. (in Chinese)
- [3] 郭利文, 邓月明. CPLD/FPGA 设计与应用高级教程[M]. 北京: 北京航空航天大学出版社, 2011: 89-119.
Guo L W, Deng Y M. Design and Application of CPLD/FPGA Advanced Course [M]. Beijing: Beihang University Press, 2011: 89-119. (in Chinese)
- [4] Boris R. LED matrix control system with Field Programmable Gate Arrays: United States, US 6,489,937 B1[P]. 2002-12-03.
- [5] Qin S H, Li H H. The research of LED display screen based on embedded technology and FPGA technology [C]. 2010 International Conference on Electrical and Control Engineering, 2010: 2411-2413.
- [6] 吴继华, 蔡海宁, 王诚. Altera FPGA/CPLD 设计 [M]. 2 版. 北京: 人民邮电出版社, 2011: 69-74.
Wu J H, Cai H N, Wang C. Design of Altera FPGA/CPLD [M]. 2nd Ed. Beijing: People's Telecom Publishing House, 2011. (in Chinese)
- [7] 向健勇, 戚勇, 苟超. 分时驱动式 LED 显示屏图像串扰的解决方法[J]. 液晶与显示, 2013, 28 (3): 398-402.
Xiang J Y, Qie Y, Gou C. Solution of image crosstalk time-sharing driver LED display [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28 (3): 398-402. (in Chinese)
- [8] 孙伟, 龚兆岗, 杨忠根. 基于 Nios II 的 LED 显示屏控制系统 [J]. 上海海事大学学报, 2005, 26(2): 74-77.
Sun W, Gong Z G, Yang Z G. LED display control system based on Nios II [J]. *Journal of Shanghai Maritime University*, 2005, 26(2): 74-77. (in Chinese)
- [9] 张齐, 郑金辉, 李登, 等. 基于 FPGA 的 LED 显示屏逐点检测系统的设计与实现[J]. 液晶与显示. 2008, 23 (5): 605-610.
Zhang Q, Zheng J H, Li D, *et al.* Design and implementation of LED display point-by-point detection system based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2008, 23 (5): 605-610. (in Chinese)
- [10] 郝亚茹, 王瑞光, 陈宇, 等. 基于高效动态内存的 LED 显示系统设计[J]. 液晶与显示, 2008, 23(5): 582-588.
Hao Y R, Wang R G, Chen Y, *et al.* Design of LED display system based on efficient dynamic memory [J]. *Chinese Journal of Liquid Crystals and Displays*, 2008, 23(5): 582-588. (in Chinese)
- [11] 吴永, 涂用军. 基于移动数据的 LED 显示屏设计与仿真[J]. 电子技术应用, 2009, 35(11): 22-25.
Wu Y, Tu Y J. Design and simulation of LED display based on mobile data [J]. *Application of Electronic Technique*, 2009, 35(11): 22-25. (in Chinese)

作者简介: 陆欣云(1981—), 男, 江苏南京人, 硕士, 讲师, 主要从事计算机控制系统、网络通信与网络优化方面的研究。E-mail: luxy@njit.edu.cn