

文章编号:1007-2780(2014)04-0548-05

磁控溅射成膜温度对纯铝薄膜小丘生长以及 薄膜晶体管阵列工艺良率的影响

刘晓伟*, 郭会斌, 李梁梁, 郭总杰, 郝昭慧
(北京京东方显示技术有限公司, 北京 130012)

摘要: 纯铝薄膜被广泛用作 TFT-LCD 的金属电极, 但纯铝薄膜在热工艺中容易产生小丘, 对 TFT 的阵列工艺的良率有较大影响。本文用磁控溅射的方法在不同温度下沉积纯铝薄膜作为薄膜晶体管的栅极, 并通过电学检测、扫描电子显微镜和应力测试等方法对不同温度下沉积的纯铝薄膜的小丘生长情况进行了研究。实验结果表明: 纯铝成膜温度提高, 薄膜的晶粒尺寸增大, 退火后产生小丘的密度和尺寸明显降低, 温度-应力曲线中屈服点温度也相应提高。量产中适当提高成膜温度, 可以有效抑制小丘的发生, 提高 TFT 阵列工艺的量产良率。

关键词: 薄膜晶体管阵列工艺; 磁控溅射; 纯铝薄膜; 小丘; 量产良率

中图分类号: TB31 **文献标识码:** A **doi:** 10. 3788/YJYXS20142904. 0548

Effect of sputter temperature on hillock formation in pure Al film and thin film transistor array process yield

LIU Xiao-wei*, GUO Hui-bin, LI Liang-liang, GUO Zong-jie, HAO Zhao-hui

(Beijing BOE Display Technology limited Co., Ltd, Beijing 100176, China)

Abstract: The pure Al films were widely used as the thin film transistor (TFT) gate electrode, but the TFT mass production yield is easily influenced by hillock phenomenon happened in pure Al film in heating process. The pure Al films were prepared at different deposition temperature by the magnetron sputtering in the experiment. The hillocks and the pure Al films were characterized by electrical test instruments, the scan electron microscopy (SEM) and stress tester. It was found that the hillock density and size reduced when the deposition temperature increased because of the larger grain size of the pure Al films and the higher yield temperature point in the stress-temperature curve. So the deposition temperature should be advisably increased to limit the hillock quantity for improving TFT array process yield.

Key words: TFT array process; magnetron sputtering; pure Al film; hillock; mass production yield

1 引 言

薄膜晶体管-液晶显示器(TFT-LCD)已经实现全面商业化生产,并在性能上不断提高,大尺寸、高刷新率、高分辨率逐渐成为未来的主要发展方向。为了应对上述发展需求,作为 TFT 配线使用的低电阻率材料的研究迫在眉睫。纯铝和纯铜材料是近年来研究的重点,并逐渐在量产中得到应用^[1-2]。纯铝以其低电阻率($3.3\ \mu\Omega\cdot\text{cm}$)、低成本、易刻蚀等优势逐渐成为 TFT 配线的主要材料。但铝热膨胀系数较大,在受热的情况下很容易产生小丘,从而刺穿 TFT 的绝缘层,对产品的可靠性产生严重影响^[1]。因此,在量产中,降低小丘发生率是提高产品良率的重要课题。

小丘形成的主要原因是:TFT 阵列基板在生产过程中受热,由于金属薄膜和玻璃基板的热膨胀系数不匹配,使得金属薄膜的内应力增大,在应力的驱动下,原子迁移并形成小丘。小丘的形成微观机理目前还有较多争议,主要有 3 种理论:原子沿着薄膜与基板界面迁移、原子沿着晶界迁移和原子在薄膜表面迁移^[3-8]。对如何抑制小丘,研究者也做了大量工作,目前主流的方法是通过在纯铝中添加杂质原子形成固溶体以抑制晶界的原子迁移^[9-11],或者在纯铝表面覆盖更硬的薄膜以抑制小丘的生长^[12-15],但是对纯铝本身性质和成膜条件对小丘的影响的研究目前还较少。

本文中,我们通过在不同温度下溅射沉积获得了晶粒尺寸不同的纯铝薄膜,并通过电学、扫描电子显微镜(SEM)、应力测试对小丘的形成情况进行了分析,尝试从纯铝薄膜本身沉积工艺的调整上抑制小丘的生长。

2 实 验

2.1 样品制备

本文采用静止垂直成膜的交流磁控溅射设备,使用纯度为99.999%的纯铝和纯度为99.95%纯钼靶材,本底真空为 $1.3\times 10^{-5}\ \text{Pa}$,通入气体纯度为99.99%的氩气。

分别在 100 ℃ 和 120 ℃ 下在直径为 150 mm、厚度为 0.65 mm 的单晶硅片上沉积 350 nm 的纯铝薄膜,在 350℃、空气氛围中退火 20 min,

用 SEM 观察小丘发生情况以及纯铝薄膜的晶粒度。

分别在 100 ℃ 和 120 ℃ 下在直径为 150 mm、厚度为 0.65 mm 的单晶硅片上沉积 Mo/Al/Mo 15 nm/350 nm/80 nm 三层结构的薄膜,用应力测试仪表征了 2 种薄膜热应变的屈服强度和温度。

为了验证在硅片上的测试结果,以及小丘对 TFT 器件量产的影响。分别在 80、100 和 120 ℃ 下,在 2 200 mm×2 500 mm×0.7 mm、10 000 lx 的无碱玻璃基板上用同一台溅射设备沉积了 Mo/Al/Mo 15 nm/350 nm/80 nm 的薄膜作为 TFT Gate 层,用高温 CVD 工艺(350 ℃)沉积绝缘

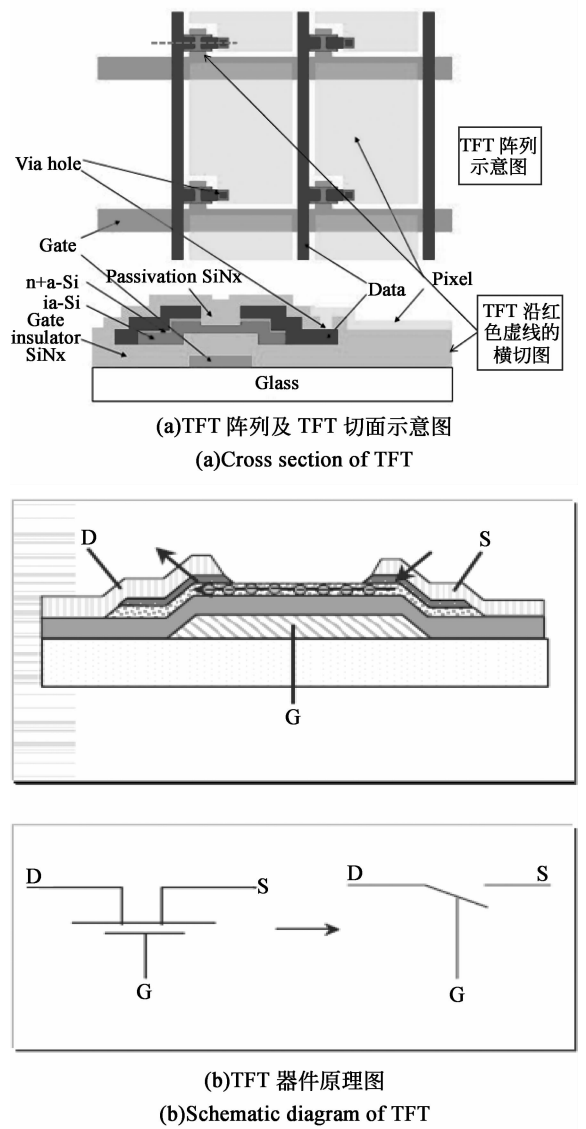


图 1 TFT 器件示意图
Fig.1 Diagram of TFT

层和半导体层,完成 TFT(如图 1)整个工艺,制作成 TFT 阵列。高温 CVD 工艺起到退火的作用,可以使 Gate 层 Al 产生小丘,小丘会造成绝缘层被刺穿,导致 Gate 层和 SD 层短路,形成的电学不良(如图 2)。通过特定的电学检测设备,可以直观的看出小丘造成的 TFT 电学不良的比例。采用 Mo/Al/Mo 三层结构是为了一定程度抑制小丘^[12-15],因为如果采用纯铝做电极,小丘太严重会导致不同条件的结果没有对比性。

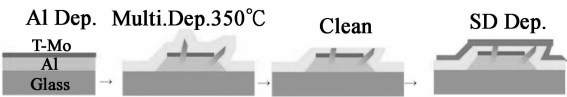


图 2 小丘造成的 TFT 短路原理示意图
Fig. 2 DGS schematic diagram of TFT caused by hillock

3 结果与讨论

3.1 不同成膜温度下纯铝薄膜小丘发生情况

为了直观地确认不同温度下沉积的纯铝薄膜

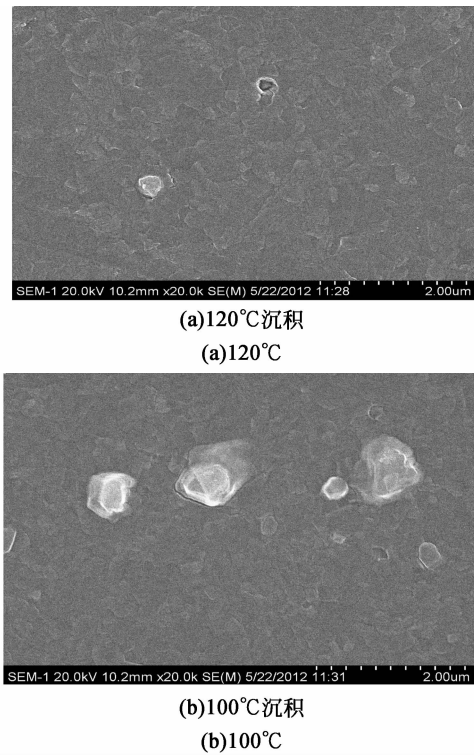


图 3 不同温度下沉积的纯铝薄膜的小丘发生情况
Fig. 3 Hillock formation in pure Al film at different deposition temperature

小丘的发生情况,分别在 100 ℃和 120 ℃下在硅片上沉积 350 nm 的纯铝薄膜,在 350 ℃、空气氛围中退火 20 min,用 SEM 观察小丘发生情况,如图 3。

从图 3 中可以明显看出在 100 ℃下沉积的纯铝薄膜产生的小丘不论是密度还是体积都明显大于 120 ℃下沉积的纯铝薄膜。在基片的不同位置取样进行比较,结果均如此。

3.2 不同成膜温度下纯铝薄膜晶粒尺寸的差异

为了进一步确认高温成膜对小丘影响的原因,我们准备了两片分别在 100 ℃和 120 ℃下沉积的纯铝薄膜(350 nm)未退火的样品,用稀盐酸浸润 10 s 之后用 SEM 观察晶粒尺寸,如图 4。

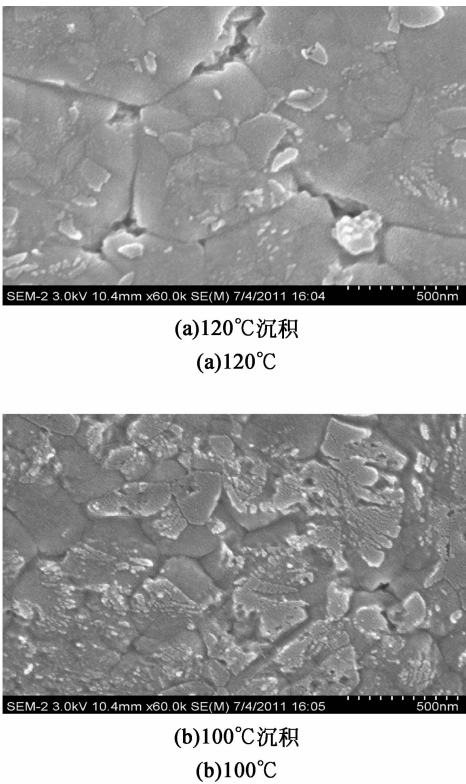


图 4 不同温度沉积的纯铝薄膜的晶粒尺寸
Fig. 4 Grain size of pure Al film deposited at different temperature

从 SEM 照片上看,可以明显看出 120 ℃下沉积的纯铝薄膜的晶粒尺寸明显大于 100 ℃下沉积的薄膜的晶粒尺寸。小丘是在内应力驱动下原子的扩散行为,晶粒尺寸较小,晶界较多,小丘容易在晶界间生长^[3]。因此高温成膜晶粒尺寸较大,晶界较少,有助于抑制小丘的发生。

3.3 不同温度下沉积的纯铝薄膜的应力-温度变化

图 5 是不同温度下沉积的 Mo/Al/Mo 15 nm/300 nm/80 nm 的热应变的应力-温度曲线,纵坐标是应力,横坐标表示加热的温度。薄膜沉积在 Φ 150 mm $\times$ 0.6 mm 的单抛光硅片上。应力通过东朋公司的 FLX-2320-S 型应力测试仪测出。

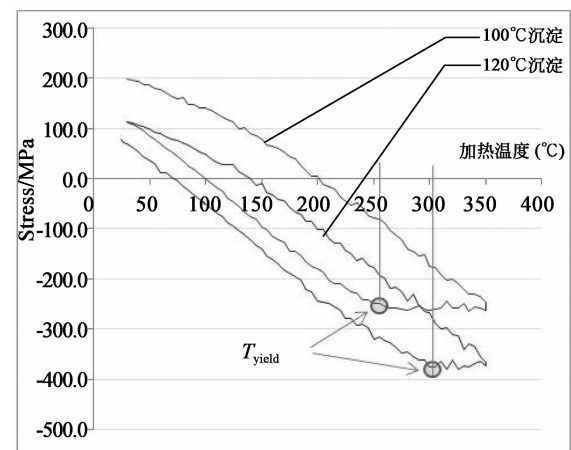


图 5 不同温度下沉积的 Mo/Al/Mo 15/300/80 nm 的应力-温度曲线

Fig. 5 Stresses v. s. temperature curve of Mo/Al/Mo 15 nm/300 nm/80 nm

超过屈服温度后,薄膜倾向于塑性形变,开始形成小丘^[13]。从应力测试结果可以看出,高温沉积的薄膜应力屈服点温度较高,因此,小丘的发生会更难,这也与前面的实验结果吻合,高温沉积有助于抑制小丘的发生。

3.4 不同成膜温度下完成的面板电学检测结果

在 2 200 mm $\times$ 2 500 mm $\times$ 0.7 mm、10 000 lx 的无碱玻璃上在不同的温度下沉积 Gate 层 Mo/Al/Mo 15 nm/350 nm/80 nm,按 32 in(1 in=2.54 cm)的 mask 进行曝光,每张基板可以做独立的 18 个 TFT 阵列单元,对每个阵列单元分别进行电学检测,结果如表 1 所示。

其中 DGS 表示 Gate 层与交叠处的 Date 线发生短路,DDS 表示 Date 线与 Date 线短路,一般是因为相邻的 DGS 造成,DCS 是指 Date 线与 Common 线的短路,common 线与 Gate 线属于同一层沉积的金属,因此 DCS 可以认为与 DGS 相同。DGS/DDS/DCS 主要是由于小丘造成(如图 2)。

表 1 不同温度下沉积的 Gate 层完成 TFT 阵列工艺后电学检测结果

Tab. 1 TFT Array which gate layer was deposited at different temperature electrical test yield

Gate 层纯铝 溅射温度	单元数量	36	DGS	DDS	DCS
80 ℃	失效的单元数	21	10	4	7
	不良数量	24	13	4	7
	成品率/%	41.7	27.8	11.1	19.4
100 ℃	失效的单元数	2	0	1	1
	不良数量	2	0	1	1
	成品率/%	94.4	0.0	2.8	2.8
120 ℃	失效的单元数	0	0	0	0
	不良数量	0	0	0	0
	成品率%	100	0	0	0

从表 1 中可以看出,120 ℃下沉积 Gate 层的样品基本没有相关不良,样品的成品率达到 100%。而在 80 ℃下,阵列单元的良率最低,主要的不良为 Gate 线与 Date 线交叠处的小丘引起的短路,小丘容易刺破绝缘层导致 Gate 和 SD 层金属短接如图 2。从光学显微镜上看,80 ℃沉积的样品,Gate 线上小丘密度较大,而在 120 ℃下沉积的样品 Gate 线上小丘的密度则很小(如图 3)。

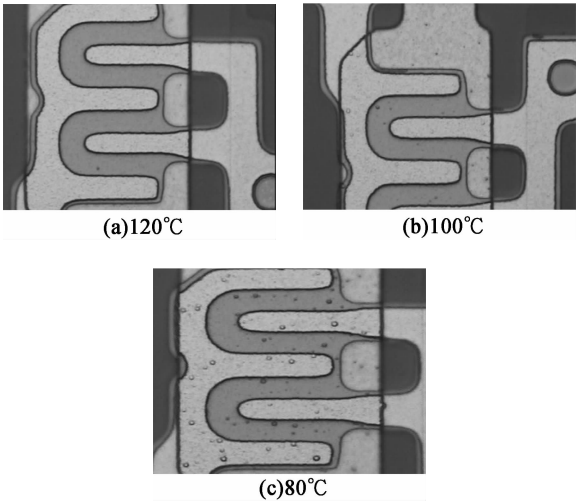


图 6 不同温度下沉积的 Gate 层,完成 TFT 工艺后小丘发生情况

Fig. 6 Hillock formation in TFT gate layer deposited at different temperature

4 结 论

不同沉积温度下沉积的纯铝薄膜小丘发生情况有明显差异,高温沉积下的纯铝薄膜由于有较大的晶粒尺寸,可以减少薄膜内部晶界,因此可以

减少应力释放导致的纯铝原子的在晶界的迁移,因此,小丘发生的尺寸和密度都较小。热应变的屈服温度也较高。在 TFT-LCD 中阵列工艺的量产中适当提高纯铝薄膜的成膜温度,对小丘的抑制效果较为明显。

参 考 文 献:

- [1] 王大海,杨柏梁,吴渊,等. TFT 阵列金属电极的制备与性能[J]. 液晶与显示,2000,15(4):260-267.
Wang D H, Yang B L, Wu Y, *et al.* Preparation and characterization of metal films in TFT array [J]. *Chinese Journal of Liquid Crystals and Displays*, 2000, 15(4): 260-267. (in Chinese)
- [2] 刘翔,陈旭,谢振宇,等. 使用低电阻金属铝制造薄膜晶体管阵列信号电极[J]. 液晶与显示,2009,24(4):533-536.
Liu X, Chen X, Xie Z Y, *et al.* Low resistant metal for thin film transistors [J]. *Chinese Journal of Liquid Crystals and Displays*, 2009, 24(4): 533-536. (in Chinese)
- [3] Kwang-Ho J, Soo-Jung H, Young-Chang J. Effect of capping layer on hillock formation in thin Al films [J]. *Metals and Materials International*, 2008, 14(2): 147-150.
- [4] 王刚,刘宏宇,赵超,等. 表面无小丘 Al 双层栅电极结构研究[J]. 液晶与显示,2000,15(2):92-100.
Wang G, Liu H Y, Zhao C, *et al.* Study on hillock-free al gate materials with double layer structure [J]. *Chinese Journal of Liquid Crystals and Displays*, 2000, 15(2): 92-100. (in Chinese)
- [5] Chaudhari P, Scott B A, Laibowitz R B, *et al.* Simulation of structural anisotropy and void formation in amorphous thin films [J]. *Appl Phys*, 1974, 25(11): 641-643.
- [6] Iwamura E, Ohnishi T, Yoshikawa K. A study of hillock formation on AlTa alloy films for interconnections of TFT-LCDs [J]. *Thin Solid Films*, 1995, 270(1-2): 450-455.
- [7] Ericson F, Kristensen N, Schweitz J A. A transmission electron microscopy study of hillocks in thin aluminum films [J]. *Microelectronics and Nanometer Structures*, 1991, 9(1): 58-63.
- [8] Chang C Y, Vook R W. Thermally induced hillock formation in Al-Cu films [J]. *Journal of Materials Research*, 1989, 4(5): 1172-1181.
- [9] Arai T, Makita A, Hiromasu Y, *et al.* Mo-capped Al-Nd alloy for both gate and data bus lines of liquid crystal displays [J]. *Thin Solid Films*, 2001, 383(1-2): 287-291.
- [10] Kim D K, Nix W D, Vinci R P, *et al.* Study of the effect of grain boundary migration on hillock formation in Al thin films [J]. *Journal of Applied Physics*, 2001, 90(2): 781-788.
- [11] Onishi T, Iwamura E, Takagi K, *et al.* Influence of adding transition metal elements to an aluminum target on electrical resistivity and hillock resistance in sputter-deposited aluminum alloy thin film [J]. *Vac. Sci. Technol. A*, 1996, 14(5): 2728-2735.
- [12] Dell'oca C J, Learn A J. Anodization of aluminum to inhibit hillock growth during high temperature processing [J]. *Thin Solid Films*, 1971, 8(5): R47-R50.
- [13] Chang C Y, Vook R W. The effect of surface aluminum oxide films on thermally induced hillock formation [J]. *Thin Solid Films*, 1993, 228(1-2): 205-209.
- [14] Takatsuji H, Haruta K, Tsuji S, *et al.* Pure Al thin film protective layer to prevent stress migration in Al wiring for thin-film transistors [J]. *Surface and Coatings Technology*, 2000, 125(1-3): 167-172.
- [15] Iwamura E, Takagi K, Ohnishi T. Effect of aluminium oxide caps on hillock formation in aluminium alloy films [J]. *Thin Solid Films*, 1999, 349(1-2): 191-198.
- [16] Soo-Jung H, William D N, Young-Chang J. A model for hillock growth in Al thin films controlled by plastic deformation [J]. *Acta Materialia*, 2007, 55(15): 5297-5301.