

文章编号:1007-2780(2014)04-0575-05

基于 FPGA 的双端口视频缓冲器设计

唐 斌

(贵州财经大学 信息学院, 贵州 贵阳 550025)

摘要:介绍一种基于 FPGA 和 SDRAM 的双端口的视频缓冲器设计方法。使用小容量的同步 FIFO 和异步 FIFO 串联构成用户接口,采用分块方式读写单块存储器 SDRAM,采用混合算法合理仲裁读、写和刷新请求,实现单路视频数据的实时采集和输出。本系统设计简单,调试方便。只需适当地改变数据块的长度和 FIFO 的容量就可以应用于其他的视频处理系统。仿真测试结果表明:SDRAM 时钟频率工作在 71 MHz 下可以确保视频流的流畅性。而且通过改变 FIFO 的相关参数,还可以继续提高 SDRAM 的实际带宽。本设计还具有一定的灵活性。

关键词:FPGA;FIFO;SDRAM 控制器;仲裁器

中图分类号:TP333 **文献标识码:**A **doi:**10.3788/YJYXS20142904.0575

Design of dual-port video buffer based on FPGA

TANG Bin

(School of Information, Guizhou University of Finance and Economics, Guiyang 550025, China)

Abstract: The design of dual-port video buffer based on FPGA and SDRAM is introduced. The user interfaces are composed of small capacity synchronous FIFO and asynchronous FIFO in series connection. The SDRAM is accessed in burst mode. The arbitrator uses a modified algorithm to grant the right to use the bus of SDRAM. The single memory can store the captured data and provide data for displaying simultaneously. Experimental results indicate when SDRAM works in 71 MHz, there are no error in the video data transmission. This system is simple and easy to be debugged. By changing relevant parameters of FIFOs and length of the block, the actual bandwidth of SDRAM can achieve a high performance.

Key words: FPGA; FIFO; SDRAM controller; arbitrator

1 引言

在多数的基于 FPGA (Field Programmable Gate Arrays) 的视频处理系统中,通常需要使用片外大容量存储器 SDRAM (Synchronous Dynamic Random Access Memory) 缓存海量视频资料^[1-2]。同时为了确保视频流的流畅性,

甚至使用多块 SDRAM 内存和大容量的 FIFO (First In First Out) 实现乒乓操作以提高读写速度^[3]。为了节省内存资源和提高系统的数据带宽,本文设计了一种基于 FPGA 的视频缓冲器,系统使用 FPGA 片内 4 块小容量的 FIFO 构成双端口缓冲器,在仲裁器合理的调度下,采用单块 SDRAM 实现了视频数据的实时采集和输出。

2 系统结构和工作原理

本文的双端口视频缓冲器采用 FPGA 和 SDRAM 构成,系统的结构如图 1 所示。由于系统的输入视频和输出视频像素时钟可能不同,需要使用 FPGA 片内存储资源构建 FIFO 完成跨时钟域视频数据的采集和输出。由于 FPGA 片内存储器资源有限,为了确保视频流的流畅性,还需要借助片外存储器与 FPGA 构建视频缓冲器。本系统采用 SDRAM 暂存采集的海量视频数据,并将其内存储单元分成两块分别缓存两帧不同视频数据,以乒乓方式完成一帧数据的输入和一帧数据的输出。

在本系统中,所采集的视频数据来源于摄像头 OV7670,其时钟频率为 25 MHz,视频数据采用 RGB565 格式,因此采集模块的数据带宽为 400 Mbit/s;而显示模块 VGA 的数据带宽则是 400 Mbit/s (16 bits×25 MHz)。SDRAM 的工作时钟频率选择为 100 MHz,其数据带宽为1 600 Mbit/s (16 bits×100 MHz),因此在理论上整个系统可以使用单存储器实现一路视频数据的实时采集和显示。由于 SDRAM 不支持同时读写功能,而整个系统可能会同时存在读、写和刷新 3 种操作请求,因此还需要仲裁器分配 SDRAM 的总线使用权。

3 模块设计

3.1 SDRAM 控制器设计

SDRAM 存储器具有高速度、大容量和高性价比等优点,广泛应用于数据采集和处理系统中^[1]。尽管 SDRAM 具有高速度优点,但其实际带宽往往低于其理论带宽。原因有两个:一是 SDRAM 是利用电容存取电荷的原理保存信息,由于电容介质存在漏电现象,因此需要周期刷新保持数据,而在刷新周期中不允许读写 SDRAM,因此刷新会降低其实际带宽;二是因为 SDRAM 的行列地址线采用复用方式,每次读写数据操作都分为行地址准备和数据操作两个阶段,分别消耗时间长度为 T_{READY} 和 T_{OPERATE} 。在列地址准备阶段,需要发出激活命令,提供读写单元的行地址,等待 T_{RCD} 时间后进入数据操作阶段^[1]。对于写操作,数据操作阶段发出写命令,同时提供读写单元的列地址和待写入的数据;对于读操作则需要在发出第一个读命令和列地址后等待 T_{CAS} 时间才能读取数据。因此 SDRAM 的实际带宽为:

$$\text{实际带宽} = \frac{T_{\text{OPERATE}}}{T_{\text{OPERATE}} + T_{\text{READY}}} \times \text{理论带宽}.$$

(1)

SDRAM 的读写机制比较复杂,支持激活和预充电等诸多操作命令^[1]。为了简化 SDRAM 的操作,本系统的 SDRAM 控制器只选取了激活、预充电、自刷新、空闲、模式寄存器配置、读和写等 7 条指令。为了简化 SDRAM 的读写操作,SDRAM 的操作时序封装在控制器中,外设只需提高读写数据的起始地址和读写使能信号就能读写 SDRAM 存储器。同时为了提高 SDRAM 的实际带宽,控制器采用分块连续读写方式增大操作时间 T_{OPERATE} 。SDRAM 控制器由外设接口电路、初始化状态机、地址计数器、命令字解析电路和 SDRAM 物理接口电路构成。其工作时序如图 2 所示,具体工作机制为:在 SDRAM 初始化时,将其猝发长度设置为 1,对于读写数据长度为 N 的数据都分解为 N 次猝发长度设置为 1 的读写操作。当外设提出读写请求时,只需提供一帧视频数据的起始地址,命令字解析电路(使用状态机实现)发出行激活命令后给出两条空操作命令,在 T_4 周期启动地址计数器准备读写数据的列地

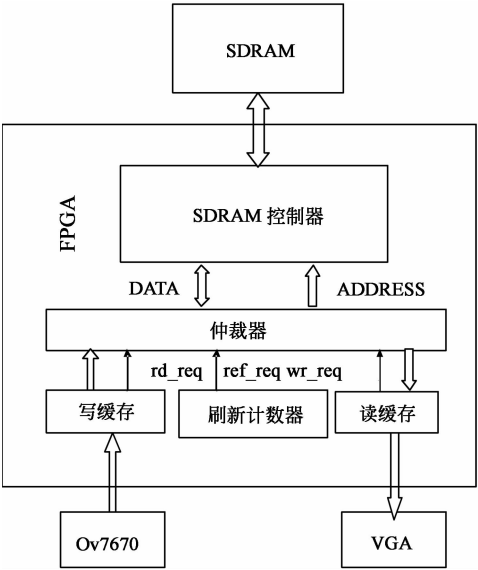


图 1 系统方框图
Fig. 1 Block diagram of video processing system

址并给出第一个读或写命令, N 个数据读或写命令完成后, 发出预充电命令关闭当前行完成一次数据块的连续读写, 因此一次数据块的读写时间固定为 $(N+4)/T_{\text{sclock}}$ 。 (T_{sclock} 为 SDRAM 控制器时钟周期)。为了降低地址计数器和命令字解析电路的复杂度, 数据长度 N 和 SDRAM 行长度 L 须设置为 $L=K \times N$ (K 为整数), 以防出现跨行读写现象。

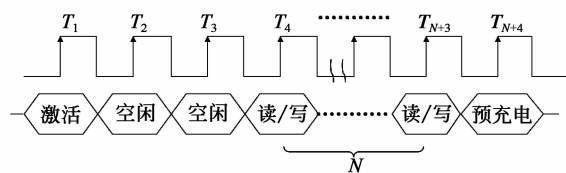


图2 读写时序图

Fig. 2 Diagram of reading or writing timing

3.2 FIFO 设计

本系统使用两块小容量的异步 FIFO 和同步 FIFO 串联实现跨时钟域视频数据的传输, FIFO 由 FPGA 中免费的 IP 核生成。对于写缓存器而言, 异步 FIFO 与视频采集模块连接, 其写端口的时钟与视频采集模块的像素时钟相同, 读端口的时钟与 SDRAM 的工作时钟相同, 其主要功能是实现跨时钟域数据的缓冲^[4]; 同步 FIFO 与 SDRAM 控制器直接连接, 工作时钟与异步 FIFO 的读端口时钟一致, 为了支持 SDRAM 控制器的分块读写机制, 将其深度和宽度设置成数据块的规格, 待传输的数据将被切成固定大小的数据块。为确保数据块的大小固定不变, 禁止对同步 FIFO 进行同时读写操作。

读缓存器的设计与写缓存器稍有不同, 同步 FIFO 连接的是显示模块, 其工作时钟与显示模块相同, 主要功能是预存待显示的视频数据。异步 FIFO 则与 SDRAM 控制器相连, 读端口采用显示模块的工作时钟, 为确保写端口数据有足够的建立时间和保持时间^[5], 工作时钟频率 SDRAM 工作时钟相同, 但相位相差 180° 。同样为了支持 SDRAM 控制器的分块读写机制, 将其宽度设置成数据块的大小, 但深度设置为数据块深度的 2 倍。异步 FIFO 的主要功能是实现跨时钟域视频数据的缓冲。在同步 FIFO 未写满的情况下, 异步 FIFO 中的数据直通同步 FIFO。

3.3 仲裁器设计

由于 SDRAM 的总线采用分时复用方式, 不

支持同时读、写和刷新功能, 为了确保视频流的流畅性, 需要合理分配 SDRAM 的总线使用权。常用的仲裁方法有固定优先级、随机争用和优先级循环等算法^[5]。如果采用固定优先级算法时可能会出现读请求长时间占用总线风险而导致写缓存溢出, 或是写请求长时间占用总线风险而导致读缓存无数据可读。而采用优先级循环算法可能导致刷新命令不能及时得到响应造成数据丢失。综上考虑后, 本系统采用固定优先级算法和优先级循环算法相结合的混合算法, 该算法可以实现读请求、写请求优先级循环变换, 刷新请求优先级设置为最高。

视频缓冲器可以结合行、场同步信号的特点使用。同步信号的周期一般由同步头、消隐前肩、有效显示时间和消隐后肩等 4 部分构成^[6]。场同步头可以用来启动新一帧视频数据的采集和输出并复位视频缓冲器。在整个行同步的周期内, 只要异步 FIFO 读空, 便产生读请求信号; 写缓冲器则在行同步和场同步信号均有效期间采集外设数据, 写缓冲器的同步 FIFO 写满时, 将产生写请求信号; 而刷新请求信号则由计数器产生, 由于在读写数据期间不能响应刷新请求信号。为了解决这个问题, 本系统采用了两种方法: 一是将刷新请求优先级设置成最高, 读和写请求优先级设置成相等。二是将刷新周期缩短 $(N+10) \times T_{\text{sclock}}$ 时间, 缩短的时间可以确保完成读或写任务后再执行刷新操作而不造成数据丢失。

仲裁器电路如图 3 所示, 当有刷新请求时关闭两个与门屏蔽掉读、写请求, 因此刷新请求优先级最高。控制器的功能之一是实现数据选择器轮流查询 3 个请求信号; 之二是在某个请求获得使用 SDRAM 总线的使用权时, 禁止其他信号的请

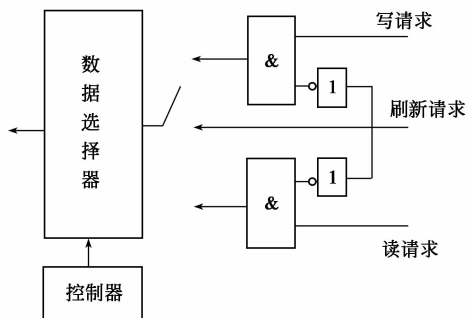


图3 仲裁器电路图

Fig. 3 Diagram of arbitrator circuit

求(即不支持中断),读、写任务或刷新任务执行过程中控制器关闭数据选择器。任务完成后释放总线,然后控制器打开数据选择器查询下一个请求信号,如果请求有效,对其授权总线使用权,否则继续查询下一个请求信号。

3.4 设计仿真

为了防止视频缓冲器出现读空和写满错误,在设计电路时需要视频的流畅性分析以选定合适的参数。影响视频流畅性的因素有:

(1)读缓冲器的时钟周期 T_{rclk} 、写缓冲器时钟周期 T_{wclk} 和 SDRAM 系统时钟周期 T_{sclk} 。三者的时钟周期必须确保 SDRAM 带宽大于读写缓冲器带宽之和。

(2)仲裁器的切换时间。尽量压缩仲裁器的切换时间,本系统仲裁器的切换时间为 3 个时钟周期。

(3)行同步信号的消息前肩和后肩。视频数据的采集和输出一般在行同步信号的有效显示期间,但读缓冲器可以充分利用额外的行消息前肩和后肩时间预读取视频数据,而写缓冲器可以利用额外的行消息前肩和后肩时间保存数据。

(4)读缓冲器的同步 FIFO 的容量和写缓冲器中异步 FIFO 的容量。两个 FIFO 容量的选取须考虑最坏情况。以写缓冲的异步 FIFO 为例,如果同时存在读、写和刷新请求,但写请求优先级

最低,此时异步 FIFO 需要缓存数据以等待 SDRAM 完成刷新和写任务,容量必须大于 $(N+18)T_{\text{sclk}}/T_{\text{wclk}}$ 。写缓冲获得总线后,由于本系统不支持同步 FIFO 同时读写,此时异步 FIFO 容量应大于 $(2N+25)T_{\text{sclk}}/T_{\text{wclk}}$ 。写操作结束后释放总线等待读任务执行,此时容量应该大于 $(2N+25)T_{\text{sclk}}/T_{\text{wclk}}+(N+7)T_{\text{sclk}}/T_{\text{rclk}}-N$ 。

最后本文根据上述分析对相关参数进行设置,并对设计的视频缓冲器进行了仿真。仿真软件采用的是 XILINX^[7] 的 ISE12.4,片外存储器 SDRAM 的仿真模型选用的是 MT48LC8M16A2,其工作时钟频率根据初步选择为 100 MHz,FPGA 采用的是 SPARTAN3 系列中的 XC3S1200E 芯片。数据块设置为固定的 64×16 bit 格式,在仿真的过程中 FIFO 的宽度固定为 16 位,写缓冲器的同步 FIFO 容量与数据块相同,读缓冲器的异步 FIFO 容量设定为数据块的两倍。其余 FIFO 的容量根据实验结果调整为数据块的整数倍。摄像头 OV7670 和 VGA 分别作为输入和输出模块,工作时钟频率都选择为 25 MHz,视频数据采用 640×480 格式。最后实验仿真结果如表 1 所示。

仿真结果表明:对于写缓冲器而言,使用两个容量为 128 字节的 FIFO 就足够保证采集的视频数据传输无丢失错误,增加异步 FIFO 的容量不

表 1 仿真结果表
Tab. 1 Result of system simulation

SDRAM 时钟	写缓冲器	读缓冲器	仿真 结果
	同步 FIFO 容量/bit 异步 FIFO 容量/bit	同步 FIFO 容量/bit 异步 FIFO 容量/bit	
100 MHz	64×16	64×16	写缓冲器溢出
	64×16	128×16	读缓冲器读空
110 MHz	64×16	64×16	写缓冲器正常
	64×16	128×16	读缓冲器正常
100 MHz	64×16	64×16	写缓冲器正常
	128×16	128×16	读缓冲器读空
100 MHz	64×16	128×16	写缓冲器正常
	64×16	128×16	读缓冲器正常
71 MHz	64×16	128×16	写缓冲器正常
	64×16	128×16	读缓冲器正常

能继续提高系统的带宽;对于读缓冲而言,影响其性能的主要部件是同步FIFO的容量,适当地增加器其容量可以降低SDRAM工作时钟的频率。当读写缓冲器的容量为640字节时,SDRAM工作频率须大于110 MHz;当读写缓冲器的容量为768字节时,SDRAM工作频率只需大于71 MHz。用户可以根据实际需要在系统稳定性和FPGA片内存储器资源之间选择。

4 结 论

使用FPGA 2块片内同步FIFO和2块异步FIFO结合片外存储器SDRAM构成了一个双端

口视频缓冲器。利用FIFO传输跨时钟域数据的传输,并将数据切成固定大小的数据块以支持SDRAM的分块读写数据机制,在仲裁器的合理调度下,使用单块存储器SDRAM实现了视频数据的实时采集和输出。同时本系统的设计和调试简单,用户在保证视频流的流畅性的前提下可以通过提高系统的工作时钟减少异步FIFO容量,降低FPGA片上存储资源的使用量;或是在增加FIFO的容量可以降低SDRAM的工作时钟而提高系统的稳定性。因此本设计具有一定的灵活性和高效率,在视频图像处理工程中具有一定的参考价值。

参 考 文 献:

- [1] 王骞,丁铁夫.高速图像存储系统中SDRAM控制器的实现[J].液晶与显示,2006,21(1):48-51.
Wang Q,Ding T F. Realization of SDRAM controller in high-speed image storing system [J]. *Chinese Journal of Liquid Crystals and Displays*,2006,21(1):48-51. (in Chinese)
- [2] 吉倩倩,苏光大,向守兵.嵌入式邻域图像并行处理机的液晶显示系统设计[J].液晶与显示,2011,26(6):768-773.
Ji Q Q,Su G D,Xiang S B. Design of LCD display system of embedded neighborhood image parallel computer[J]. *Chinese Journal of Liquid Crystals and Displays*,2011,26(6):768-773. (in Chinese)
- [3] 吕耀文,王建立,曹景太,等.移动便携图像存储系统的设计[J].液晶与显示,2012,27(5):697-702.
Lv Y W,Wang J L,Cao J T,*et al.* Design of portable image storage system [J]. *Chinese Journal of Liquid Crystals and Displays*,2012,27(5):697-702. (in Chinese)
- [4] 刘少华,陈明义.基于FPGA的高速海量FIFO的设计[J].信息技术,2009,33(9):52-54.
Liu S H,Chen M Y. Design of high speed and great capacity FIFO based on FPGA [J]. *Information Technology*,2009,33(9):52-54. (in Chinese)
- [5] 李耀荣,王兴军,梁利平.SOC总线仲裁算法的研究[J].微计算机信息,2007,6(2):113-115.
Li Y R,Wang X J,Liang L P. Researchon SOC bus arbitration algorithm [J]. *Microcomputer Information*,2007,6(2):113-115. (in Chinese)
- [6] 王鸣浩,吴小霞.基于FPGA的通用液晶显示控制器的设计与实现[J].液晶与显示,2012,27(1):87-88.
Wang M H,Wu X X. Design and realization of general LCD controller base on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*,2012,27(1):87-88. (in Chinese)
- [7] 田耕,徐文波,胡彬. Xilinx ISE Design Suite 10. X FPGA 开发指南[M].北京:人民邮电出版社,2008.
Tian G,Xu W B,Hu B. *Xilinx ISE design suite 10. X FPGA development guide* [M]. Beijing:Post & Telecom Press,2008.

作者简介:唐斌(1981—),男,湖南邵阳人,硕士,助教,主要从事电子系统设计自动化方面的研究。E-mail:tangbin54@163.com