

文章编号:1007-2780(2014)02-0238-07

基于 Mini-LVDS 技术的 TFT-LCD 时序控制器的设计

刘 杰*,程松华,张永栋,李曙新

(天马微电子股份有限公司 研发中心,广东 深圳 518118)

摘要:为了实现基于 FPGA 的具有 Mini-LVDS 接口的 TFT-LCD 时序控制器,对 TFT-LCD 的时序控制器、Mini-LVDS 技术的数据排列方式和 FPGA 的功能进行了研究。通过对 Mini-LVDS 的数据排列方式的研究,提出了独特的数据处理方法。利用 FPGA 内嵌的 SRAM,设计了一种并行转串行的转换器,把一行的数据分成前半部分和后半部分并同时向外输出;利用 D 触发器、延时的方法实现了相邻二点的数据串并转换;综合利用移位寄存器、串行加法器和 DDR 技术,设计了一种 8:1 的并串转换电路,实现了子像素内数据的并串转换。利用 Xilinx 公司的 FPGA 的输出宏单元,设计了把 CMOS 逻辑电平信号转换为 Mini-LVDS 逻辑电平信号的数据发送器。利用 Xilinx 公司的 FPGA 的时钟宏单元块,探讨并解决了多时钟的问题。通过研究 Mini-LVDS 和时序控制器的特性,提出了复位信号的产生方法和相对应的数据处理方法。利用此方法设计出的具有 Mini-LVDS 接口的时序控制器已应用于本公司的分辨率为 1 280×1 024 的产品中,数据的传输频率达 108 MHz,颜色深度为 24 bit。这个产品的显示画面清晰,过渡自然。利用此方法设计的 TFT-LCD 的时序控制器基本符合稳定可靠、抗干扰能力强等要求。

关 键 词:时序控制器;Mini-LVDS;FPGA;Verilog HDL

中图分类号:TN141.9 **文献标识码:**A **doi:**10.3788/JYXS20142902.0238

Design of TFT-LCD timing controller based on mini-LVDS technology

LIU Jie*,CHENG Song-hua,ZHANG Yong-dong,LI Shu-xin

(R&D Center, Tianma Micro-electronics CO., LTD., Shenzhen 518118, China)

Abstract: In order to realize the Timing Controller of TFT-LCD with Mini-LVDS interface based on FPGA, data arrangement of technology of Mini-LVDS and the timing controller of TFT-LCD, the function of FPGA are investigated. By studying data arrangement of Mini-LVDS, a special method of data processing was proposed. A parallel to serial converter was designed by using SRAM embedded in FPGA, the data in a row was divided into a front half part and a latter half part and the two parts of data were put out at the same time. The data of two adjacent points was turned from serial to parallel by using D trigger and the method of delay. By using shift register, serial adder and DDR technology, an 8:1 converter was designed and the data in a sub-pixel was turned from parallel to serial. Output Logic Macro cell in FPGA of Xilinx was used in the design of a data transmitter that turned the CMOS

收稿日期:2013-04-01;修订日期:2013-04-08.

* 通信联系人,E-mail: jie_liu2@tianma.cn

logic level signal into Mini-LVDS logic level signal. The problems of multiple clocks were discussed and solved by using clock macro blocks in FPGA of Xilinx. By studying the characteristics of Mini-LVDS and Timing Controller, the method of generating reset signal and the corresponding method of the data processing were presented. The timing controller of TFT-LCD with Mini-LVDS interface has been applied to products of our company with resolution of $1\,280 \times 1\,024$, the frequency of its data is 108 MHz, and its color depth is 24 bit. The picture of the product is clear and natural. The timing controller of TFT-LCD can satisfy the system requirements of strong anti-jamming and stabilization.

Key words: T-CON; Mini-LVDS; FPGA; Verilog HDL

1 引言

近年来,随着显示器的分辨率提高,传输给显示器的数据的频率也随之提高。用传统的并行、满摆幅、单端传输信号的方法引起的信号串扰、系统功耗、噪声干扰等问题越来越严重。为了解决此问题,人们开发了各种差分技术。用于液晶显示器的时序控制器与驱动电路之间传输数据的差分技术有 RSDS(低摆幅差分信号)和 Mini-LVDS(微、低压、差分信号)两种。

Mini-LVDS 技术现已广泛应用于平板显示器中,它是在 LVDS 技术的基础上发展的,进一步优化了用低电压差分信号、采用时钟的双边沿传输信号的特点;降低了信号的电磁干扰;可以根据显示屏的分辨率的大小合理分配数据通道数,以减低数据的传输频率;这些优点极大地提高了液晶显示器的集成度,为液晶显示器具有更大的尺寸、更窄的边界奠定了基础。

液晶显示器常采用专用的时序控制芯片,大多数专用时序控制芯片只能应用于消费领域、高规格芯片资源少、其时序要求是固定的;因特殊分辨率的液晶显示屏常有特殊的时序,此是专用时序控制芯片则无能为力。采用 FPGA(Field Programmable Gate Array,现场可编程门阵列)设计的时序控制器可以满足此要求^[1]。在基于 FPGA 的视频处理系统,利用 FPGA 除设计时序控制器外,还可以对相关的数据进行处理,而且无需增加外围电路,使整个硬件系统所需的空间变小,从而节省设计成本。

利用 Mini-LVDS 技术的特点,灵活使用各种数据的并行、串行的转换方法并研究了变换时钟的方法,使用这些方法可以利用简单的 Verilog HDL(硬件描述语言)设计 Mini-LVDS 接口;不仅能在同一公司的 FPGA 芯片内,而且可以在不

同公司的 FPGA 芯片内,利用此方法设计具有 Mini-LVDS 接口的 TFT-LCD 时序控制器,可以提高设计的灵活性。

2 TFT-LCD 的时序控制器简介

TFT-LCD 的时序控制器由时序转换模块、时钟处理模块和数据转换模块 3 部分组成,如图 1 所示。时序转换模块把从信号源接收的同步控制信号变换成驱动电路所需的控制信号。数据转换模块把从信号源接收到的数据信号转换为 Source Driver(源驱动器)所需格式的数据信号,它包括数据接收、数据发送、数据处理 3 部分。时钟处理模块为时序转换模块和数据转换模块提供必需的时钟信号^[2-3]。在基于 Mini-LVDS 技术的时序控制器中,驱动电路中的 Source Driver 和 TCON 之间的数据用 Mini-LVDS 技术进行传输。

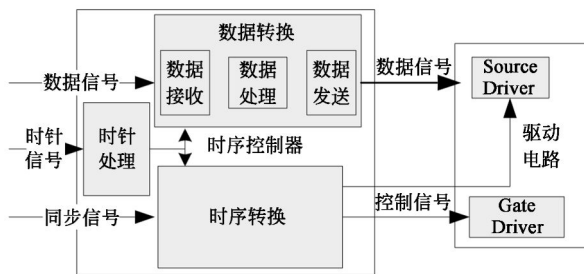


图 1 时序控制器的原理框图

Fig. 1 Schematic diagram of timing controller

Mini-LVDS 的数据通道的数量和像素的颜色深度没有关系,可以根据实际需要设定为 3 对、4 对、5 对或者 6 对。除根据数据通道的对数不同,对相邻点的数据进行不同的处理外;每个子像素内的并行数据必需经过并串转换、串行地通过数据线传输给 Source Driver, Source Driver 把接

收到的数据转换为显示屏所需的数据。第 0 对数据通道除了传输数据外,还传输一个 Source Driver 的控制信号;和控制行起始信号 DIO 作用相同的复位信号 RST^[4]。

3 时序控制器的设计

3.1 Mini-LVDS 的数据转换

图 2 为在本设计中 Source Driver 的数据输入端的数据排列示意图,子像素的颜色深度是 8



图 2 Mini-LVDS 接口的数据排列示意图

Fig. 2 Data arrangement diagram of the Mini-LVDS interface

据此,设计如图 3 所示数据处理方法。数据处理包含数据分离和单色子像素内数据处理二大部分,其中数据分离包含一整行数据处理和奇数、偶数点的数据处理二部分。具体包括单色子像素内 8 位并行转 8 位串行数据的并串转换、奇数、偶数点的数据同时发出的并行排列、一行数据分成前半行、后半行二部分后同时发出的并行排列。

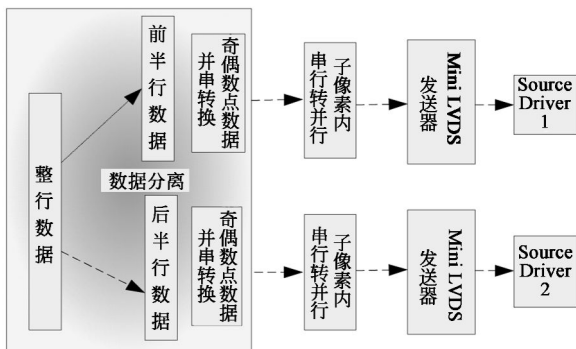


图 3 Mini-LVDS 接口的数据处理意图

Fig. 3 Data disposing diagram of the Mini-LVDS interface

3.1.1 数据分离处理

数据分离模块主要数据的前半行、后半行分离和奇数点、偶数点的分离两部分。数据的前、后半行分离采用 FPGA 片内 SRAM 实现,数据的分离

位,输入数据通道为 6 对^[5-6]。在 4 个时钟内,第 0~2 对数据通道分别传输第一个像素点 8 位 RGB 数据共 24 位数据;同时第 3~5 对数据通道分别传输第二个像素点 8 位 RGB 数据共 24 位数据;Mini-LVDS 接口在每 4 个时钟内传输 2 个像素点的 RGB 数据共 48 位数据。为了进一步降低数据的传输频率,2 颗 Source Driver 没有采用常用的级联的方式,而是采用了并联、同时接受数据的连接方式。

主要采用乒乓操作的方式进行。当第一行的数据依次传输过来时将 D1, D2, D3……Dm-1 等前半行的数据存储在 SRAM1 单元,而 Dm, Dm+1, Dm+2, Dn 等后半行的数据存储在 SRAM2 单元;而当第二行的数据传输过来时将 D1, D2, D3……Dm-1 等前半行的数据存储在 SRAM3 单元,而 Dm, Dm+1, Dm+2, Dn 等后半行的数据存储在 SRAM4 单元。由于第一行和第二行依次传输过来,因此在接收第二行数据的同时,存储在 SRAM1 和 SRAM2 中的第一行的数据则开始同时被取出送到下一个数据处理模块。同理,当第三行数据过来时,第一行数据已经取完,第二行数据已经存完,这样第三行的数据又按照前、后半行分别存入 SRAM1 和 SRAM2,而存储 SRAM3 和 SRAM4 中的第二行的数据则开始同时被取出送到下一个数据处理模块。如此循环,依次将数据分别传输到下一个数据处理模块,完成一次数据的前、后半行分离处理,如图 4 所示。

因本次处理的数据是流水线型,奇数点、偶数点的分离采用 D 寄存器的方法进行串并转换。让第一点的数据暂缓延时一个时钟,与第二个数据同时发出。经过了转换的数据同时输入到下一个转换器,实现一个数据的 2:1 并串转换。

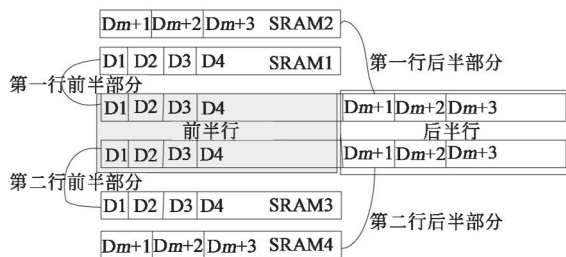


图4 数据存储及分流

Fig. 4 Data storage and diversion

3.1.2 子像素内并串转换模块设计

通用的多位数据并串转换的实现方法有:先进先出寄存器(FIFO)和移位寄存器等两种。当采用FIFO模式时,FIFO的输入端的宽度和输入数据的宽度相同,输出端的宽度为1,两者在不同的时钟下工作,从而实现并串转换。当采用移位寄存器时,各位数据首先通过并行锁存器同时写入与数据位数相同个数、首尾相连构成一个移位链的D触发器,这些D触发器可以在移位时钟的控制下将数据串行输出。因串并的数据排列方式的特殊性,先综合使用移位寄存器和串行加法器,设计一个4:1的并串转换电路。再利用DDR技术,设计了一种2:1的并串转换电路,综合两个转换器的功能实现8:1的并串转换电路,从而实现了子像素内数据的并串转换。这种设计方法充分利用了FPGA的资源,降低了系统处理数据的频率,提高了系统的稳定性。

先将图5的图A的原始数据按照不同的采集边沿重新排列,排列后的数据的排列的格式如图5的图B,方法如下:

```
assign Data_inE = {Data_in[6], Data_in[4], Data_in[2], Data_in[0]};
```

```
assign Data_inO = {Data_in[7], Data_in[5], Data_in[3], Data_in[1]};
```

将从图5的图B中输出的数据经过4:1的并串转换电路,重新排列成图C的格式,利用串行加法器控制数据装入转换器的时刻,然后高速采样时钟作用逐次移出数据从而实现4:1的并串转换电路。方法如下:

```
if(data_countE == 2'b11) begin
    data_countE <= 2'b00;
    Data_TempE <= Data_inE;
end
else begin
```

```
    data_countE <= data_countE
        + 2'b01;
    Data_TempE[2:0] <= Data_TempE
        [3:1];
end
assign dataout = Data_TempE[0];
```

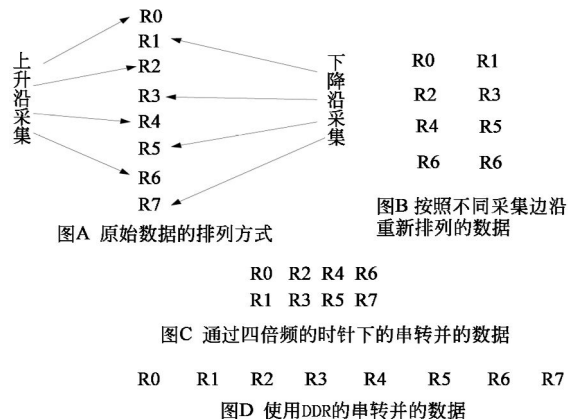


图5 并串转换模块的输出原理示意图

Fig. 5 Sketch map of a parallel to serial converter's output

DDR 输出接口,使得在通用并串转换电路的移位时钟频率相同的情况下,可以使串行数据传输的频率提高2倍。在两个反相时钟 CLK1、CLK2 控制下,输入数据 D1、D2 同时锁存到 D 触发器,然后通过一个2:1的多路选择器以分时复用的方式输出数据,使得数据传输的频率提高2倍,因此控制时钟的频率只需要数据传输频率的一半。按照上面方法,将并行数据分别以两个差分倍频时钟按奇偶两组锁存,通过DDR接口,就可以实现并串转换。Xilinx的FPGA的ODDR2接口宏单元块支持这种转换,此宏单元块的使用方法如下:

```
ODDR2 #
(
    . DDR_ALIGNMENT("NONE")
) R_inEODDR2 (
    . C0 ( CLK1 ),
    . C1 ( CLK2 ),
    . D0 ( Data_Odd ),
    . D1 ( Data_Even ),
    . CE(1'b1),
    . R(1'b0),
    . S(1'b0),
    . Q(Dout_8to1 )
);
```

3.1.3 Mini-LVDS 发送模块的设计

FPGA 是 CMOS 逻辑器件,它只能处理 COMS 逻辑电平信号,在发送时需将 CMOS 逻辑电平信号转换为 Mini-LVDS 差分信号。所有类型的 FPGA 芯片都有支持这种转换 IP Core,Xilinx 公司的 OBUFDS 单元可以支持这种信号转换方法,此宏单元块的使用方法如下。

OBUFDS

//将 Mini-LVDS 的输出的电平标准设置为

3.3 V

```
#( IOSTANDARD("MINI_LVDS_33"))
Back_B_MINI_LVDS(
.I ( Back_B_8to1 ),
.O ( Back_B_P ),
.OB ( Back_B_N )
);
```

3.3 Mini-LVDS 的时钟处理

Mini-LVDS 除了传输数据之外,还需要传输时钟。Mini-LVDS 的时钟的频率和像素的频率之间存在着一定的倍数关系,这个倍数关系可以根据像素颜色深度和数据通道数计算出来。例如,当像素的颜色深度为 24、有 6 对数据线(双沿采样数据,每个时钟周期采样 8 个数据)的情况下,Mini-LVDS 的时钟频率等于像素频率 2 倍。

从上面的数据处理过程可以发现,时序控制器需多个时钟信号。Xilinx 公司的 FPGA 内部的数字时钟管理器(DCM)可以满足此要求,DCM 的功能包括消除时钟的延时、频率的合成、时钟相位调整。DCM 共由 4 部分组成,可以输出的时钟:

与输入频率相同的 CLK0、CLK180、CLK270;是输入频率 2 倍的 CLK2X、CLK2X180;分频系数为 1.5、2.5、3、4、6、8、16 等

频率 CLKDV、任意频率的 CLKFX、CLKFX180 等时钟。DCM 的数字频率合成器 DFS 模块可以生成一个 Mini-LVDS 发送时钟,其他时钟可以有 DCM 的其他部分生成^[7]。

如果该发送时钟频率是数据时钟频率的 4 倍,可利用 DDR 技术来获得数值为 8 的串行化因数。DDR 技术可以将所要求的时钟频率降低一半,不仅能使 FPGA 时钟位于正常工作的频率范围内,而且能降低系统的总功耗。利用 DDR 触发器(ODDR2)完成 DDR 技术,需要利用二个相位相反的时钟。使用两个全局时钟缓冲器 GCLK,将从 DCM 的任意频率输出端 CLKFX 和 CLKFX180 输出的两个时钟(相位相差 180°)分配给 DDR 触发器。这种方式仅使用了时钟的上升沿,时钟网络上的任何占空比失真都变得不重要。

3.4 复位信号的要求及相关数据处理

Source Driver 除接收数据外,还需接收表示开始接收数据控制信号(DIO)和表示结束接收数据的控制信号(LD)。DIO 又可分为 DIO1 与 DIO2,它们不同高低电平的组合决定显示数据扫描输出的方向顺序,即数据从左到右还是从右到左输出。如选择从左到右的数据输出,则在 DIO1 下降沿后,在每个时钟周期内输出一个 Pixel 的数据,在输出到倒数第二个 Pixel 数据时,DIO2 输出高电平,直到其为低电平,表示所有显示数据输出完毕。如 TFT-LCD 应用两颗 Source Driver 级联,则 DIO2 作为下一颗 Source Driver 的输入;为了进一步降低数据的频率,Source Driver 没有采用级联的方式,而是采用了并联、同时接受数据的连接方式,这种方法的缺点是每个 Source Driver 都需接收控制信号。

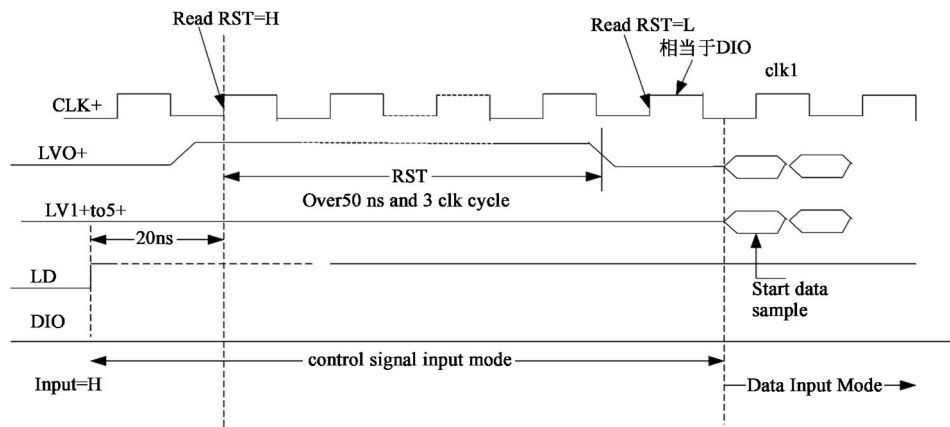


图 6 复位信号的要求

Fig. 6 Request of reset signal

在 Mini-LVDS 技术中,控制行起始信号的 DIO 由复位信号 RST 替代并经第 0 对数据向外传输;此时,还需将原有的 DIO 信号置高,其时序要求如图 6 所示。复位信号 RST 置高的复位时间起始点与 LD 信号的上升沿的间隔大于 20 ns。将复位信号 RST 置高的复位时间长度必须同时满足两个条件:时间大于 50 ns 和大于 3 个时钟;通过计算,在本设计中至少需 5 个时钟的时间。为了扩大时序控制器的稳定性,利用数据有效信号 DE 的有效内前 5 个时钟将复位信号 RST 置高,然后再一个时钟的置低,这样需显示的数据必须向后移位 6 个时钟,数据移位的方法有:先进先出的 FIFO、移位寄存器和 SRAM 等方法。因数据延时的长度不大,本设计使用移位寄存器的方法。

4 FPGA 实现

在基于 FPGA 的视频信号处理系统中,基于 Mini-LVDS 技术的 TFT-LCD 的时序控制器只是该系统的一个功能块,而这部分的信号的频率最高、需在多个时钟域进行变换。为了提高系统的稳定性,使该时序控制器正常工作时,不产生干扰、不影响其他功能,就必需对该部分进行必要的时序约束。FPGA 的时序约束有周期约束、特定约束、区域约束等约束。因这部分的输入信号的频率高,使用区域约束使 Mini-LVDS 接口在信号的输入管脚附近。

采用 Verilog HDL 语言来设计,设计了基于 Mini-LVDS 技术的 TFT-LCD 的时序控制器,使用 Xilinx 的型号为 XC3S400AN 的 FPGA 并在其开发平台 ISE11.2 中进行逻辑综合和器件适配,该功能所使用逻辑资源情况如表 1 所示。它占用的逻辑资源很少,还有很多资源可以用于其它作用。

表 1 Mini-LVDS 接口所占用逻辑资源

Tab. 1 Logical resource of Mini-LVDS interface

逻辑资源	使用数	总数	占用百分比/%
Slice	216	3 584	6
Slice Flip Flops	365	7 168	5
4 input LUTs	407	7 168	3
GCLKs	6	24	25
BRAMs	12	20	60
DCMs	1	4	25

5 结 论

详细说明了基于 Mini-LVDS 技术的 TFT-LCD 的时序控制器的方法,利用此方法设计出的具有 Mini-LVDS 接口的时序控制器已应用于本公司的分辨率为 1 280×1 024、颜色深度为 24 bit 的产品中,该产品的画面清晰,过渡自然,说明此基于 Mini-LVDS 技术的 TFT-LCD 的时序控制器完全符合要求。

参 考 文 献:

- [1] 罗菊华,杨传仁,张继华,等. 基于 FPGA 的平板显示器件驱动电路的设计[J]. 液晶与显示, 2006, 21(6): 680-685.
Lou J H, Yang C R, Zhang J H, et al. Design of driving circuit for flat panel display based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2006, 21(6): 680-685. (in Chinese)
- [2] 程明,肖祖胜. 基于 FPGA 的 TFT-LCD 显示驱动设计[J]. 液晶与显示, 2009, 24(2): 228-231.
Cheng M, Xiao Z S. Design of display driving for TFT-LCD based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2009, 24(2): 228-231. (in Chinese)
- [3] 潘子升,苗绘玲. 时序控制器 TCON 的研究与设计[J]. 电子设计工程, 2011, 19(3): 67-70.
Pan Z S, Miao H L. Research and design of timing controller [J]. *Electronic Design Engineering*, 2011, 19(3): 67-70. (in Chinese)
- [4] 金强宁,洪乙又,李慧芝,等. 基于 Mini-LVDS 技术的 TFT-LCD 彩色液晶显示屏的驱动研究及应用[J]. 光电子技术, 2009, 29(3): 196-200.
Jin Q N, Hong Y Y, Li H Z, et al. The application and study of color TFT-LCD panel driver based on Mini-LVDS technology [J]. *OptoElectronic Technology*, 2009, 29(3): 196-200. (in Chinese)

- [5] Online Texas Instruments. SLDA007A[EB/OL]. 2001-08. <http://www.ti.com/>
- [6] Online Novatek Microelectronics Corp. NT39815 [EB/OL]. 2011-08. <http://www.novatek.com.tw/>
- [7] 孙航,胡灵博. Xilinx 可编程逻辑器件应用与系统设计[M]. 北京:电子工业出版社,2008:230-240.
- Sun H, Hu L B. *System Design and Application of Xilinx Programmable Logic Device* [M]. Beijing: Electronic Industry Press, 2008:230-240. (in Chinese)

作者简介:刘杰(1968—),男,江西上饶人,硕士研究生,工程师,主要研究方向为液晶显示控制与驱动技术。E-mail:jie_liu2@tianma.cn

电子薄膜与集成器件国家重点实验室中山分室

电子薄膜与集成器件国家重点实验室中山分室是由电子薄膜与集成器件国家重点实验室与电子科技大学中山学院于 2012 年 3 月 28 日签约共建实验室,旨在推动作为中山市支柱产业之一的半导体照明产业集群的发展,为全市半导体照明产业提供公共科技服务平台,在新技术、新工艺两个方面为企业提供深层次的研发支撑,并为国家重点实验室科研成果的产业化提供有效的对接。

电子薄膜与集成器件国家重点实验室中山分室以广东省特别是中山市半导体照明产业需求为导向,快速推进半导体照明核心科技成果向中山市转化;有效的形成产业共性技术研发支撑平台,为产业发展提供必要的前沿技术储备和强大的技术支撑;同时通过具有国际视野和国际水平研发团队的进驻,为中山市 LED—OLED 产业领域高级技术人才的培养提供直接帮助。目前实验室在薄膜器材照明技术、LED 照明封装核心技术以及 OLED 新型照明显示光源及其产业化技术等方面开展研发工作,在探索性和前瞻性研究领域开展有机薄膜太阳能器件、FED/FEA、PDP 和大电流阴极的研究。



实验楼



实验设备

地址:广东省中山市石岐区学院路 1 号电子科技大学中山学院实验楼 A506

邮编:528402

电话:0760—88365345(邓春健)

邮箱:dengcj80@126.com