

文章编号:1007-2780(2013)06-0877-06

## TFT-LCD 驱动中 SDRAM 控制器的仲裁器设计

薛家祥<sup>1</sup>, 黄泽林<sup>2</sup>, 沈 栋<sup>1</sup>, 陈晓仕<sup>2</sup>

(1. 华南理工大学 机械与汽车工程学院, 广东 广州 510640, E-mail: mejiaxue@scut.edu.cn;

2. 华南理工大学 电子与信息学院, 广东 广州 510640)

**摘 要:** 针对 TFT-LCD 驱动中常用 SDRAM 控制器的不足, 在 FPGA 器件上设计了 SDRAM 控制器的仲裁器; 仲裁器根据 TFT-LCD 驱动的特点分配 SDRAM 控制器使用权, 实现了在 TFT-LCD 正常显示的同时外部设备可在任意时刻连续地向 SDRAM 写入数据, 而不出现数据丢失或者错误的现象。文章从 FIFO 深度、SDRAM 突发长度和不同模块时钟频率等方面考虑, 介绍了仲裁器的设计方法, 给出了仲裁器各项参数值的设计公式。实验结果表明设计的有效性。

**关 键 词:** TFT-LCD 驱动; SDRAM 控制器; 仲裁器

中图分类号: TN873

文献标识码: A

DOI: 10.3788/YJYXS20132806.0877

## Design of SDRAM Controller with Arbiter for TFT-LCD Driver

XUE Jia-xiang<sup>1</sup>, HUANG Ze-lin<sup>2</sup>, SHEN Dong<sup>1</sup>, CHEN Xiao-shi<sup>2</sup>

(1. School of Mechanical & Automotive Engineering, South China University of Technology,

Guangzhou 510640, China, E-mail: mejiaxue@scut.edu.cn;

2. School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China)

**Abstract:** Faced with the drawback of widely-used SDRAM controller in TFT-LCD driver, a arbiter for SDRAM controller is designed in FPGA device. The arbiter has the right to distribute the use of data and address buses. In this way, the ideal function is realized that the image data can be updated by means of the external device while the LCD is still at work. In the paper, the design method of the arbiter is introduced. Various parameters of the arbiter are worked out after considering the depth of FIFO, the burst length of SDRAM, the operating frequencies of different components and so on. Therefore, the loss or errors in data can be avoided when the SDRAM controller is under the control of the arbiter.

**Key words:** TFT-LCD driver; SDRAM controller; arbiter

## 1 引 言

目前 TFT-LCD 显示系统都有在显示的同时能更新显示内容的功能。然而由于显存不是双口存储器, 因此在显示的同时对只有一套数据地址线的显存更新数据是一个难点。

一种比较简单的解决方法是, 需要显示新的图片时, 停止 TFT-LCD 驱动器并将数据地址线交给外部设备, 让外部设备更新 SDRAM 中的数据, 更新完毕再继续显示<sup>[1-2]</sup>。另一种能在显示时更新数据的方法是, 运用乒乓操作的设计技巧, TFT-LCD 驱动器和外部设备交替使用 SDRAM<sup>[3-4]</sup>。

收稿日期: 2013-04-01; 修订日期: 2013-05-08

基金项目: 国家级大学生创新训练计划项目(No. 201210561030); 广东省大学生创新实验项目(No. 1056112007); 广东省产学研项目(No. 2011B090400261、No. 2012B091100339); 番禺科技计划(No. 2011-专 02-4. 21); 广州市黄埔区科技计划(No. 1129); 江门市科技计划(No. 2011010012417)

作者简介: 薛家祥(1962—), 男, 江苏徐州人, 博士, 教授, 研究方向为液晶显示驱动, 高性能数字化电源。

第一种方法虽能更新数据,但这种方法在更新数据时液晶屏需要停止工作,将数据地址线交予外部设备,导致显示质量下降。第二种方法实现了更新数据时液晶屏不必停止显示的功能。液晶显示图片的质量没有下降,而且外部设备写入速度可以很高,但缺点是系统复杂、硬件算法实现难度大、成本较高。

本文介绍一种 SDRAM 控制器的仲裁器设计,以解决 TFT-LCD 驱动器需要停止工作来更新图片数据,导致液晶显示屏显示质量下降的问题,而且不需要 2 片 SDRAM 交替为 TFT-LCD 驱动器和外部设备工作,即可低成本地实现 TFT-LCD 驱动器工作的同时更新 SDRAM 数据。

## 2 设计与实现

### 2.1 仲裁器设计的基本思想

没有仲裁器时,数据传输的总体框图如图 1 所示。根据 SDRAM 读写时序,每次向 SDRAM 控制器发出请求后,不能马上读写 SDRAM,SDRAM 数据请求和应答需要一定的时间差<sup>[5]</sup>。上述 SDRAM 本身突发读写的工作特点和外部设备、TFT-LCD 驱动器都能够连续地读写数据的要求存在着矛盾。另外,外部设备和 SDRAM 控制器、TFT-LCD 驱动器和 SDRAM 控制器都处在不同的时钟域,需要做跨越时钟域设计。

为了解决以上的矛盾,需要采用 FIFO 作为 SDRAM 控制器作为输入和输出的缓存:

在外部设备需要写入数据到 SDRAM 时,外部设备数据先存放到 FIFO<sub>A</sub>(写 SDRAM 的缓存 FIFO)中,经过适当控制 FIFO<sub>A</sub> 的数据才能写入 SDRAM。

TFT-LCD 驱动器工作时,按照 VGA 时序从 FIFO<sub>B</sub>(读 SDRAM 的缓存 FIFO)中读取数据。当 FIFO<sub>B</sub> 数据量少于一数量时,就从 SDRAM

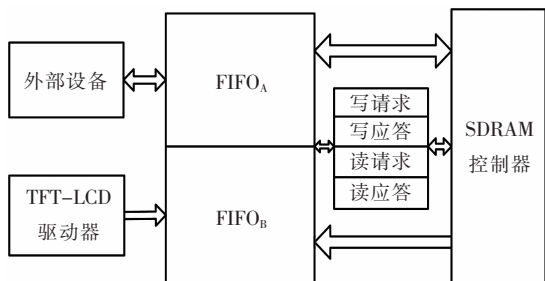


图 1 数据传输总体框图  
Fig. 1 Structure of data path

读取数据写入 FIFO<sub>B</sub>。

在没有仲裁器时,由于 SDRAM 是一种只有一套数据地址线的存储器,因此 TFT-LCD 驱动器工作时,外部设备无法对 SDRAM 进行读写操作。实际上,可以利用 TFT-LCD 驱动中行场信号的特点设计仲裁器,在行场信号进入消隐区域的部分时间段将数据地址线使用权交予外部设备,让外部设备在这段时间内读写 SDRAM,从而可实现 TFT-LCD 驱动器工作的同时外部设备可连续地向 SDRAM 写入数据。

由图 2 可见,数据并不需要连续不断写入到 TFT-LCD 驱动器,而是每当行场信号扫描到可视区域时才需要数据输入到液晶屏,在扫描到消隐区域时数据都不需要写入<sup>[6]</sup>。

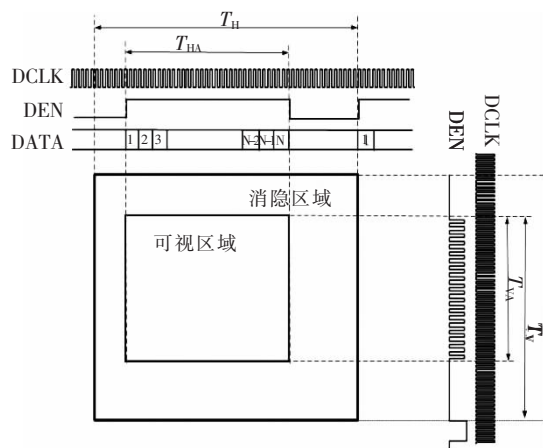


图 2 VGA 时序图  
Fig. 2 VGA timing diagram

实现上述功能带仲裁器的数据传输总体框图如图 3 所示,FIFO 向 SDRAM 发送的数据请求和 SDRAM 向 FIFO 发送的数据应答,都经过仲裁器进行分析。仲裁器根据当前 TFT-LCD 驱动器的工作状态和外部状态的输入状态,判断 SDRAM 的数据地址线使用权是交予外部设备还

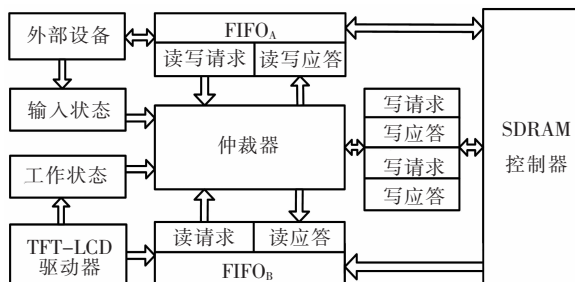


图 3 带仲裁器的数据传输总体框图  
Fig. 3 Structure of data path with arbiter

是 TFT-LCD 驱动器。

在理想情况下,不考虑不同时钟域的速度匹配和 FIFO 的数据延迟时:若行场信号进入可视区域,则仲裁器将数据地址线使用权交予 TFT-LCD 驱动器,即仲裁器允许来自 FIFO<sub>B</sub> 的数据响应和数据请求;若行场信号离开可视区域进入消隐区域,则仲裁器中止 FIFO<sub>B</sub> 响应和请求数据,将数据地址线的使用权交予外部设备,即允许 FIFO<sub>A</sub> 响应和请求数据。

## 2.2 仲裁器设计

### 2.2.1 简介

下面分析在仲裁器设计中需要考虑的 FIFO 深度和 SDRAM 应答延迟两个因素。

计算 FIFO 深度,是由于 SDRAM 控制器和 TFT-LCD 驱动器、外部设备处于不同的时钟域中,FIFO 实际上是一种先进先出的队列,数据在不同的时钟域传输经过这个队列时,需要消耗一段时间。在这段时间里,原本在 FIFO 里的数据可能还没有完全发送出去或者还没有完全接收本要完成接收的数据。如果此时仲裁器将数据地址线的使用权交予另外一方,则会引起数据错误。

计算 SDRAM 应答延迟,是由于 SDRAM 本身是突发读写的器件。如果仲裁器不设定一定的过渡时间,则可能外部设备跟 SDRAM 提出数据请求后,SDRAM 控制器开始进入状态机流程,若此时仲裁器将使用权切换到 TFT-LCD 驱动器,则当 SDRAM 控制器到了可以读写的状态时,就默认对 TFT-LCD 驱动器进行读写,结果引起数据丢失或者错误<sup>[7]</sup>。同样,如果 TFT-LCD 驱动器跟 SDRAM 提出数据请求,也将引起数据丢失或者错误。

### 2.2.2 SDRAM 等效速度

为便于推导,现定义 SDRAM 读写等效速度。根据 SDRAM 突发读写的工作特点,得到:

$$f_{\text{equal}} = f_{\text{SDRAM}} \frac{N_{\text{BL}}}{N_{\text{BL}} + M_{\text{BL}}} \quad (1)$$

式中, $N_{\text{BL}}$ 为 SDRAM 的读写突发长度, $M_{\text{BL}}$ 为等待数据到达的  $f_{\text{SDRAM}}$  时钟脉冲数目(包括设定行列地址、行选通周期、CAS 潜伏期等)。

### 2.2.3 FIFO<sub>B</sub> 最小深度

当 SDRAM 控制器和 TFT-LCD 驱动器工作频率满足不等式:

$$f_{\text{equal}} \geq f_{\text{TFT}} \quad (2)$$

SDRAM 的读写速度在任何时候都可以满足 TFT 的要求。式中  $f_{\text{TFT}}$  为 TFT-LCD 驱动器的工作频率。此时 FIFO<sub>B</sub> 的最小深度可以为 SDRAM 的突发长度:

$$d_{\text{B}} = N_{\text{BL}} \quad (3)$$

然而,TFT 驱动器的工作频率较高,大分辨率显示屏往往在 50 MHz 以上,而由于 SDRAM 器件工作频率不能过高,导致  $f_{\text{SDRAM}}$  不能过高。因此通常情况下,式(2)不成立。此时,可以在行场信号进入可视区域前的一段时间  $T_{\text{eH}}$  内仲裁器就将使用权交予 TFT-LCD 驱动器, $T_{\text{eH}}$  为 SDRAM 在行消隐信号有效时补足数据的时间,如图 4 这段时间为区域 C 所对应的行信号时间长度,则  $T_{\text{eH}}$  必须满足:

$$f_{\text{equal}} \geq f_{\text{TFT}} \frac{T_{\text{HA}}}{T_{\text{eH}} + T_{\text{HA}}} \quad (4)$$

式中  $T_{\text{HA}}$  为行有效同步信号。

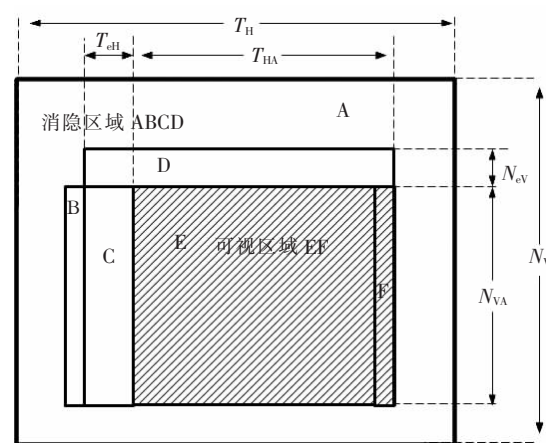


图 4 区域划分

Fig. 4 Dividing areas

如图 5 所示,为得出 FIFO<sub>B</sub> 的最小深度,分析 FIFO<sub>B</sub> 数据量变化如下:行场信号进入 C 区域时 FIFO<sub>B</sub> 因为只有写入所以数据量在增加,而在

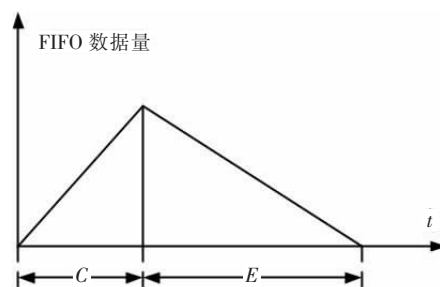


图 5 提前 C 区域积累数据

Fig. 5 Accumulated data including area C

E 区因为有 TFT-LCD 驱动器读出而且读出速度比写入速度快所以数据量在减少,则  $FIFO_B$  的最小深度为:

$$d_B = f_{TFT} T_{eH} \quad (5)$$

当式(4)不成立时,则说明 SDRAM 控制器的工作频率很低,此时需在行场信号到达 D 区域时就提前向  $FIFO_B$  存入数据,则  $f_{SDRAM}$  和  $f_{TFT}$  的关系满足表达式:

$$f_{equal} \geq f_{TFT} \alpha \quad (6)$$

其中

$$\alpha = \frac{N_{VA} \cdot T_{HA}}{(N_{eV} + N_{VA})(T_{eV} + T_{HA})} \quad (7)$$

表示行场信号在可视区域的扫描时间跟使用权交予 TFT-LCD 驱动器这段时间之间的比例,等效于图 4 中 EF 与 CDEF 面积之比。 $N_{eV}$  为 SDRAM 在场消隐信号有效时补足数据的等效行数, $N_{VA}$  为 TFT-LCD 的总行数。

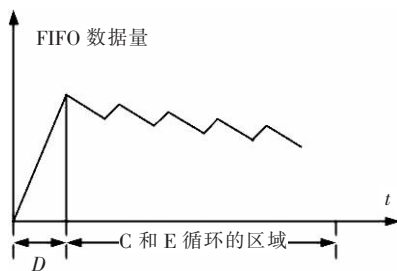


图 6 提前 C 和 D 区域积累数据

Fig. 6 Accumulated data including area C and D

为得出  $FIFO_B$  的最小深度,可考虑图 6,当行场信号扫描到 D 区域时, $FIFO_B$  因为只有写入所以数量一直增加。当到了 E 区域时因为有 TFT 读出而且读出速度比写入速度快,因此数据在 E 区域时减少的。当到下一行 C 区域时,数据重新增加,但由于持续时间不长,因此数据量小幅增加之后又减少了。曲线最大值在行场信号离开 D 区域的那一点。由此可得  $FIFO_B$  的最小深度为:

$$d_B = f_{TFT} [(T_{eH} + T_{HA}) N_{eV}] \quad (8)$$

此时  $FIFO_B$  在场消隐信号有效时缓存数据。若都不满足式(2)(4)(6)的要求,则  $f_{SDRAM}$  和  $f_{TFT}$  无法匹配。

#### 2.2.4 $FIFO_A$ 最小深度

假设外部设备写入频率为  $f_{write}$ ,并一直占用 SDRAM 控制器的控制权时,其必须满足的关系是:

$$f_{equal} \geq f_{write} \quad (9)$$

但是考虑到在仲裁器对使用权的分配作用下,外部设备写入  $FIFO_A$  中的数据在行场信号进入消隐信号的部分区域时,才能切换到 SDRAM 中。故必须为外部设备提供忙信号,否则外部设备在此速度下写入会使  $FIFO_A$  溢出。

若要省去读忙信号,可以减少外部设备接入的复杂度,则外部设备的写入速度要限定在最大速度之内。在最大速度下,无论外部设备在何时写入、写入多少数据,SDRAM 控制器都能及时将数据从  $FIFO_A$  中读出。现在求最大速度,外部设备速度  $f_{write}$  和 SDRAM 控制器工作频率  $f_{SDRAM}$  之间满足的关系是:

$$f_{equal} (1 - \beta) \geq f_{write} \quad (10)$$

其中

$$\beta = \frac{(N_{eV} + N_{VA})(T_{eV} + T_{HA})}{N_V T_H} \quad (11)$$

表示 TFT-LCD 驱动器读 SDRAM 操作的时间所占显示一帧图片的时间比重。式中  $N_V$  表示显示一帧的行信号总数, $T_H$  表示行同步信号周期。若要将写入速度限制为  $f_{write}$  以下,则将 FIFO 深度设定为式(12)的值:

$$d_A = f_{equal} \gamma \quad (12)$$

其中

$$\gamma = (N_{eV} + N_{VA})(T_{eH} + T_{HA}) \quad (13)$$

表示外部设备在每显示一张图片时能读写 SDRAM 的总时间。

#### 2.2.5 使用权切换延迟时间

综上所述,由于 SDRAM 工作特点、TFT-LCD 驱动器和 SDRAM 工作频率的匹配问题,产生了 FIFO 最小深度问题,仲裁器不能在消隐信号变化时马上将使用权切换到另外一方。在行有效时期结束后,在  $FIFO_B$  中都要预先存放下一次行有效时期开始时用来输送的数据,否则液晶屏将因为数据无法及时到来而导致图像右移,左边沿处空余地方为白色。

根据上面得出的不同情况下 FIFO 最小深度的计算方法,下面给出仲裁器在切换使用权时的延迟时间,从而确定每次行场信号进入可视区域之后或者之前多久,仲裁器才开始切换使用权。

在参数符合式(2)(4)的情况下,计算在行场信号进入可视区域前多久时间仲裁器要切换使用权,以保证数据不发生错误和丢失现象:

$$M_{delay} = \left[ d_B \frac{N_{BL} + M_{BL}}{N_{BL}} \right] \quad (14)$$

注意运算符 $\lceil \cdot \rceil$ 表示取大于小数的最小整数。式中 $M_{\text{delay}}$ 用同步于频率为 $f_{\text{SDRAM}}$ 的时钟脉冲数目表示。 $d_B$ 的计算方法已经在式(3)(5)(8)中给出,根据实际情况将公式代入。

在参数符合式(6)的情况下,使用权切换的延迟时间需要分情况讨论:当行场信号扫描到 D 区域时,就要切换使用权,此时的表达式同式(14)相同;当行场信号第一次离开 E 和 F 可视区域后,在这一帧结束前的以后每次进入前,都要在 C 区域预先将使用权交给 TFT-LCD 驱动器,则这个提前的时间表达式为:

$$M_{\text{delay}} = \left\lceil f_{\text{TFT}} T_{\text{eH}} \frac{N_{\text{BL}} + M_{\text{BL}}}{N_{\text{BL}}} \right\rceil \quad (15)$$

其中 $M_{\text{delay}}$ 用同步于频率为 $f_{\text{SDRAM}}$ 的时钟脉冲数目表示。

2.2.6 SDRAM 应答延迟

每次使用权切换,都不是马上完成的,而是包括中止数据请求和中止数据应答两个阶段。因为根据 SDRAM 的工作特性,SDRAM 存在着应答延迟的现象,需要为 FIFO<sub>A</sub> 的数据请求时间和数

据应答时间设定一定的时间差,使得在这段时间差内,仲裁器不允许 FIFO<sub>A</sub> 数据请求,但是仍允许数据应答。否则如 2.2.1 所述会发生数据错误。

根据 SDRAM 工作特性,过渡时间满足:

$$N_{\text{delay}} = N_{\text{BL}} + M_{\text{BL}} \quad (16)$$

式中 $N_{\text{delay}}$ 为 FIFO<sub>A</sub> 请求和响应的时间差,该时间差用同步于频率为 $f_{\text{SDRAM}}$ 的时钟脉冲数目表示。在图 6 中区域 B 和 F 是应答区域延迟,在区域左边沿中止数据请求,区域右边沿中止数据应答。

3 测试与结论

代码完成后,经过综合共需要 1 123 个 LE,占 EP1C3T144C8 器件 39% 的 LE 资源,82 个引脚<sup>[8]</sup>。现在对该仲裁器进行实验测试,根据上述推导,找出在最低的工作频率下仲裁器能达到的最大性能,从而看出其性价比。

试验中 SDRAM 采用的是三星公司的 K4S641632H<sup>[9]</sup>,其突发长度为 $N_{\text{BL}}=8$ ,SDRAM

表 1 仲裁器性能测试  
Table 1 Testing of characteristics of arbiter

| 测试条件                | 工作模式   | 计算 SDRAM<br>最小速度/MHz | 测试 SDRAM<br>工作速度/MHz | 测试最大写入<br>速度/MHz | 测试最大刷新<br>帧数/帧 | 显示是否正常 |
|---------------------|--------|----------------------|----------------------|------------------|----------------|--------|
| \                   | 符合式(2) | 70.125               | 75.0                 | 9.750            | 20.31          | 正常     |
| \                   | 符合式(2) | 70.125               | 62.5                 | 8.125            | 16.90          | 图像絮乱   |
| $T_{\text{eV}}=100$ | 符合式(4) | 62.300               | 66.7                 | 5.830            | 12.10          | 正常     |
| $T_{\text{eV}}=100$ | 符合式(4) | 62.300               | 50.0                 | 4.370            | 9.10           | 图像絮乱   |
| $N_{\text{eV}}=20$  | 符合式(6) | 60.300               | 62.5                 | 4.660            | 9.70           | 正常     |
| $N_{\text{eV}}=20$  | 符合式(6) | 60.300               | 50.0                 | 3.730            | 7.77           | 图像絮乱   |

读写周期为 17,则 $M_{\text{BL}}=9$ ;采用的液晶屏分辨率 $T_{\text{HA}}=800,T_{\text{VA}}=600$ ;其行信号周期 $T_{\text{H}}=1\ 056$ ,场信号周期 $T_{\text{V}}=628$ ;液晶工作频率为 $f_{\text{TFT}}=33\text{ MHz}$ 。并且试验中仲裁器工作时序满足 SDRAM 应答延迟的要求。

从表 1 看出,当工作模式符合式(2)时,该仲裁器的工作速度可以达到 20 帧以上,而 SDRAM 工作速度在 75 MHz 以上这个前提是很容易满足的。在视频播放、图像采集等方面,这种仲裁器结构可以满足 24 帧/s 以上的需要,并且比现在通用的双 SDRAM 乒乓操作的方案价格要低、复杂

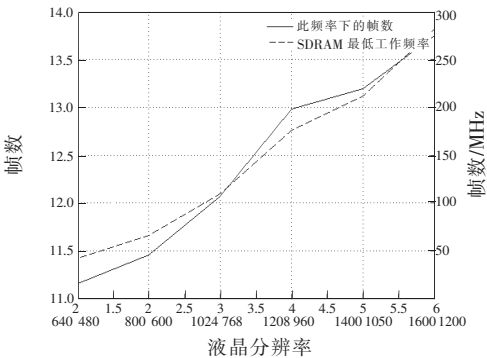


图 7 不同液晶规格的仿真测试  
Fig. 7 Simulation of different VGA timing

