

文章编号: 1007-2780(2013)04-0471-08

搭桥晶粒多晶硅薄膜晶体管

郭海成¹, 周 玮¹, 陈荣盛¹, 赵淑云¹,
张 猛¹, 王 文¹, 陈树明², 周南云²

(1. 香港科技大学 显示技术研究中心, 香港, E-mail: eekwok@ust.hk;

2. 广东中显科技有限公司, 广东 佛山 528225)

摘 要: 提出了一种薄膜晶体管的新结构。这种新结构充分发挥了短沟道效应和多结效应的优点。通过器件模拟, 验证了此种器件结构的物理机制。通过应用这种新结构, 薄膜晶体管的阈值电压、伪亚阈值斜率、开关电流比和场效应迁移率都大幅改善, 并且器件的热载流子和自加热可靠性也得到了极大的改善。

关 键 词: 搭桥晶粒; 多晶硅; 薄膜晶体管

中图分类号: TN321⁺.5

文献标识码: A

DOI: 10.3788/YJYXS20132804.0471

Bridged-Grain Polycrystalline Silicon Thin-Film Transistors

KWOK Hoi-Sing¹, ZHOU Wei¹, CHEN Rong-sheng¹, ZHAO Shu-yun¹,
ZHANG Meng¹, WONG Man¹, CHEN Shu-ming², CHOW Thomas²

(1. Center for Display Research, Hong Kong University of Science and Technology,

Hong Kong, China, E-mail: eekwok@ust.hk;

2. Sinodisplay Technology Co., Ltd, Foshan 528225, China)

Abstract: A new structure for thin-film transistors is proposed and demonstrated, exhibiting the benefits but not the drawbacks of both short-channel and multi-junction effects. Simulations are performed to verify the physics of this device structure. All characteristics such as threshold voltage, pseudo subthreshold slope, on-off current ratio and field-effect mobility are improved. Furthermore, device hot carrier and self-heating reliability are also improved by this new structure.

Key words: bridged-grain; polycrystalline silicon; thin-film transistors

1 引 言

高分辨率显示器需要薄膜晶体管(TFT)阵列有源矩阵(AM)背板。应用高品质的 TFT, 还可以将外围驱动电路集成到同一块玻璃面板上。为了实现这些目标, 对 TFT 的性能也有各种要求。最重要的参数是载流子迁移率(μ), 阈值电压(V_{th}), 和源极-漏极电流的开关比。伪亚阈值

斜率(SS)在一定程度来说, 对于电路应用也是一个重要的参数。

尽管非晶硅材料的迁移率低, 但是通过增大沟道宽度, 减小数据线的电阻和电容, 非晶硅 TFT 仍已成功地用于高清晰度 AM 液晶显示器(LCD)中。但非晶硅技术的发展目前已经达到极限, 譬如, 它不能应用在高清晰新型有机发光二极管(OLED)显示器, 该显示器需要持久稳定的像素

收稿日期: 2013-04-15; 修订日期: 2013-05-12

基金项目: 香港研究资助局主题研究计划项目(No. T23-713/11-1)

作者简介: 郭海成(1951—), 男, 博士, 教授, 主要研究显示技术、薄膜材料及薄膜半导体技术。

电流,必须使用高迁移率的 TFT。低温多晶硅(LTPS)TFT 具有更高的 μ , 适合应用于 OLED 显示器^[1]。金属氧化物(MO)TFT 亦是另一个可能的选择^[2-3]。

目前已经有多种成熟的 LTPS 技术,如激准分子激光晶化(ELC)^[4]、固相晶化(SPC)^[5]以及金属诱导晶化(MIC)^[6]等。对于每一种技术,都有许多新的衍生技术。例如,对于 ELC,最成功的衍生技术是 SLS^[7]。对于 MIC,衍生技术有金属诱导横向晶化(MILC)^[8],金属诱导单向结晶(MIUC)^[9]和借助覆盖层的金属诱导结晶(MICC)^[10]。对于 MO TFT,也可以选择非晶铟镓氧化物^[11]或多晶氧化锌 TFT^[12]。

在商业化方面,最成功的技术是 ELC。采用 ELC 技术的 4.5 代和 5.5 代生产线已实现大规模生产,为手机和平板电脑制造 AMLCD 和 AMOLED 面板。其他技术因为器件性能限制或制造工艺不成熟而尚未成功应用。例如,SPC TFT 虽然制造工艺简单,但是 V_{th} 很高,SS 也较差。SPC TFT 的 μ 低于 $20 \text{ cm}^2/\text{V} \cdot \text{s}$,SS 超过 $1 \text{ V}/\text{dec}$ 。MIC TFT 虽然性能略好,但对于 AMOLED 面板的应用来讲还是稍为不足,不能稳定地达到高清显示的要求。

文中提出一种 TFT 结构(被称为搭桥晶粒,或简称为 BG),可以改善 MIC 和 SPC TFT 的电学特性,使得这些 TFT 的特性可与 ELC 和 TFT 相媲美,从而应用于驱动高分辨率显示器以及 OLED 显示器。这种结构可以应用到任何多晶硅 TFT,我们简称这个技术为 BG-TFT 技术,它的生产成本比 ELC 低得多,稳定性比 MO 好,应该有广阔的应用前景。

2 BG-TFT 的器件结构

BG-TFT 结构的平面示意图和剖视图如图 1 所示。狭窄的高浓度掺杂的 BG 区域沿沟道长度方向均匀分布。BG 区域的掺杂类型与源漏区域相同,从而将栅极覆盖下的有源层分离成一系列较短的沟道。相邻的 BG 区域之间的距离,有意设计成较短的长度,使得当单个 TFT 具有此长度的沟道时,能够表现出一定程度的短沟道效应(SCE)。

BG TFT 的制作过程简单,不需要对现存的光刻版进行任何改造。为了形成重掺杂的 BG 区

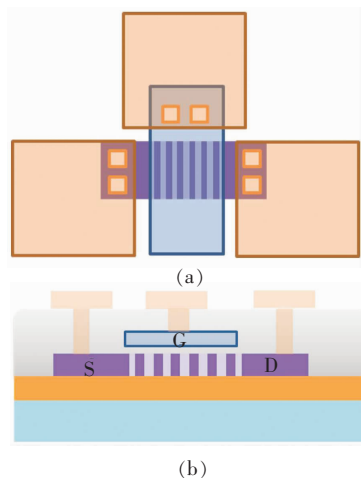


图 1 BG TFT 的器件结构. (a)平面视图;(b)剖面视图.
Fig. 1 Structure of a BG TFT. (a) Plan- and (b) cross sectional schematic views.

域,我们需要对多晶硅层进行选择性的离子注入。这个过程的主要步骤包括:(1)形成一个光栅型的光刻胶层;(2)离子注入;(3)去除光刻胶。

为了将光刻胶层形成较为精密的光栅结构(若需要 $1 \mu\text{m}$ 或以下的周期),可以采用激光干涉光刻法或者纳米压印技术。若使用 $2 \mu\text{m}$ 以上的周期,用普通光刻设备已经完全可以制成。BG 的主要步骤示意图如图 2 (以使用纳米压印技术为例)。

图 3 给出一个扫描电子显微镜拍摄的纳米压印制成的光栅的图像。

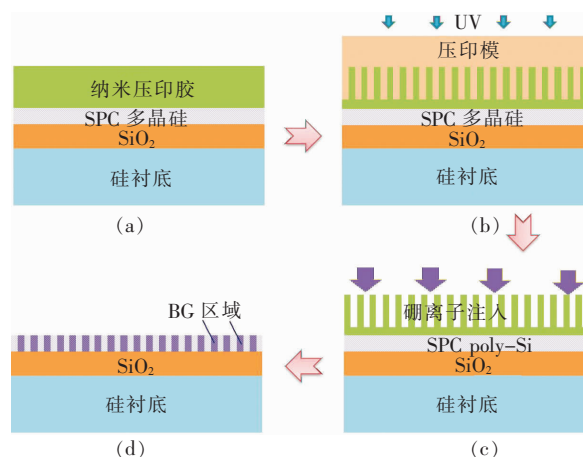


图 2 BG 的制造过程(以使用纳米压印技术为例). (a)旋涂纳米压印胶;(b)压印和 UV 固化;(c)离子注入;(d)移除纳米压印胶层.

Fig. 2 Fabrication process of BG. (a) Spin coating of nanoimprint resist; (b) Nanoimprinting and UV curing; (c) Boron ion implantation; (d) Resist removal.

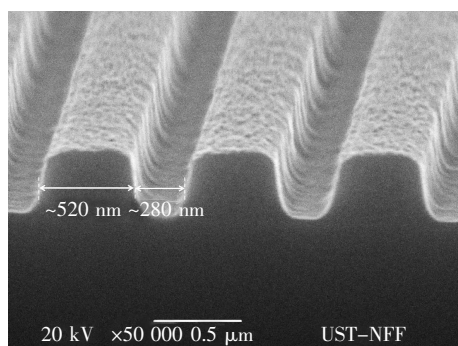


图 3 扫描电子显微镜图像压印胶层

Fig. 3 SEM image of nanoimprint grating layer

图 3 为 800 nm 周期的光栅,离子注入后可以形成相应周期的 BG 区域。由于这个步骤并不需要和其他图形层进行对准,所以不需要任何对版标志和对位设备。因此使用纳米压印或激光干涉光刻法是可行的。与使用普通多栅结构相比,使用亚微米级尺寸的 BG 区域可大大节省占用面积。

BG-TFT 有几个特别效果。我们可以用 P 型 TFT 为例,沟道是 n^- 掺杂,源漏是 p^+ 掺杂, BG 区域也是 p^+ 掺杂。当加入 BG 区域以后,沟道变成是 $p-n-p-n\cdots p$ 状态,可见:(1)在不通电时, BG-TFT 与多栅极 TFT 一样,漏电很低。(2)在导通状态,因为 p^+ 的 BG 线是导电的, BG 线之间距离短,电阻率降低,迁移率提高,这个效果我们在下文详细讨论。(3) BG-TFT 等于很多短沟道 TFT 的串联,利用 SCE 来降低 V_{th} ,改善 SS 和增加 μ 。而且因为每一个短沟道 TFT 上施加的 V_{ds} 等于整个 BG-TFT 的 V_{ds} 的 $1/N$ (N 是 BG 数目),所以一般单个短沟道 SCE 带来的不利影响,例如较高的漏电流,热载流子等,不会产生。就是说, BG-TFT 有短沟道 TFT 的好处而没有它的坏处。短沟道器件在较高 V_{ds} 下的漏电流由于 BG 结构所固有的多结作用^[13]而得到有效抑制。良好的开态特性和较低的关态漏电流即为我们所提出的“BG”效应。

我们用下面的实验结果可以证明上面(2)提到的迁移率提高效果。在这个实验中,我们测量了 SPC 薄膜上两个 BG 电极间的电阻率。本实验中, SPC 薄膜的厚度为 100 nm。SPC 薄膜由低压化学气相沉积的非晶硅薄膜经 24 h 600 °C 氮气退火获得。我们将此 SPC 薄膜经硼离子轻度

掺杂(掺杂浓度为 $8 \times 10^{17}/\text{cm}^3$),并制作成具有固定宽度($10 \mu\text{m}$),不同长度($20 \sim 0.3 \mu\text{m}$)的条形电阻结构,测量其电阻并计算电阻率。为了保证结果的准确性,对同样结构共测量并计算了 6 组数据。计算结果在图 4 中给出。

多晶硅的电阻主要源于晶体硅本身的电阻和晶界势垒的电阻。很明显,当电阻的长度大于 $5 \mu\text{m}$,电阻率几乎是一个常数。当长度小于 $5 \mu\text{m}$,多晶硅电阻率随着电阻长度减小而呈下降趋势。当电阻长度下降到 $0.4 \mu\text{m}$,电阻率几乎下降到原有值的一半。这个结果证明,当器件结构长度减小到与晶粒大小相当时,多晶硅电阻率显著减小。这意味着晶界势垒对电阻率的影响变小。在 BG TFT 中,我们发现 BG 线宽 $2 \mu\text{m}$ 时, TFT 已经有明显改进,当然采取较短的 BG 线宽产生更强的短沟道效应和多结效应,抑制晶界势垒对器件的不利影响,增大载流子迁移率,同时 BG 线宽小 BG 线多对 TFT 的均匀性有好处。

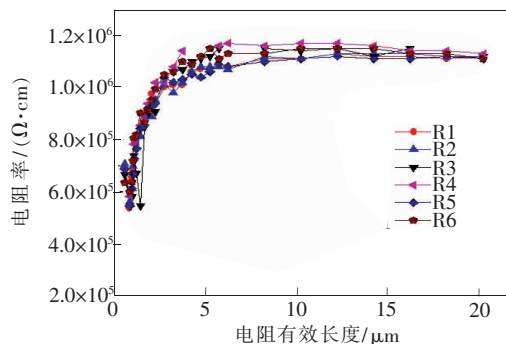


图 4 不同长度的多晶硅电阻的电阻率计算结果

Fig. 4 Calculated resistivity of the poly-Si resistors as a function of effective resistor length

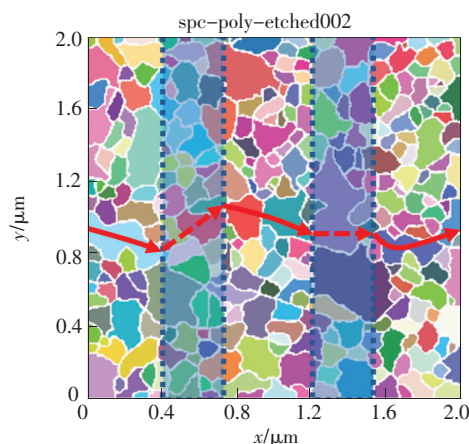


图 5 BG 多晶硅中的电流示意图

Fig. 5 Schematics of current flow in BG poly-Si

加入 BG 结构之后的电流流动示意图如图 5 所示。在 $2\ \mu\text{m} \times 2\ \mu\text{m}$ 大小的区域中,存在着大量的大小不一的多晶硅晶粒。由虚线包围着的蓝色的区域代表着一个 BG 区。红色的箭头示意电流的主要流动路径。在沟道范围内,电流主要沿着电阻较小(晶界较少)的路径流动。而在导电的 BG 区域内,电流沿着可以直接导向下一段沟道中电阻最少路径的方向流动,从而为载流子提供捷径。

3 短沟道效应和 BG 结构的模拟

BG 结构实质上是一组串联连接的短沟道 TFT。考虑导通能力,短沟道效应可以降低 V_{th} ,从而提供较强的驱动能力和提高电路速度^[14]。这些已经被模拟^[15-16]和实验^[17-18]所验证。

本段使用 Silvaco ATLAS 对于单栅 TFT 的沟道长度(L)对传输特性、 V_{th} 、SS 和势垒高度的影响进行了模拟。模拟结果示于图 6(a)~(d)。

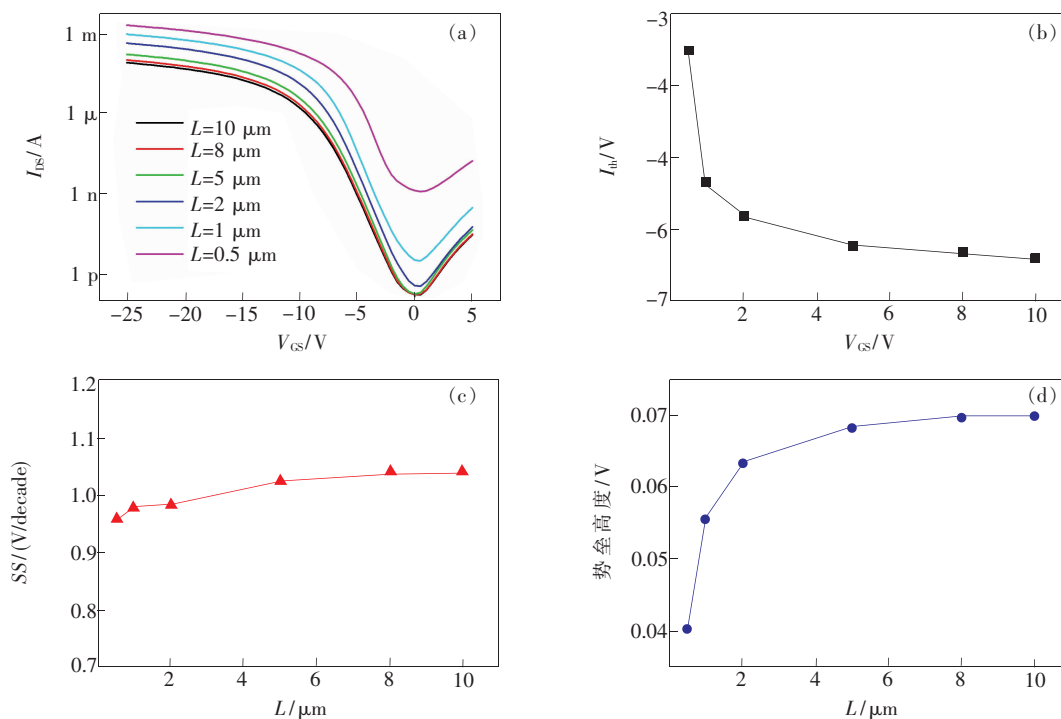


图 6 短沟道多晶硅 TFT 模拟结果. (a) 转移特性; (b) 阈值电压; (c) SS 及 (d) 势垒高度.

Fig. 6 Simulation results of short channel poly-Si TFTs. (a) Transfer characteristics; (b) Threshold voltage; (c) SS and (d) Potential barrier height.

从图 6(a)可见,当 L 减小至 $4\ \mu\text{m}$,器件的阈值电压开始显著下降,开态电流也显著增大。 V_{th} 的变化趋势见图 6(b)。 L 的变化对于 SS 的影响在图 6(c)中给出。短沟道器件的 V_{th} 变化的主要根源是漏极感应势垒降低(DIBL)以及碰撞电离导致的浮体效应。图 6(d)给出短沟道器件的势垒降低效应。势垒降低的趋势与 V_{th} 的变化趋势相吻合。对于多晶硅 TFT,沟道长度 L 的缩小将导致陷阱密度降低^[19]从而改善 SS。

单个短沟道 TFT 存在的问题与单晶硅晶体

管类似。DIBL 和浮体效应导致关态电流增加。然而,BG TFT 本质上是一个由一系列短沟道 TFT 构成的多栅器件。作用在单个沟道上的有效的漏极-源极电压(V_{ds})实际上很小,DIBL 带来的漏电流等不利影响因而得以缓解。通过对关态沿沟道的电场分布的模拟,多结效应的作用得以说明,如图 7 所示。比较图 7(a)及(b)的结果,加入 BG 结构后,在漏极附近的电场峰值显然大大降低,这缓和了通过晶界陷阱的场致发射,并因此减少了 BG-TFT 的漏电流。

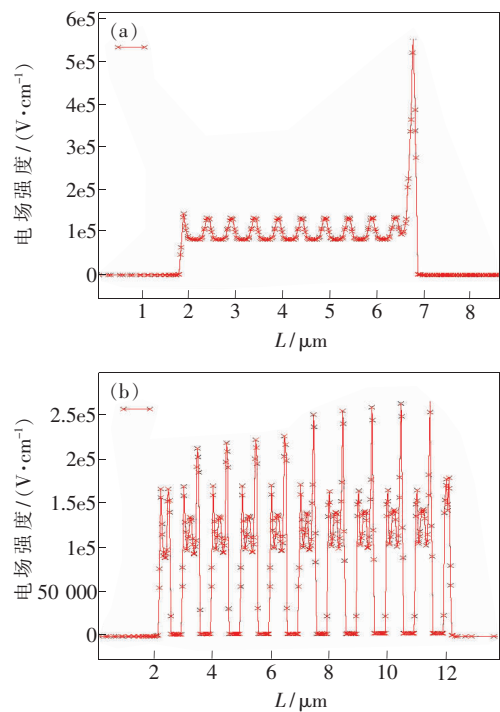


图 7 有/无 BG 结构的 TFT 沿沟道电场分布模拟结果。
(a)无 BG 的 TFT 沟道电场分布;(b)BG-TFT 沟道
电场分布。
Fig.7 Electric field distribution for TFT with/without
the BG lines. (a) Electric field distribution of the
normal TFT and (b) Electric field distribution of
the BG TFT.

4 实验结果和讨论

本实验中,分别制作了有/无 BG 结构的 SPC 和 MIC TFT 进行特性比较。关键制程参数在表 1 中总结标示。两种 TFT 采用了不同的 BG 结构周期,分别为 1 μm 和 4 μm。SPC 和 MIC 的 TFT 的沟道长宽比(W/L)分别为 10 μm /12 μm 和 160 μm/40 μm。即有源区中分别存在 12 及 10 个短沟道。

有/无 BG 结构的 SPC 和 MIC 的 TFT 的传输特性如图 4 所示。提取的器件特性参数总结于表 2。此处 V_{th} 定义为在 $V_{ds}=0.1\text{ V}$ 条件下 I_d 达到 $(W/L)\times 10^{-8}\text{ A}$ 时的 V_g 。场效应迁移率(μ_{FE})由跨导 (G_m)的最大值依照公式:

$$\mu_{FE} = \frac{LG_m}{WC_{ox}V_{ds}}$$

推算,此处 $C_{ox}=6.9\times 10^{-4}\text{ F}\cdot\text{m}^{-2}$ 。

对于 SPC 和 MIC TFT,虽然 BG 区域的周

表 1 TFT 制程的关键参数
Table 1 Key process parameters for TFT

	有源层	栅氧化物	BG 周期 掺杂条件
MIC	50 nm 非晶	50 nm	不适用
BG-MIC	硅, 溅射 Ni-Si, 退火 600 ℃ 10 h	SiO ₂	4 μm 周期, 2 μm 间距, 硼 离子 15 keV, 4×10 ¹⁵ /cm ²
SPC	100 nm 非		不适用
BG-SPC	晶硅, 退火 600 ℃ 24 h	50 nm SiO ₂	1 μm 周期, 0.5 μm 间距, 硼 离子 30 keV, 2×10 ¹⁵ /cm ²

表 2 有/无 BG 的 TFT 的特性参数提取
Table 2 Extracted parameters for BG and reference
TFTs

	MIC	BG-MIC	SPC	BG-SPC
V_{th}/V	-5.9	-2.6	-13.20	-10.00
$SS/(\text{mV}/\text{dec})$	590.00	480.00	1 130	1 040
开关比 ($\times 10^7$)	0.13	0.99	0.07	1.79
$\mu_{FE}/(\text{cm}^2/\text{V}\cdot\text{s})$	34.60	65.80	13.40	44.00

期不同,但是在 BG TFT 中均观察到 V_{th} , SS 和电流开关比的大幅度改善,如图 8(a)和(b)所示。

加入 BG 结构之后,对于 SPC 和 MIC TFT,器件最大开态电流达到了无 BG 的 TFT 的 5.18 和 2.52 倍。很显然,开态电流的增大不止 2 倍,因此不是单纯由于等效沟道长度的变化引起的。此外, V_{th} 的降低, SS 和漏电流的改善显然不是随着有效沟道长度按线性比例变化,而是由于如前面所讨论的 SCE 和多结效应所致。

SPC/BG-SPC 的 TFT 的输出特性如图 9 所示。无 BG 的 SPC TFT 的输出特性曲线可以在较高漏极电压下观察到明显翘曲。翘曲效应的主要原因是在漏极电压较高时漏极附近的碰撞电离。由于绝缘体上硅(SOI)也具有类似 TFT 的浮体结构,因此翘曲效应也在 SOI 器件中发生。然而,在多晶硅 TFT 中,被俘获在晶界的载流子可以在高电场下被释放出来,因此导致翘曲效应比 SOI 更严重^[20]。与没有 BG 结构的 TFT 相比,

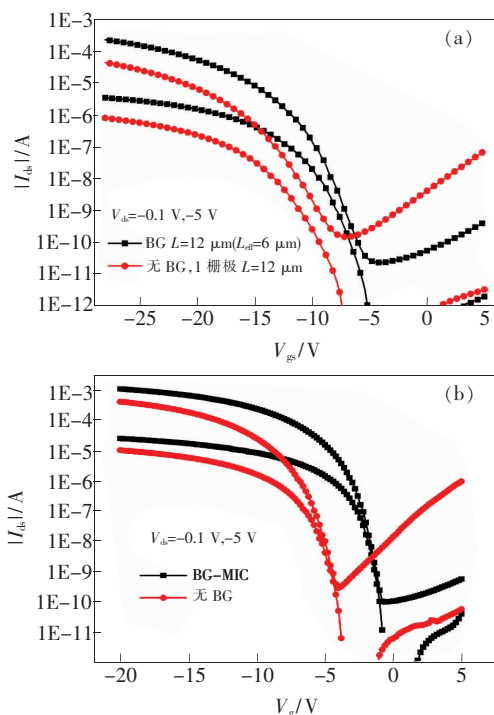


图 8 转移特性曲线。(a)SPC 和 BG-SPC TFT;(b)MIC 和 BG-MIC TFT。

Fig. 8 Transfer characteristics of (a)SPC/BG-SPC TFTs and (b) MIC/BG-MIC TFTs

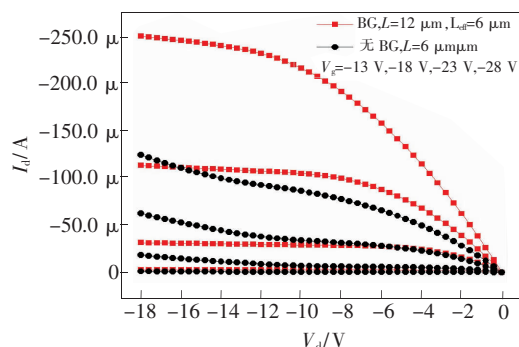


图 9 SPC 和 BG-SPC TFT 的输出特性曲线

Fig. 9 Output characteristics of SPC/BG-SPC TFTs

由于 BG-TFT 漏极附近的电场较低, BG-TFT 的翘曲效应被有效抑制, 如图 5 所示, 暗示着 BG-TFT 会抑制器件热载流子退化。

通过施加热载流子电应力和自加热电应力, BG-TFT 的可靠性也被评估, 如图 10 和图 11 所示。

图 10 为在相同热载流子应力下, SPC 和 BG-SPC TFT 转移特性曲线退化比较。可以很明显的看到, 采用 BG 沟道器件的热载流子退化被极大的改善。正如上文所讨论, 这主要归功于漏极

附近的电场被 BG 结构极大的削弱而致。图 11 是相同功率自加热应力下, SPC 和 BG-SPC TFT 转移特性曲线退化比较。同样可以看出, 在相同功率应力下, BG-SPC TFT 的自加热效应的退化明显比普通 SPC TFT 的退化要小的多。这可能要归功于 BG 沟道缺陷态密度的减少。总的来说, 就热载流子退化和自加热退化而言, BG-TFT 的可靠性要优于普通的 TFT。

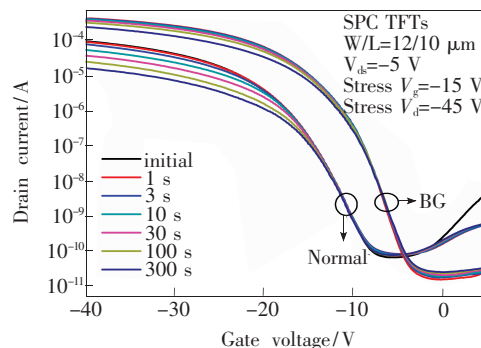


图 10 在相同热载流子应力下, SPC 和 BG-SPC TFT 转移特性曲线退化比较。

Fig. 10 Comparison of transfer curve degradation of normal SPC TFT and BG-SPC TFT under the same hot carrier stress

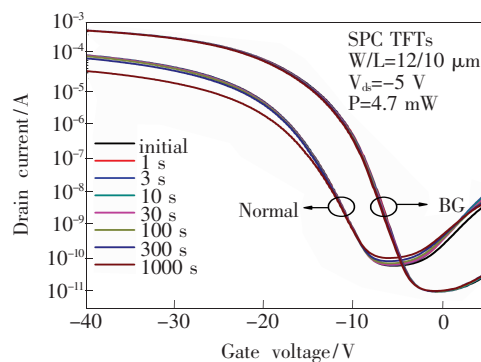


图 11 在相同功率自加热应力下, SPC 和 BG-SPC TFT 转移特性曲线退化比较。

Fig. 11 Comparison of transfer curve degradation of normal SPC TFT and BG-SPC TFT under the self-heating stress with the same stress power

5 结 论

提出并论证了一个新的 TFT 器件结构以改善器件特性。对 BG TFT 的导通机制进行了研究。BG 选择性地利用了 SCE 的优点, 并通过多结效应减轻了漏极电场, 从而减轻了漏电流和扭结效应。

BG 结构适用于所有的 LTPS 技术,它能大大改善 SPC 和 MIC TFT 的性能,无论 V_{th} 、 μ 、SS 等电参数都可以与 ELC 比美,但是生产成本明显降低。与金属氧化物 TFT 相比,MIC 有稳定性

高的优势,而且与一般非晶硅生产技术匹配,所以利用 MIC 的 BG-TFT 具有实现大规模生产的潜力,尤其是在 AMOLED 器件上,具有强大竞争力。

参 考 文 献:

- [1] Meng Z, Chen H, Qiu C, *et al.* Application of metal-induced unilaterally crystallized polycrystalline silicon thin-film transistor technology to active-matrix organic light-emitting diode displays [C]//*International Electron Devices Meeting*, 2000. *IEDM'00. Technical Digest*, 2000;611-614.
- [2] Nomura K, Ohta H, Takagi A, *et al.* Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors [J]. *Nature*, 2004, 432:488-492.
- [3] Masuda S, Kitamura K, Okumura Y, *et al.* Transparent thin film transistors using ZnO as an active channel layer and their electrical properties [J]. *J. Appl. Phys.*, 2003, 93(3):1624-1630.
- [4] Morita Y, Noguchi M. UV pulsed laser annealing of Si⁺ implanted silicon film and low-temperature super-thin film transistors [J]. *Japanese Journal of Applied Physics Part 2-Letters*, 1989, 28:L309-L311.
- [5] Hatalis M, Greve D. High-performance thin-film transistors in low-temperature crystallized Lpcvd amorphous-silicon films [J]. *IEEE Electron Device Letters*, 1987, 8(8):361-364.
- [6] Zhao S Y, Meng Z G, Wu C Y, *et al.* Solution-based metal induced crystallized polycrystalline silicon films and thin-film transistors [J]. *Journal of Materials Science-Materials in Electronics*, 2007, 18(1):117-121.
- [7] Im J, Crowder M, Sposili R, *et al.* Controlled super-lateral growth of Si films for microstructural manipulation and optimization [J]. *Physica Status Solidi A-Applied Research*, 1998, 166(2):603-617.
- [8] Lee S, Joo S. Low temperature poly-Si thin-film transistor fabrication by metal-induced lateral crystallization [J]. *IEEE Electron Device Lett.*, 1996, 17(4):160-162.
- [9] Meng Z, Wang M, Wong M. High performance low temperature metal-induced unilaterally crystallized polycrystalline silicon thin film transistors for system-on-panel applications [J]. *IEEE Transactions on Electron Devices*, 2000, 47(2):404-409.
- [10] Sohn W, Choi J, Kim K, *et al.* Crystalline orientation of polycrystalline silicon with disklike grains produced by silicide-mediated crystallization of amorphous silicon [J]. *J. Appl. Phys.*, 2003, 94(7):4326-4331.
- [11] Yabuta H, Sano M, Abe K, *et al.* High-mobility thin-film transistor with amorphous InGaZnO₄ channel fabricated by room temperature rf-magnetron sputtering [J]. *Appl. Phys. Lett.*, 2006, 89(11):112123(1-3).
- [12] Hoffman R, Norris B, Wager J. ZnO-based transparent thin-film transistors [J]. *Appl. Phys. Lett.*, 2003, 82(5):733-735.
- [13] Proano R, Misage R, AST D. Development and electrical-properties of undoped polycrystalline silicon thin-film transistors [J]. *IEEE Transactions on Electron Devices*, 1989, 36(9):1915-1922.
- [14] Jeon J, Lee M, Park K, *et al.* A new polycrystalline silicon TFT with a single grain boundary in the channel [J]. *IEEE Electron Device Lett.*, 2001, 22(9):429-431.
- [15] Gaucci P, Valletta A, Mariucci L, *et al.* Role of field enhanced mechanisms and impact ionization on the threshold voltage of short channel polycrystalline silicon thin film transistors [J]. *Appl. Phys. Lett.*, 2008, 93(19):193512.
- [16] Brotherton S, Glasse C, Glaister C, *et al.* High-speed, short-channel polycrystalline silicon thin-film transistors [J]. *Appl. Phys. Lett.*, 2004, 84(2):293-295.
- [17] Valletta A, Gaucci P, Mariucci L, *et al.* Modelling velocity saturation and kink effects in p-channel polysilicon thin-film transistors [J]. *Thin Solid Films*, 2007, 515(19):7417-7421.
- [18] LIU, LEE K. An experimental-study on the short-channel effects in undergated polysilicon thin-film transistors with and without lightly doped drain structures [J]. *IEEE Electron Device Letters*, 1993, 14(3):149-151.
- [19] Noguchi T. Appearance of single-crystalline properties in fine-patterned Si thin-film transistors (TFTs) by solid-

phase crystallization (SPC) [J]. *Japan. J. Appl. Phys. Part 2-Letters*, 1993, 32:L1584-L1587.

- [20] Chen T, Yeh C, Lou J. Effects of grain boundaries on performance and hot-carrier reliability of excimer-laser annealed polycrystalline silicon thin film transistors [J]. *J. Appl. Phys.*, 2004, 95(10):5788-5794.



郭海成教授, the fellow of IEEE, OSA and SID, 亚太材料科学院院士,《液晶与显示》期刊主编,在显示技术方面开拓了崭新领域,做出多项重要贡献。郭海成教授 1973 年毕业于美国西北大学,1974 年及 1978 年在哈佛大学应用物理专业分别取得硕士及博士学位。1978 至 1980 年,在劳伦斯伯克利实验室(Lawrence Berkeley Laboratory)工作。1980 年至 1992 年任教于纽约州立大学水牛城分校电机及计算机工程学系,1985 年起担任终身教授。1984 年获得美国总统青年研究员奖,2000 年获得纽约州研究成就奖。1992 年加入香港科技大学,现任该大学显示研究中心主任,蒙民伟纳米讲座教授。目前的研究领域为显示技术、薄膜材料及薄膜半导体技术。发表论文 500 多篇,取得美国专利二十多项,2008 年出版专著《Photoalignment of Liquid Crystalline Materials》。

欢迎订阅《液晶与显示》

《液晶与显示》是中国最早创办的液晶学科专业期刊,也是中国液晶学科和显示技术领域中的唯一的综合性专业学术期刊。它由中国科学院长春光学精密机械与物理研究所、中国物理学会液晶分会和中国光学光电子行业协会液晶分会主办,科学出版社出版。

《液晶与显示》以创新性、综合性、实用性为办刊特色,内容丰富,涵盖面广,信息量大,可读性强,既是启迪科技人员开拓创新思路的参考期刊,又是从事液晶和显示技术与开发的广大科技人员、大专院校师生及相关领域的科技工作者进行学术交流的论坛,也是图书、情报等部门必不可少的信息来源。

《液晶与显示》为双月刊,国内定价 40.00 元,全年 240.00 元,国内外公开发行。国内邮发代号:12-203,国内读者可在当地邮局订阅;也可通过“全国非邮发报刊联合发行部”订阅(E-mail:lhzd@public.tpt.tj.cn,网址:www.lhzd.com),本刊的代号为:5074。国外读者可通过中国国际图书贸易总公司订阅(电话:010-68433171),国外发行代号:4868BM。同时,《液晶与显示》编辑部将竭诚为广大读者服务,随时办理订阅。

地 址:长春市东南湖大路 3888 号 中国科学院长春光学精密机械与物理研究所

《液晶与显示》编辑部

邮 编:130033

电 话:0431-86176059 0431-84613406

传 真:0431-84627061

E-mail: yjxs@ciomp.ac.cn; yjyxs@126.com

http://www.yjyxs.com