

文章编号:1007-2780(2013)02-0238-06

BT. 656 数字视频流的处理及其硬件实现

刘云川, 龚向东*

(深圳大学 电子科学与技术学院, 深圳市微纳光子信息技术重点实验室, 深圳 518060, E-mail:nyc1893@163.com)

摘 要: BT. 656 格式数字视频流是一种广泛应用的视频流。然而, 显示设备(如 LCD 液晶显示器、大面阵 LED 显示屏以及部分微投影器件)仅能直接显示 RGB 色彩空间的视频信号。BT. 656 视频流转为 RGB 视频流要进行解交织、隔行到逐行、色空间转换等处理。文章介绍了 BT. 656 数字视频格式协议, 着重阐述了在现场可编程门阵列平台上处理成 24 位 RGB 色空间逐行视频的实现方式。利用 Verilog-HDL 语言进行电路描述, 在单片多端口 SDRAM 时序控制器进行视频数据的储存, 并完成后续处理, 视频系统在自主研制的微投影系统上进行了验证, 实现了 24 位真彩色 852×480 、30 帧每秒实时处理和传输。文章实现的方案稳定可靠、便于移植、开发周期短, 硬件开销小, 色空间转换中避免了繁琐的浮点运算, 仅占用 1 783 个逻辑单元。

关 键 词: 视频处理; 现场可编程门阵列; 微投影; ADV7181; Verilog-HDL

中图分类号: O753⁺.2 **文献标识码:** A **DOI:** 10.3788/YJYXS20132802.0238

Processing and Hardware Implementation of BT. 656 Digital Video Stream

LIU Yun-chuan, GONG Xiang-dong*

(College of Electronic Science and Technology, Shenzhen University, Shenzhen Key Laboratory of
Micro-Nano Photonic Information Technology, Shenzhen 518060, China, E-mail:nyc1893@163.com)

Abstract: BT. 656 is a wildly used digital video Stream. However, display devices, such as LCD monitor, LED display area array, as well as part of the micro-projection devices, can only be displayed directly to the video signal of the RGB color space. The conversion from BT. 656 to RGB Video Stream consists processing of de-interleave, interlaced to progressive, color space conversion. BT. 656 protocol was introduced, and platform based on field programmable gate array implementation of the progressive video of the 24-bit RGB color space was expounded. System on Chip which video information was stored by utilizing multi-port SDRAM timing controller, and then in turn to complete the follow-up processing was designed by Verilog Hardware Hardware Description Language. The system was verified on an independent developed Micro-Projection system, 24-bit true color of resolution up to 852×480 at 30 frames per second in real-time processing and transmission was achieved. Then, the system is flexible, reliable, of short development cycle and cost-saving in hardware (merely accounted for 1 783 logic elements), which avoids cumbersome floating-point operations in color space conversion.

Key words: video processing; field programmable gate array; micro-projector; ADV7181; verilog hardware hardware description language

收稿日期: 2012-09-05; 修订日期: 2012-09-28

基金项目: 国家自然科学基金仪器专项(No. 61027014); 深圳市微纳光子信息技术重点实验室开放基金项目(No. MN201114)

作者简介: 刘云川(1984—), 男, 江西南昌人, 硕士, 研究方向为光电仪器中的嵌入式系统设计。

* 通信联系人, E-mail:gongxd@szu.edu.cn

1 引 言

BT. 656 格式数字视频流广泛地用于摄像机、各类安防设备以及视频工作站中,一般可由专用的视频解码芯片将模拟视频信号转换生成。然而,许多显示设备,如 LCD 液晶显示器、大面阵 LED 显示屏以及部分微投影器件,仅能直接显示 RGB 色彩空间的视频信号,BT. 656 视频流转为 RGB 视频流要进行解交织、隔行到逐行、色空间转换等处理。

结合本实验室的应用需求,即短时间开发精简的视频系统以满足微型投影器件的校准和优化需要。BT. 656 格式数字视频流的处理有采用单片机(MCU)或数字信号处理器(DSP)通过软件编程来处理^[1-2],要么处理速度较慢,实时性不好,或是需要额外提供显示时序控制器,且开发周期较长;或使用专门的 ASIC 芯片来处理,但其在图像分辨率和帧率要求比较高的场合无法获得令人满意的效果,且灵活性和可扩展性不佳。具备高速并发处理能力的 FPGA 显然已经非常适合于高性能低成本的视频和图像处理^[2],就显示缓存而言,要么采用片内 RAM 充当线缓冲^[3](line buffer),但是其缓存空间有限,在更高分辨率显示设备上其显示稳定性不佳,或采用双片 SDRAM 乒乓操作^[2,4,5],这样增加了系统硬件开销,增加了 PCB 布板的困难。ALTERA 公司提供了 Video and Image Processing Suite^[6](VIP)知识产权核,可稳定的处理 BT. 656 格式数字视频流,但其处理方式复杂、结构繁琐(包含将近 10 余个模块)硬件开销庞大(往往占用 7k-9k 逻辑单元)且涉及知识产权授权问题。

本文采用单片多口的 SDRAM 控制器既增大了缓存空间又减小了微型化 PCB 布板的困难,还避免了色空间转换中的浮点运算问题,视频系统仅占用 1 783 逻辑单元,可扩展性能良好。该系统适合实验室显示设备的调制和视频系统的快速搭建,为日后显示器件的高清显示奠定基础。

2 BT. 656 概述

国际电信联盟无线电通信组发布了 ITU-BT. 656 的视频标准^[7],有利于减少带宽、抗干扰并兼容黑白彩色电视信号,它规定了专业视频中 NTSC 制式(480 行)和 PAL 制式(576 行)的传输

标准,其串行数据位宽:8 位或 10 位,以 8 位的数据流为例,其行数据如图 1(a)所示,FF、00、00、XY 4 个字节为数据头,其中 XY 字节(图 1(c))中的数位标识 EAV(有效视频结束)和 SAV(有效视频起始)等信息。SAV 信号后为 1 440 个 YUV 4 : 2 : 2 格式的有效数据。

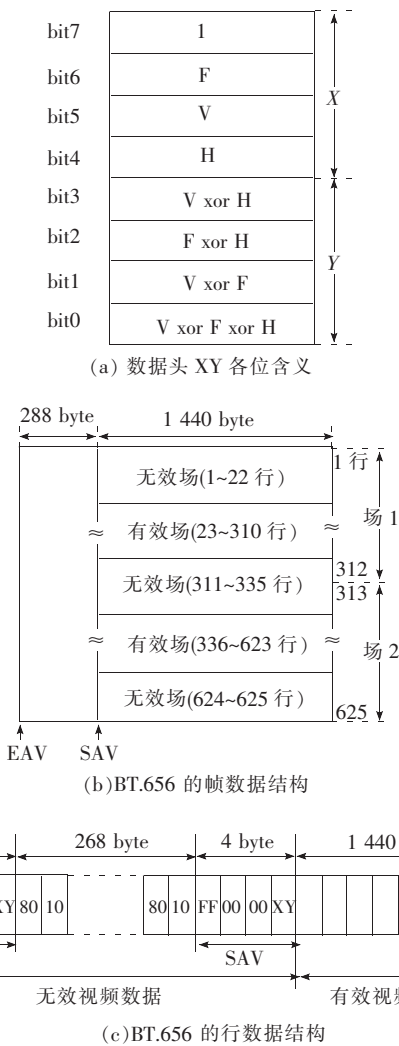


图 1 BT. 656 的行/帧数据结构

Fig. 1 Line /Frame structure of BT. 656 data stream

完整的一帧 BT. 656 数据分为两场,是将源视频经过 2 场的隔行扫描而成,帧数据结构如图 1(b)所示。PAL 制式中 1-312 行表示场 1,313-625 行表示场 2,其中有效场为 23-310 行,和 336-623 行,可由 SAV 和 EAV 中的标志信号来标示有效场和无效场。

帧头中的 XY 字节:其中的高 4 位由固定数据 1(最高位),F(场标志位),V(行无效标志位),H(控制字标志位)构成和低 4 位表示的是 F,V,

H 的校验运算结果。F=0 时表示场 1,F=1 时表示场 2。V=0 表示该行为有效行数据,V=1 表示该行为无效的线数据。H=0 表示为 SAV 信号,H=1 表示为 EAV 信号。

3 BT. 656 转 RGB 色空间的视频处理

从模拟的复合视频信号到数字的 BT. 656 视频流,可通过专门的视频解码芯片完成。为满足显示设备的需求,将其处理为 24 位 RGB 逐行的视频数据,一般可分为如下几个部分,如图 2 所示。

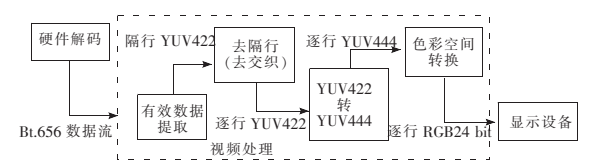


图 2 视频处理流程
Fig. 2 Flowchart of video processing

(1)有效数据提取:当检测到数据头 SAV,判断计数值和行有效信息,满足则提取后续的有效视频数据。

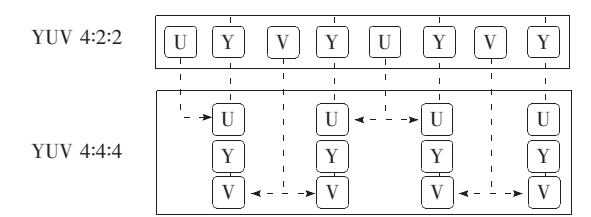


图 3 YUV422 转 YUV444 示意图
Fig. 3 Diagram of conversion from YUV422 to YVU444

(2)去隔行:将隔行的奇场、偶场视频数据合并为逐行的视频数据。

(3)YUV422 转 YUV444:通过最邻近插值,将串行的 YUV422 信号(每 4 个亮度分量对应 2 个红色度,2 个蓝色度)转为并行的 YUV444(每 4 个亮度分量对应 4 个红色度,4 个蓝色度)信号,转换关系如图 3 所示。

(4)色空间转换:8 位的 Y、U、V 转为 8 位的 R、G、B 对应的关系如下:

$$R=1.164\times(Y-16)+1.596\times(U-128)$$
$$G=1.164\times(Y-16)-0.813\times(U-128)-0.392\times(V-128)$$
$$B=1.164\times(Y-16)+(V-128)$$

4 硬件实现

ADV7181 是美国 ADI 公司生产的一款低功耗多功能模拟视频解码芯片,它可以自动检测 NTSC、PAL 和 SECAM 等标准的电视信号并将其转换为 16 位或 8 位的 BT. 656 YUV 4:2:2 格式的视频流。ADV7181 提供有 I²C 从接口,外部 I²C 主接口电路据此对 ADV7181 进行初始化工作配置^[7]。

采用 Verilog HDL 进行硬件描述,并于 FPGA 中配合微投影系统验证了该方案,其硬件结构如图 4 所示。完成 ADV7181 的初始化,随即得到 BT. 656 数据流,处理后产生符合微显示器件所需的 24 位 RGB 逐行视频信号和同步信号,此外,微显示器件有数 10 个可配置的内部寄存器,根据具体应用的需求,有 4 个寄存器必须通过 SPI

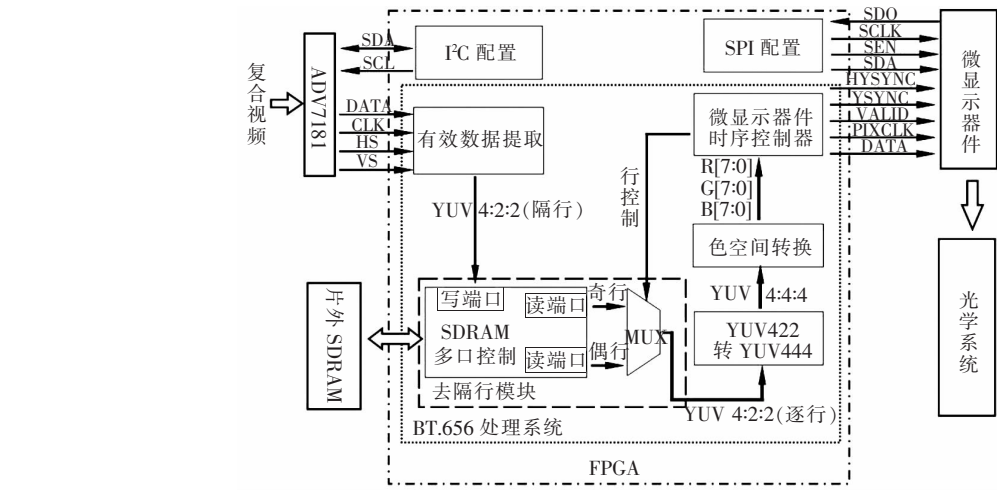


图 4 系统硬件结构
Fig. 4 Hardware system of the structure

配置完成初始化^[8],初始化后经光学系统投射完成显示。

4.1 有效数据提取

本模块将无效的视频数据剔除,并为去隔行模块提供控制信号,其关键代码如下:

```
wire FLAG = ((R3 == 8'hff) && (R2 == 8'h00) && (R1 == 8'h00)) ? 1'b0;
```

// FLAG 为检测到数据头: FF, 00, 00 时的标志。

```
input [7:0] TD_D; //输入的 8 位 BT.656 数据信号
```

```
output reg [15:0] YUV; //输出的 16 位 YUV 4:2:2 数据信号
```

```
always@(posedge clk)begin
```

```
    RR1=TD_D; RR2=R1; RR3=R2;
```

```
end
```

```
always@(negedge clk)begin
```

```
    R1=RR1; R2=RR2; R3=RR3;
```

```
end
```

```
reg SAV, Valid, Field;
```

```
always@(posedge clk)begin
```

```
    if(FLAG == 1)begin
```

```
        SAV=~TD_D[4]; //是否为 SAV 信号
```

```
        Valid= TD_D[5]; //是否为有效场数据
```

```
        Field=TD_D[6]; //处于哪一场
```

```
    end
```

```
end
```

串行的 YUV 数据用计数器标识,计数值为 0 和 2 时表示色度分量,1 和 3 时表示亮度分量,交替的形成 16 位视频数据,存入 SDRAM 缓存中。

```
always@(posedge clk)begin
```

```
    if(SAV) Cont<=18'h0;
```

```
    else if(Cont<1440) Cont<=Cont+1'b1;
```

```
    case(Cont[1:0])//计数标识
```

```
        0:U<=TD_D;
```

```
        1:YUV<={ TD_D,U};
```

```
        2:V<= TD_D;
```

```
        3:YUV<={ TD_D,V};
```

```
    endcase
```

```
end
```

4.2 去隔行

去隔行的处理需要同时读写同时进行,需要

多端口 SDRAM 控制器来实现,该控制器包括读写命令模块、读写 fifo 以及组成,需提供读或写的起始和结束地址即可在读或写时钟的配合下实现数据读写^[9]。对于 PAL 制式的 BT.656 视频可将各端口设置为:

```
Sdram_Control_4Port uu
```

```
    (.REF_CLK(CLK_27),
```

```
    //参考时钟 27MHz
```

```
    .RESET_N(1'b1),
```

```
    //写 FIFO
```

```
    .WR1_DATA(YUV),
```

```
    //写入 16 位视频数据
```

```
    .WR1(TV_DVAL),
```

```
    //写有效信号
```

```
    .WR1_ADDR(0),
```

```
    .WR1_MAX_ADDR(720×576),
```

```
    //写入 720×576 个数据
```

```
    .WR1_LENGTH(9'h80),
```

```
    //写入突发长度
```

```
    .WR1_CLK(TD_CLK),
```

```
    //写入缓存时钟
```

```
    //读 FIFO 端 1
```

```
    .RD1_DATA(m1YUV),
```

```
    .RD1(m1LCOS_Read),
```

```
    .RD1_ADDR(720×12),
```

```
    .RD1_MAX_ADDR(720×252),
```

```
    //给出奇数行地址范围
```

```
    .RD1_LENGTH(9'h80),
```

```
    .RD1_CLK(CLK_27),
```

```
    //读 FIFO 端 2
```

```
    .RD2_DATA(m2YUV),
```

```
    .RD2(m2LCOS_Read),
```

```
    .RD2_ADDR(720×300),
```

```
    .RD2_MAX_ADDR(720×540),
```

```
    //给出偶数行地址范围
```

```
    .RD2_LENGTH(9'h80),
```

```
    .RD2_CLK(CLK_27)
```

```
    ...
```

```
);
```

读信号根据列数的奇偶性来区分,处理过程的关键代码如下:

```
assign m1LCOS_Read = LCOS_Y[0]? 1'b0:
LCOS_Read;
```

```
// m1 段的存储空间对应的是奇数行数据,m2 段的存储空间对应的是偶数行数据
assign m2LCOS_Read = LCOS_Y[0]? LCOS_Read: 1'b0;
assign mYUV_d = ! LCOS_Y[0]? m1YUV: m2YUV;//读出的为逐行数据
```

4.3 YUV 4:2:2转 YUV 4:4:4

YUV 4:2:2串行数据流转变到的 YUV 4:4:4 的并行数据流的关键代码如下:

```
wire [7:0] oY, oU, oV;
reg [7:0] mY,mU,mV;
assign{oY,oU,oV}={mY,mU,mV};
// {oY,oU,oV}为输出的 YUV 4:4:4 信号 3 种颜色分量
always@(posedge clk)begin
    if(LCOS_X[0]) {mY,mU}<=mYUV;
//根据显示行像素的奇偶性进行选择,为输入的 4:2:2 信号 mYUV 送入相应的寄存器
    else {mY,mV}<=mYUV;
end
```

4.4 色空间转换

浮点运算开销较大,因此,对上式左右放大 128 倍转为定点计算,即:

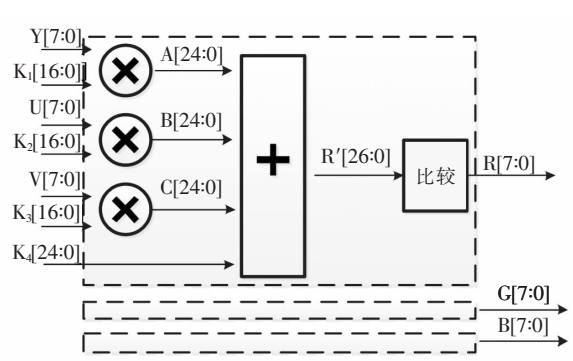
$$R' = 128 \times R = 149 \times Y + 204 \times U - 28\ 533 = K_1 \times Y + K_2 \times U + K_3 \times V + K_4$$
$$G' = 128 \times G = 149 \times Y - 50 \times U - 104 \times V + 17\ 342 = K_5 \times Y + K_6 \times U + K_7 \times V + K_8$$
$$B' = 128 \times B = 149 \times Y + 258 \times V - 35\ 447 = K_9 \times Y + K_{10} \times U + K_{11} \times V + K_{12}$$


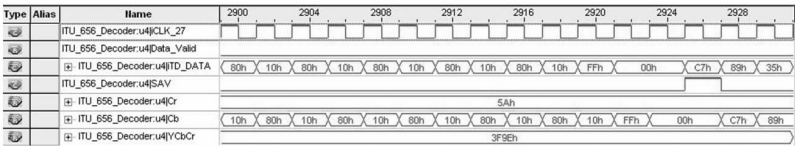
图 5 色空间转换电路原理图

Fig. 5 Current diagram of color space conversion

处理过程如图 5 所示,YUV 分量依次经过乘法器和加法器,得到 27 位 R'并取其中的 R'[26:8],超过 255 则 R[7:0]为 255,低于 255 时保持则 R[7:0]为 R'[15:8]的值。

5 仿真与验证

本文所述的投影视频系统通过了 FPGA 设计软件 Quartus II 9.0 的设计验证,作为一个实例,在检测到 BT. 656 的数据头 FF,00,00 产生 SAV 的高电平,从而采集后续的有效数据。图 6 (a)为采用 Quartus II 的内嵌逻辑分析工具 Signal Tap II 观察到的相关时序信号,其中在 8 位的数据源 iTD_DATA 依次出现 FF,00,00 时开始判别是否是 SAV,紧接着的 C7h 的二进制数为 11000111b,表示其中 F=1 处于第 2 场,V=0 该行为有效行数据,H=0 表示为 SAV 信号,从而出现 SAV 信号高电平的信号。



(a)设计验证的 SAV 信号时序图



(b)色空间转换模拟时序图

图 6 设计验证的时序图

Fig. 6 Timing diagram of demonstrated verification

采用第三方 EDA 工具 Modelsim 得到色空间转换相关时序,如图 6(b)所示,其中 iY , iC_b , iC_r 为 YUV 色空间的 3 个分量, $iDVAL$ 为输入有效信号, $oDVAL$ 为输出有效信号,经过 5 个时钟周期的转换得到 RGB 空间的信号,其中灰度值超过上限的赋值为 255。

在本设计的在自主研制的 FLCOS 光学系统平台上得到实际应用,图 7(a)为微投影实验平台实物及其投影效果,图 7(b)、7(c)分别为 PCB 设计电路图和实物图,系统电路总占用 1 783 个逻辑单元如图 7(d)所示。

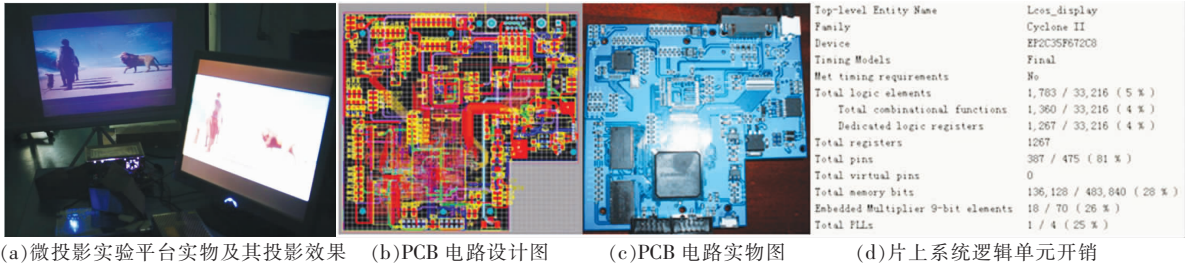


图 7 微投影实验平台实物及相关电路图
Fig. 7 Picture of the design on micro-projector platform and its correlate circuit

6 结 论

系统在 FLCOS 微投影实验平台上的实际应用表明,采用 FPGA 的视频处理方式具有良好的显示效果,避免了电路浮点运算,实现了 24 位真

彩色、 852×480 、30 帧每秒实时处理和传输。该系统较 Altera 的 VIP IP 核方案处理相比大幅简化硬件开销,可对任意模块进行优化而无需将数据流转为特定的总线传输形式^[10],尤其适用于实验室显示设备的优化。

参 考 文 献:

[1] 张秋林,夏靖波,邱婧,等. 基于 ARM 和 FPGA 的双路远程视频监控系统设计 [J]. 液晶与显示, 2011, 26(6): 780-784.

[2] 刘贵宝. 双 DSP 的多路视频监控系统设计 [J]. 单片机与嵌入式系统应用, 2011, 26(1): 92-95.

[3] Wang X Z, Wang R, Wan W G. Realization on the demonstration platform of multi-form standard video source [EB/OL]. [2012-07-12]. <http://ieeexplore.ieee.org.ezproxy.lib.szu.edu.cn/stamp/stamp.jsp?tp=&arnumber=5522067>.

[4] 向守坤,黄启俊,江冠群,等. 基于 FPGA 的 ITU-RBT. 656 数字视频转换接口系统 [J]. 电子测量技术, 2009, 32(4): 113-117.

[5] 熊文彬,蒋泉,曲建军,等. 基于 FPGA 实现的视频显示系统 [J]. 液晶与显示, 2011, 26(1): 92-95.

[6] ALTERA Corporation. Video and image processing suite user guide [EB/OL]. [2011-05-09]. http://www.altera.com/literature/ug/ug_vip.pdf.

[7] Keith Jack,杨征,田尊华,等. 视频技术手册 [M]. 北京:人民邮电出版社, 2009: 15-36.

[8] 刘云川,龚向东,吴庆阳. SPI IP 核及其在微投影系统中的应用 [J]. 单片机与嵌入式系统, 2011, (2): 27-30.

[9] Terasic Technologies. Sdram_Control_4Port_v [CP/CD] [2011-06-11]. <http://www.terasic.com/downloads/cd2rom/dc2>.

[10] 邓超,付扬. 基于 Avalon-ST 接口帧读取 IP 核的设计和应用 [J]. 电子技术应用, 2010, 36(9): 24-27.