

文章编号: 1007-2780(2013)04-0593-05

高帧频多通道图像采集与显示

张 超^{1,2}, 李洪文^{1*}, 贾建禄¹, 赵雨菲^{1,2}, 王国强¹, 王鸣浩¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: foxzcmail@163.com;

2. 中国科学院大学, 北京 100049)

摘 要: 设计了基于 Camera Link 标准的高帧频多通道图像采集显示系统, 可以对高帧频多通道相机进行图像采集及实时显示。依据系统功能需求设计了系统架构, 给出了系统各个功能模块的设计方法。完成了系统软件和硬件设计, 详细介绍了针对多通道相机图像的存储和读取方法, 及 VGA 显示模块的程序设计方法, 并进行了高帧频图像采集显示实验。实验表明, 对于帧频为 2 000 帧/s、分辨率为 80×80 的图像源, 该系统可以对其进行实时的采集、处理和显示, 并获得了较好的效果。

关 键 词: 多通道相机; 图像采集; Camera Link; VGA

中图分类号: TN911.732

文献标识码: A

DOI: 10.3788/YJYXS20132804.0593

High Frame Rate and Multiple Channels Digital Image Acquisition and Display

ZHANG Chao^{1,2}, LI Hong-wen^{1*}, JIA Jian-lu¹, ZHAO Yu-fei^{1,2},
WANG Guo-qiang¹, WANG Ming-hao¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,

Changchun 130033, China, E-mail: foxzcmail@163.com;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: High frame rate and multiple channels digital image acquisition and display based on standard Camera Link interface has been developed. The system can grab and process the digital camera image data, then display it at real-time. System structure is designed according to the need of the system function. The design method for each functional module of the system is presented. The software and hardware design of the system have been finished. This work also introduced the method for image data storage and reading out of multiple channels camera, and the design method of VGA module in detail. Experimental results indicate that high frame rate image whose resolution is 80×80 , frame rate is 2 000 frames/s, can be grabbed, processed and displayed by the system and acquire the desired effect successfully.

Key words: multiple channels camera; image acquisition; Camera Link; VGA

1 引 言

目前, 数字图像设备已广泛应用到军事、航空

航天、交通、医疗等领域^[1]。目前常见的相机帧频多为几十到几百赫兹, 当相机帧频达到几千赫兹时, 就为图像的传输、采集、存储和显示提出了巨

收稿日期: 2012-11-30; 修订日期: 2013-04-14

基金项目: 中国科学院三期创新项目(No. 065x32CN60)

作者简介: 张超(1989—), 男, 山东滕州人, 硕士研究生, 主要从事电子硬件电路和 FPGA 方面的研究。

* 通信联系人, E-mail: lihongwen1970@yahoo.com

大的考验。Camera Link 是一个工业高速串口数据的连接协议,可为高速、高精度的数字相机提供简单、灵活的连接^[2]。随着高性能的可编程逻辑器件和数字处理芯片的出现,基于硬件的高速并行的图像处理和存储已成为可能。与专用集成电路相比,FPGA 芯片具有快速的定制性和高灵活性、扩展性强等特点^[3]。另外,在工程应用中高帧频图像的显示对于调试和监控有着重要的意义。

本文介绍了基于 Camera Link 的高帧频多通道图像采集处理器,详述了使用 FPGA 编程实现高帧频多通道图像数据采集和存储的方法,通过一定的图像预处理,并编程实现了基于这种存储模式下 VGA 的显示。在本系统中,CCD 相机为 4 通道,帧频为 2 000 帧/s,分辨率为 80×80 ,输出像素数据为 14 位。通过实验验证,本系统可以对高帧频多通道相机进行很好的图像采集、预处理及实时显示。

2 系统设计

2.1 硬件平台设计及工作原理

图 1 为图像采集处理器系统结构框图,包括:Camera Link 图像采集模块,FPGA 控制模块,DSP 图像处理模块,串口、网口、PCI 通讯模块,VGA 显示模块等。

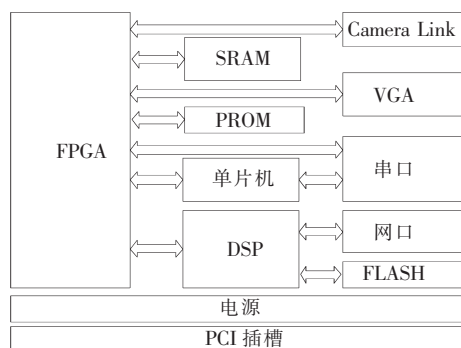


图 1 处理器系统结构框图

Fig. 1 Structure of processor system

在该系统中采用 Xilinx 公司的 Virtex-4 系列 FPGA 芯片作为整个系统的核心芯片,实现外围芯片的控制和图像数据的预处理。该款芯片拥有 320 个 I/O 和 20 万个可配置的逻辑单元,最大 Block RAM 高达 1 Mbits。Camera Link 接口为 Base 模式,采用一个 MDR26 连接器。Camera Link 协议采用的是串行 LVDS 技术,具有差分、

恒流模式驱动以及低振幅的特点,可以保证传输过程中的低噪声、低消耗和快速性^[4]。Base 模式下共有 7 对 LVDS 信号,其中 4 对 LVDS 信号用于像素数据和采集过程控制信号的传输,1 对时钟 LVDS 信号,2 对异步串行通信 LVDS 信号;经过专用的转换芯片将这些信号转换为 28 位 TTL 并行图像信息、像素时钟信号等,传输速率高达 2.38 Gbit/s。VGA 模块是基于视频芯片 ADV7125,FPGA 输出的 24 位数字信号通过视频 D/A 转换成 3 路 RGB 模拟信号提供给 VGA 图像显示终端实时显示图像。

系统的工作流程如图 2 所示。高帧频 CCD 相机输出接口为标准 Camera Link Base 配置模式。LVDS 信号经过转换送入 FPGA 图像预处理模块。对于预处理后的像素数据缓存到双口 RAM 中。双口 RAM 具有两套独立的数据、地址和控制总线,因而可以从两个端口同时读写而互不干扰。图像数据从系统一个端口写入而由 VGA 控制模块从另一个端口读出,通过 VGA 接口显示输出。双口 RAM 的传输速度很高,采集和处理可以并行执行。相机控制模块用于发送相机控制命令,从而对相机的曝光时间、增益、背景电平等各种参数进行设置。

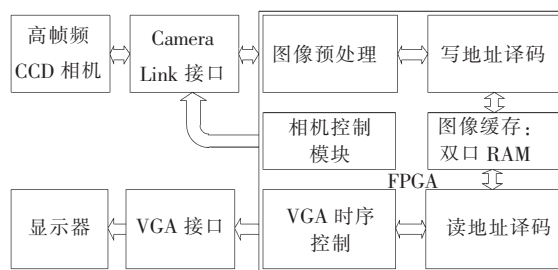


图 2 系统工作流程图

Fig. 2 Working flow chart of the system

2.2 软件设计

系统软件设计主要包含图像采集模块、VGA 控制和显示模块、相机控制模块等的程序设计。

2.2.1 图像采集模块设计

本系统设计是面向高帧频多通道相机的应用。相机输出采用标准 Camera Link 协议的 Base 模式。输出信号有像素时钟 Xclkout、像素数据 Data [13:0]、帧同步信号 Fval、行同步信号 Lval。图像数据分 4 个通道输出,在同一个行同步信号有效期间串行输出,像素数据的输出顺序

如图 3,其中 A、B、C、D 分别为 4 个像素输出模块。

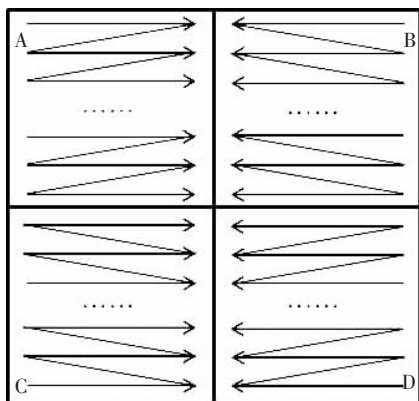


图 3 像素输出顺序

Fig. 3 Output sequence of pixel value

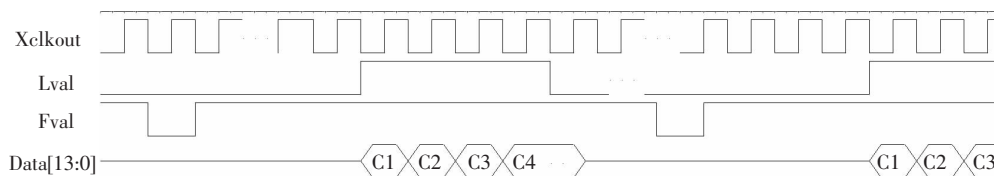


图 4 相机信号时序图

Fig. 4 Camera signal timing

个地址寄存器,分别指向地址 0,1 600,3 200,4 800。各通道像素数据的分块存储方便 VGA 控制模块的显示输出。在行同步信号为高电平时,地址译码模块有效。设计实现采用有限状态机,状态机设置 4 个状态,每个状态都对一个地址索引寄存器做相应修改,并存储一个通道的像素数据,在 ISE14.1 环境下利用硬件描述语言 Verilog 编程实现,图 5 为状态转移示意图。

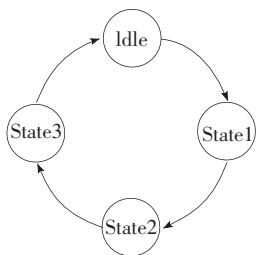


图 5 状态图

Fig. 5 State diagram

2.2.2 VGA 控制和显示模块

为了对高帧频图像的监视,也为了方便验证图像处理算法的正确性,需要图像显示端口将处

图 4 为相机信号时序图。像素时钟为 50 MHz,帧同步信号 Fval 为低电平有效,表示上一帧图像的结束和下一帧图像的开始。在一帧图像内,行同步信号(Lval 为高电平有效)共有效 1 600 次。

在图像采集处理模块中,FPGA 必须以相机输出的像素时钟频率,在行同步信号和帧同步信号均为高电平时,采集相机传输的图像数据,而在帧同步信号为低电平时进行数据处理^[5]。基于这种像素数据的输出模式,设计中加入一个写地址译码模块,本模块的主要功能是将 4 个通道输出的像素分别存到深 6 400 宽 14 的双口 RAM 的 4 块连续的空间中,每个空间都有自己的地址索引寄存器,在接收到帧同步信号有效后,初始化这 4

理后的图像数据输出至液晶显示器上。本系统选用标准 VGA 接口显示器,显示时采用逐行扫描方式。根据不同的分辨率和刷新频率,又分为不同的显示模式:VGA(640 × 480)、XGA(800 × 600)和 SVGA(1 024 × 768)等,多达 13 种显示模式^[6]。具体有以下几组基本的信号:时钟信号、行同步信号 Hsync、场同步信号 Vsync,及 3 路 RGB 模拟信号^[7],时序图如图 6。

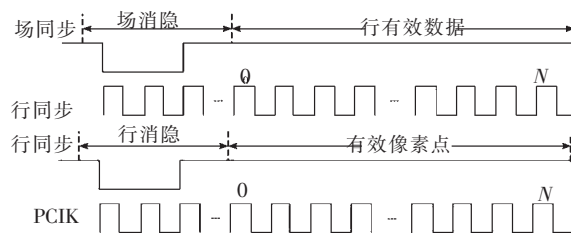


图 6 场同步和行同步信号

Fig. 6 Signal frame and line synchronization

场同步、行同步信号都在 FPGA 里编程实现。行、场同步信号直接送给 VGA 接口;像素时钟、图像数据发送到 ADV7125 中进行转换。

转换后的模拟信号送给 VGA 接口显示。为了匹配相机的分辨率,系统采用的 VGA 显示模式为:分辨率为 80×80 ,帧频为 60 帧/s。具体参数如下:每场有 525 个行周期,其中包括图像显示区 80 行,场同步脉冲 2 行,场消隐后肩 232 行,场消隐前肩 211 行;每行有 800 点时钟,包括有效显示区 80 点,行同步脉冲 96 点,行消隐后肩 328 点,行消隐前肩 296 点。如此设计,显示的图像就可以在显示器的中央。因此,可知行频为 $525\times 59.94\text{ Hz}$,即 31 469 Hz,需要的点时钟频率为 $525\times 800\times 59.94\text{ Hz}$,约 25 MHz^[7]。另外,本模块还设有视频开关信号 video_on,当此信号有效时才有图像输出显示。

2.2.3 相机控制模块

本系统与相机的通讯采用的是基于 Camera Link 接口的低速串行通讯命令信号(SerTFG 和 SerTC),支持 RS232 异步串行通信协议^[5]。设计采用串口命令的方式来设置相机的各种参数。串口波特率为 38 400,数据格式为:1 位开始位,8 位数据位,1 位停止位,无奇偶校验位,无握手信号位。

3 实验验证

为了验证本系统对高帧频图像的采集与显示功能,搭建了实验平台并进行了实验验证。设计的图像采集卡如图 7。

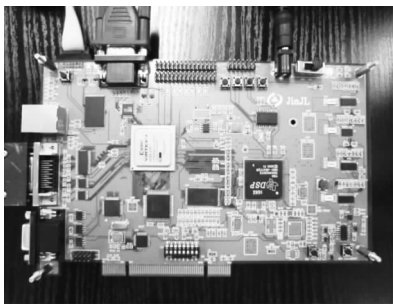


图 7 图像采集卡
Fig. 7 Image acquisition card

实验的资源配置如下:
LCD 显示器一台,支持多种 VGA 显示模式。
高帧频多通道相机一台。其基本配置为:4 通道,像素时钟 50 MHz,帧频 2 000 帧/s,分辨率 80×80 ,图像为 14 位灰度图,输出方式为标准 Camera Link Base 模式,可通过串口实现对相机

各参数的设置。
图 8 给出了用逻辑分析仪实测的相机的时序图,其中,第一行信号为像素时钟信号,第二行为行同步信号,第三行为帧同步信号。由时序图可知,相机的帧频为 2 000 帧/s。

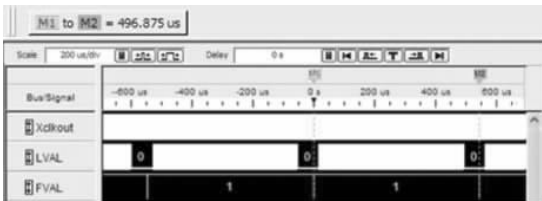


图 8 实测相机时序图
Fig. 8 Camera signal timing

图像采集板卡一块,如图 7。为使板卡适用于以后更复杂的图像处理算法,增加了 DSP 图像处理模块;通过 EMIF 实现 FPGA 与 DSP 平台接口。为扩展板卡与上位机通讯的功能,增加了网口、串口、PCI 等接口。

另外,由于相机帧频为 2 000 帧/s,曝光时间很短,采集到的图像亮度较低,因此在 FPGA 程序结构中添加了图像预处理模块,其中编写了图像的 Gamma 矫正处理算法,以增强图像的对比度。经过预处理的图像如图 9 所示。



图 9 预处理后的图像
Fig. 9 Processed image

本系统的设计目标是实现对高帧频多通道 CCD 相机图像采集并显示。系统图像采集接口为 Base 模式下 Camera Link 接口,兼容多种显示模式,并具有简单的图像预处理功能。系统可应用于多通道,帧频达 2 000 帧/s 的相机图像采集与显示,应用范围广。另外,为了使采集卡能应用于高帧频高分辨率的图像采集,FPGA 外部设有

高速双口 SRAM。

4 结 论

设计了基于标准 Camera Link 协议 Base 模式下的 高帧频多通道 CCD 相机的高速图像采集与显示系统,完成了硬件电路的设计。系统采用 FPGA+DSP 的组合结构,提高了系统处理的速度及系统的灵活性和适应性。并基于 Verilog 硬

件编程语言实现了图像的采集、预处理、缓存和 VGA 显示。本设计思路对于高帧频多通道相机的图像采集与显示具有较好的工程应用与参考价值。实验结果表明,本系统能够很好的实现对 4 通道、帧频高达 2 000 帧/s 的 CCD 相机的图像的采集与显示,具有性能稳定、容易控制的优点,具有较好的应用前景。

参 考 文 献:

- [1] 沈鸽,王美娇,嵇晓强. 基于 Camera Link 的视频图像采集与传输系统 [J]. 微计算机信息,2011,27(8):99-100.
- [2] 李珺,王云伟,石俊. 基于 Camera Link 标准的图像采集处理系统及其应用 [J]. 西安工程科技学院学报,2007,21(3):362-366.
- [3] 熊文彬,蒋泉,曲建军,等. 基于 FPGA 实现的视频显示系统 [J]. 液晶与显示,2011,26(1):92-95.
- [4] 李宁,王骏发. 基于 Camera Link 的高速数据采集系统 [J]. 红外,2005(7):31-37.
- [5] 王鸣浩,王志,吴小霞. 基于 SOPC 的高帧频数字图像采集显示系统 [J]. 液晶与显示,2011,26(5):650-654.
- [6] 董亚则,王顺. 高速数字图像采集显示系统的设计与研究 [J]. 吉林大学学报(信息科学版),2011,29(6):542-548.
- [7] 朱奕丹,方怡冰. 基于 FPGA 的图像采集与 VGA 显示系统 [J]. 计算机应用,2011,31(5):1258-1261.

SI 单位的倍数单位

SI 单位的倍数单位是由 SI 词头与 SI 基本单位和 SI 导出单位构成。倍数单位的选取一般应量的数值处于 0.1~1 000 之间。

- SI 词头是用于构成倍数单位的因数符合,不能单独使用。
- 词头符号与所紧接着的单位符号应作为一个整体对待,它们共同组成一个新单位(十进倍数或分数单位),并具有相同的幂次。例如: $10\text{ hm}^2=10\times(100\text{ m})^2=10^5\text{ m}^2$; $1\text{ cm}^3=(10^{-2}\text{ m})^3=10^{-6}\text{ m}^3$ 。
- 词头不能重叠使用,即不能使用由几个词头并列组成的组合词头。例如:不能用 $\text{m}\mu\text{s}$ (毫微秒),正确的为 ns (纳秒)。
- 摄氏度、平面角和时间单位(s 除外)及 kg 等不得使用词头的倍数单位。例如:“mh”(毫小时),“hkg”(百公斤)是不规范的。