

文章编号: 1007-2780(2013)04-0598-06

OpenLDI 接口的接收器设计及 FPGA 实现

刘 杰, 程松华, 吴韦建, 张永栋

(天马微电子股份有限公司 研发中心, 广东 深圳 518118, E-mail: jie_liu2@tianma.cn)

摘 要: 利用输入宏单元块设计了 LVDS 信号转换为 CMOS 信号的 LVDS 信号接收器。分析了终端电阻的作用, 说明了两种终端电阻使用方法, 并重点分析了 FPGA 内嵌电阻的原理和使用方法。利用 DDR 技术, 研究了 3.5 倍频的时钟处理 7 倍频数据的方法, 降低了数据的频率; 利用数据缓冲器, 设计了一种串并转换器。分析了数据对齐的方法和 OpenLDI 支持的两种信号映射格式; 利用数据分配器, 通过不同的选择, 输出符合两种标准的数据映射格式的数据。结合 Xilinx 公司的 FPGA 的时钟处理宏单元块的特点, 研究了时钟恢复的方法。利用了周期约束、特定约束、区域约束等约束方法提高程序的可靠性。为了提高整体电路板信号的完整性和降低 PCB 布局的复杂性, 研究了 LVDS 倒相的方法。

关 键 词: 开放式 LVDS 显示接口; LVDS; FPGA; Verilog HDL

中图分类号: TN27 **文献标识码:** A **DOI:** 10.3788/YJYXS20132804.0598

Design of Receiver in OpenLDI and Its Implementation with FPGA

LIU Jie, CHENG Song-hua, WU Wei-jian, ZHANG Yong-dong

(R&D Center, Tianma Micro-Electronics CO., LTD., Shenzhen 518118, China, E-mail: jie_liu2@tianma.cn)

Abstract: The input macro block was used in the design of a signal receiver that turned LVDS signal into CMOS signal. The terminal resistors were analyzed; two methods of using terminal resistance were illustrated. The principle and the using of FPGA embedded resistance were emphatically analyzed. DDR technology was used, the method of using 3.5 times clock frequency to process 7 times data was researched and the frequency of data process was reduced. A serial to parallel converter was designed by using the data buffer. The method of data alignment and the two signal mapping formats supported by OpenLDI were analyzed. The data that conforms to the two standard data mapping format was output by using a data distributor. Combining with the characteristics of the Xilinx's FPGA clock processing macro block, the method of the clock recovering was researched. The periodic constraints, the special constraints, and the location constraints were used to improve the reliability of system. In order to improve the signal integrity of the whole circuit board and reduce the complexity of PCB layout, the method of inverting LVDS signals was studied.

Key words: openLDI; LVDS; FPGA; verilog HDL

1 引 言

近年来,随着显示技术的提高和人们对显示要求的提高,显示器的分辨率越来越高;向显示器

传输数据的速度也越来越大。用并行、TTL 电平、单端传输视频信号的方法引起的系统功耗大、信号串扰严重、噪声干扰大等问题逐渐显现。采用 LVDS(低压、差分信号)传输则可以有效解决

收稿日期: 2012-11-14; 修订日期: 2013-03-28

作者简介: 刘杰(1968—),男,江西上饶人,硕士,工程师,主要研究方向为液晶显示控制与驱动技术。

此类问题^[1-3]。

利用LVDS技术开发的开放式LVDS显示接口OpenLDI(Open LVDS Display Interface)是一个全数字化的即插即用的视频接口,视频信号在传输过程中不需进行数模转换,极大地提高了信号传输的可靠性。OpenLDI接口已广泛应用于平板显示器中^[4]。

在基于FPGA的视频处理系统,通常使用专用OpenLDI解码芯片作为视频LVDS信号转换为视频RGB信号的OpenLDI接口^[5];利用FPGA设计OpenLDI接口不仅可以实现视频LVDS信号到视频RGB信号的转换,而且无需使用OpenLDI解码芯片及其外围电路,节省了成本;使整个硬件系统所需的空间变小,可解决高速电路的印制板布局空间过小的问题。

根据OpenLDI的特点,研究了数据处理和时钟变换的方法,使用此方法可以利用简单的Verilog HDL(硬件描述语言)设计OpenLDI接口;该OpenLDI接口通过外部选择,可以兼容两种不同的标准;在FPGA的容量允许的情况下,可设计多个OpenLDI接口;根据此方法,不仅能在同一公司的不同类型FPGA芯片内设计OpenLDI接口,而且可以在其他公司的FPGA芯片内设计OpenLDI接口。

2 基于FPGA的OpenLDI接口设计

OpenLDI接口的功能框图如图1, LVDS接收器用来同时接收串行LVDS数据和LVDS时钟,并将LVDS信号转换成CMOS信号。CMOS解串行器将从LVDS接收器接收到的串行数据转化成并行数据,由1:7串并转换器完成,它把接收到的7倍频串行数据转换为7位的并行数据。时钟恢复电路由锁相环组成,该电路产生系统时

钟的3.5倍频时钟,并送到串并转换电路。从以上分析,整个OpenLDI接口可分为3大模块^[6-7]:

(1) LVDS接收器的作用将LVDS差分信号转换为CMOS信号。

(2) 时钟处理模块包含LVDS接受器,时钟锁相环,自动相位控制等模块,其功能为产生OpenLDI接收器中所需的3.5倍频时钟。

(3) 数据处理模块包含串并转换模块,数据缓冲器,数据分配器等模块,其中串并转换电路模块把7倍频串行数据转换为7位的并行数据。

2.1 LVDS接收模块的设计

2.1.1 LVDS接收器的设计

因为LVDS信号为差分信号,在FPGA内部不能进行处理,首先将接收到的LVDS差分信号转换为CMOS信号。各大FPGA厂商的FPGA芯片多有IP Core支持这种转换,Xilinx公司的IBUFDS宏单元支持这种转换,此宏单元块的使用方法如下:

```
IBUFDS # ( . IOSTANDARD("LVDS_25"), //
将LVDS的输入的电平标准设置为2.5V
```

```
. IFD_DELAY_VALUE("0"),
```

```
. IBUF_DELAY_VALUE("1"),
```

```
. DIFF_TERM("TRUE") ) //设置
```

为TRUE时,使用内部端接电阻

```
ibuf_d0 (
```

```
. I(dataina_p[0]),
```

```
. IB(dataina_n[0]),
```

```
. O(dataina0 )
```

```
);
```

2.1.2 终端电阻的考虑

因为LVDS信号为恒流源模式,即电流驱动型,在LVDS接收器的端口必须有一终端电阻,完成电流环路,把电流转换为电压,产生正常工作的差分电压;此外,LVDS线的数据频率很高,互连线表现为一个传输线,也需要终结电阻限制反射^[1]。此终端电阻的使用方法有使用FPGA的外接电阻和FPGA的内嵌电阻两种。使用外部电阻为终端电阻时,应注意的事项:

(a) 使用终端电阻实现对差分传输线的最大匹配,阻值一般在90~130 Ω ,差分阻抗典型值为100 Ω 。因阻抗匹配越接近,效果越好,根据实际使用的双绞线的阻抗进行匹配。

(b) 使用精度1%~2%的表面贴装电阻跨接

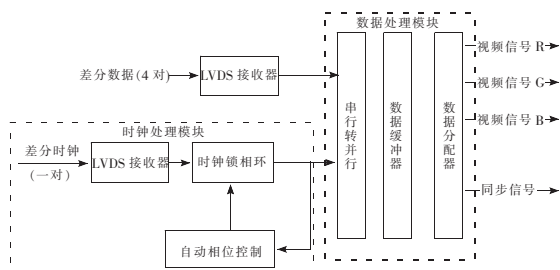


图1 OpenLDI接口功能框图

Fig.1 Frame of OpenLDI

在差分线对上;在布 PCB 板时,终端电阻与 FPGA 的接收引脚之间的距离小于 7 mm。如果干扰比较严重的环境下,使用两个阻值各为最佳匹

配阻值一半的电阻,并在中间通过一个电容接地,以滤去共模噪声。

Xilinx 公司在 Spartan-3A 芯片的差分数据

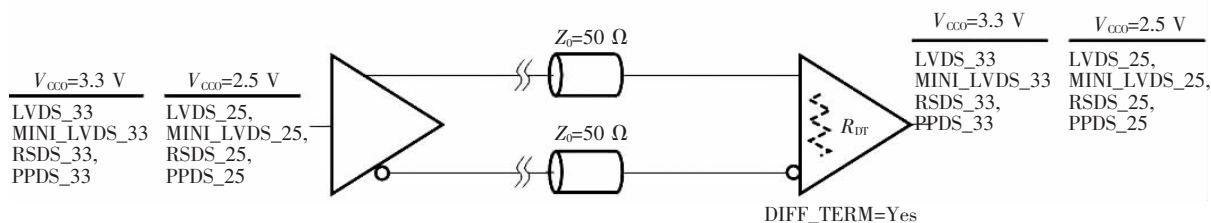


图 2 利用 DIFF_TERM=Yes 约束时的差分输入接口示意图

Fig. 2 Sketch map of differential input termination using DIFF_TERM=Yes constraint

对的引脚上提供了 100 Ω 左右的终端电阻。在使用 FPGA 的内嵌电阻为 LVDS 接收端的终端电阻,可以减少线路板的体积,提高整个系统的可靠性。在实例化 IBUFDS 宏单元块时,将 DIFF_TERM 属性设置为 TRUE 即可,如: DIFF_TERM("TRUE")。图 2 为利用 DIFF_TERM=Yes 约束时的差分输入引脚接口示意图^[8]。

在使用内嵌电阻时,应注意 FPGA 的电源电压与引脚的电平标准的关系;当 V_{CC0} 为 3.3 V 时,引脚的电平标准为 LVDS_33;当 V_{CC0} 为 2.5 V 时,引脚的电平标准为 LVDS_25。当使用 Spartan-3E 系列 FPGA 时,内嵌电阻的阻值为 120 Ω ,比典型值要大些;当使用 Spartan-3A 系列 FPGA,而且 V_{CC0} 为 3.3 V 时,内嵌电阻的阻值为 100 Ω ,等于典型值。只有双向功能的引脚具有此功能,而只有输入功能的引脚无此功能。

2.2 OpenLDI 接口的数据处理

2.2.1 双边沿信号变单边沿信号的方法

因为时钟恢复电路输出的频率为输入时钟的 3.5 倍,从 LVDS 接收器输出的信号还是双边沿采集的信号,必须进行转换变成单边沿采集的。图 3 为数据转换示意图。这样将双边沿采集的串行数据变成了一种单边沿采集的并行数据。同样地,对从 LVDS 接收器输出的时钟信号也利用

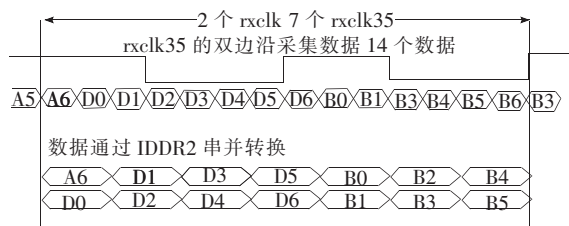


图 3 数据转换示意图

Fig. 3 Sketch map of converting data

DDR2 技术进行处理,使他的频率降低了一半,产生新的时钟信号。使降频后的一个时钟内包含偶数个数据。

利用 Xilinx 的 FPGA 的 IDDR2 接口宏单元块实现此功能,此宏单元块的使用方法如下:

```
IDDR2 #(, DDR_ALIGNMENT("C0")) fd_io0 (
    .C0(rxclk35), .C1(rxclk35not),
    .D(dataina0), .CE(1'b1),
    .R(1'b0), .S(1'b0),
    .Q0(dataina_reg0 [0]), .Q1
    (dataina_reg0 [1])) ;
```

2.2.2 串并转换模块设计

串并转换的通常的方法,串行数据在高速采样时钟作用下,逐位移入串行连接的 D 触发器中锁存,然后在某一时刻并行输出数据。因串行的数据排列方式的特殊性,设计了基于动态 D 触发

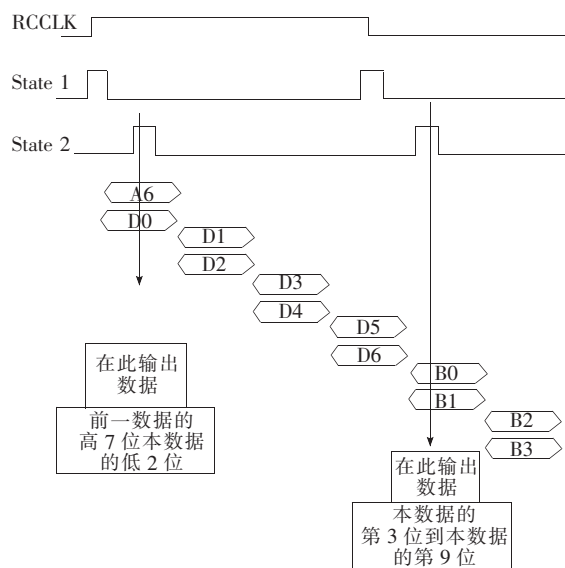


图 4 串并转换模块的输出原理示意图

Fig. 4 Sketch map of a serial to parallel converter's output

器单元和移位寄存器结构的串并转换电路。利用边沿检测的方对数据边界信息进行检测,在降频后的时钟 RCCLK 的上升沿处和下降沿处产生有效信号 State1,并进行适当的延时产生 State2,以 State2 为控制信号,将寄存器内的数据并行输出到并行连接的输出锁存器,完成串行到并行的转换。图 4 为串并转换模块的输出原理示意图。

2.2.3 数据分配器的设计

与 TTL 接口相同,OpenLDI 也分为单路传输 RGB 数据和奇/偶像素双路传输 RGB 数据两种方式(也称单端口 LVDS、双端口 LVDS,一像素 LVDS 和二像素 LVDS),再考虑到输出位数(6 位、8 位、10 位)。OpenLDI 标准共支持:18 位单像素、24 位单像素、18 位双像素及 24 位双像素格式等像素格式^[6]。

表 1 二种数据排列格式

Table 1 Two bit number mappings

18 位格式 数据排列	24 位格式 数据排列	VESA 标准
5	7	5
4	6	4
3	5	3
2	4	2
1	3	1
0	2	0
	1	7
	0	6

在利用总线传输数据时,数据的排列有大端模式和小端模式之分,在大端模式中最有效位对应最高位;与此相反,在小端模式中最有效位对应最低位,如表 1 所示^[9]。为了同一硬件电路在不同的时刻能支持 18 位、24 位数据的二种不同像素格式,出现大端对齐和小端对齐的问题。为了解决这问题,就出现了二个数据映射格式,如图 5 所示。

VESA 标准的 OpenLDI 数据映射格式使用了固定的小端对齐,当传输 18 位的数字视频数据时,可以省去第三对线;而传输 24 位的数字视频数据时必须注意高位的第 6 位和第 7 位;它更适合传输 18 位的数字视频数据。JEIDA 标准的 OpenLDI 数据映射格式使用了固定的大端对齐,

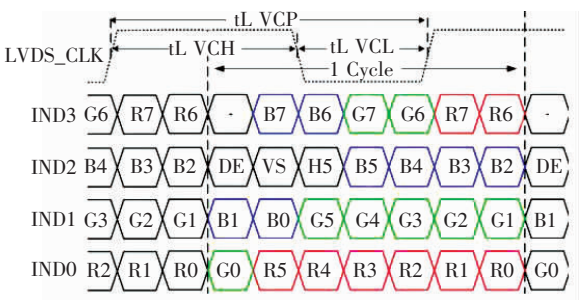


图 5 VESA 标准的 OpenLDI 数据映射格式

Fig. 5 OpenLDI data mapping for VESA standard

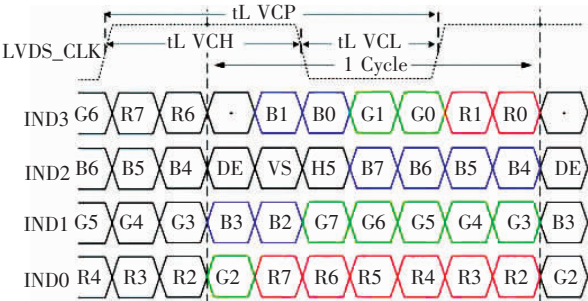


图 6 JEIDA 标准的 OpenLDI 数据映射格式

Fig. 6 OpenLDI data mapping for JEIDA standard

当传输 18 位的数字视频数据时,可以省去第三对线;而传输 18 位的数字视频数据时必须注意低位的第 0 位和第 1 位。这种数据映射方式符合人们的通常思维方式,它更适合传输 24 位的数字视频数据。

在完成数据的串行转平行转换后,通过外部控制信号利用二选一的选择器,分别按照图 5、图 6 的数据映射格式输出数据,使 OpenLDI 接口满足二种标准的数据映射格式。

2.3 OpenLDI 接口的时钟处理

数字时钟管理器 DCM 的数字频率合成器 DFS 模块可以在 FPGA 中生成一个内部接收端时钟。为了将时钟沿放置在输入数据眼图的中央,需利用 DFS 的相移功能,产生一个微小的相移。在设计时,需同时使用固定、动态两种方法产生所需的相移。固定相移的值随频率的变化稍有变化,但是当使用 ISE8.1 或更高版本时,55°的相移值可获得最佳结果。利用早期的 ISE 进行处理时,相移值为 110°^[7]。

DDR 技术将所要求的时钟速率降到一个合理的速度,从而确保生成的时钟位于 FPGA 中 DFS 模块的工作范围内,同时降低了总功耗。如

果该时钟频率是接收到的时钟频率的 3.5 倍,可利用双数据速率 DDR 技术来获得数值为 7 的解串行化因数。利用 DDR 触发器进行数据采集;需要一个上升沿采样和一个下降沿采样。这可以通过两种不同的方式实现:

(1)使用一个全局缓冲器,从 DFS 分配一个时钟,并在需要的地方将该时钟反相。

(2)使用两个全局缓冲器,从 DFS 的 CLKFX 和 CLKFX180 输出分配两个时钟(相位相差 180°)。

第二种方式的好处在于,这种情况下全局时钟网络上的任何占空比失真都变得不重要,因为仅仅使用了上升沿。本文采用的是第二种方法,在高速接口常使用这种方法。

2.4 FPGA 的约束设计

在基于 FPGA 的视频信号处理系统中,OpenLDI 接口只是该系统的一个功能块,而这部分的信号需在多个时钟域进行多次变换、频率最高。为了使 OpenLDI 接口正常工作且不影响整个系统的其他功能,就必需对该部分进行必要的约束。根据实际需求使用了周期约束、特定约束、区域约束等约束方法^[10]。

周期约束的对象是该时钟所驱动的所有同步元件之间的路径,周期约束是一个基本时序约束。因本视频信号处理系统具有复杂的时钟网络,故而采用推荐方法添加周期约束。周期约束是全局约束,当某些路径可能需要不同于周期的特殊要求时,可以使用 from to 约束(特定约束)语句进行约束。

区域约束是 FPGA 设计中最基本的布局约束和综合约束,能够定义基本设计单元在 FPGA 芯片中的位置,可实现绝对定位、范围定位以及区域定位。为了提高系统的稳定性,根据管脚的远近对 OpenLDI 接口做接近于管脚的区域约束。

2.5 LVDS 信号倒相的方法

因为 LVDS 信号的传输线是差分线,要保证差分阻抗的连续性,首先差分对引脚对应连接,但

有时出现差分对引脚交换的问题。利用倒相的方法不但可以解决差分对引脚交换的问题,而且还可以避免大量使用过孔、不需要重新设计硬件;从而提高整体电路板信号的完整性、降低设计成本。但这 LVDS 倒相的方法只适合数据差分引脚而输入时钟差分对引脚必须具有正确的极性。倒相的方法是接收器数据通路中加入一个倒相器,具体方法如下:

$rx_input_fix = rx_input_reg \wedge 1'b x$;当 $x=1$ 时,输入输出反相;当 $x=0$ 时,输入输出同相。

3 FPGA 实现

OpenLDI 接口的全部逻辑功能都采用 Verilog HDL 语言来描述,在 Xilinx 开发环境 ISE11.2 中进行逻辑综合和器件适配。选定目标 FPGA 为 XC3S200AN,所使用逻辑资源情况如表 2 所示。使用逻辑资源不多,根据所用到的资源的占用比看,最多可设计 4 个这样 OpenLDI 接口。

表 2 OpenLDI 接口所占用逻辑资源

逻辑资源	使用数	总数	占用百分比/%
Slice	122	1 792	6
Slice Flip Flops	147	3 582	4
4 input LUTs	137	3 584	3
BUFGMUXs	3	24	12
DCMs	1	4	25

4 结 论

详细说明了利用 FPGA 设计 OpenLDI 接口的方法,利用此方法设计出的 OpenLDI 接口已应用于本公司的分辨率为 $1\,024 \times 768$ 和分辨率为 $1\,280 \times 1\,024$ 的两个产品中,其中 $1\,024 \times 768$ 的产品为单端口 LVDS 接口,分辨率为 $1\,280 \times 1\,024$ 的产品为双端口 LVDS 接口;这两个产品的画面清晰,过渡自然,说明此 OpenLDI 接口符合 OpenLDI 标准要求。

参 考 文 献:

- [1] 王文华,何斌,任建岳. LVDS 三线同步串口的传输速率 [J]. 液晶与显示, 2011, 26(3): 344-348.
- [2] 张贵祥,金光,郑亮亮,等. 高速多通道 CCD 图像数据处理与传输系统设计 [J]. 液晶与显示, 2011, 26(3): 397-403.
- [3] 张涛,舒林锋,郑冬军,等. LVDS 接口原理和标准及在平板显示系统中的应用 [J]. 计算机与数字工程, 2006, 35:

184-186.

- [4] 张飙,徐和飞,牛秦洲. LVDS 接口 LED 显示屏数据处理系统设计[J]. 液晶与显示,2008,23(6):736-742.
- [5] 韩红霞,王弟男,孙航. 基于 FPGA 的相机特殊时序调整系统设计[J]. 液晶与显示,2011,26(3):523-526.
- [6] 雷鑑铭. 基 OpenLDI 标准 CMOS LCD 控制器设计与验证[D]. 武汉:华中科技大学,2004.
- [7] Online xapp485[EB/OL]. [2010-07-9]. http://www.xilinx.com/support/documentation/application_notes.
- [8] Online DS557[EB/OL]. [2010-12-2]. <http://www.xilinx.com/products/spartan3a/3an.htm>: 18-21.
- [9] Online OpenLDI Specification V0.95[EB/OL]. [1999-05-13]. <http://www.national.com>:9-10.
- [10] 孙航,胡灵博. xilinx 可编程逻辑器件应用与系统设计[M]. 北京:电子工业出版社,2008:102-145.

欢迎订阅 欢迎投稿

《光学 精密工程》

《光学 精密工程》是中国仪器仪表学会一级学术期刊,中国科学院长春光学精密机械与物理研究所主办,科学出版社出版。由国内外著名科学家任顾问,陈星旦院士任顾问委员会主任,国家科技部副部长曹健林博士担任主编。

《光学 精密工程》坚持学术品位,集中报道国内外现代应用光学、光学工程技术、光电工程和精密机械、光学材料、微纳科学与技术、医用光学、先进加工制造技术、信息与控制、计算机应用以及有关交叉学科等方面的最新理论研究、科研成果和创新能力。本刊自 2007 年起只刊发国家重大科技项目和国家自然科学基金项目及各省、部委基金项目资助的论文。《光学 精密工程》竭诚欢迎广大作者踊跃投稿。

本刊获奖:

中国百种杰出学术期刊
中国精品科技期刊
中国权威学术期刊(RCCSE)
中国最具国际影响力学术期刊
中国科学院择优支持期刊

国际检索源:

《美国工程索引》(EI Compendex)
《美国化学文摘》(CA)
《英国 INSPEC》(SA)
《俄罗斯文摘杂志》(PJK)
《美国剑桥科学文摘》(CSA)

国内检索源:

中国科技论文统计源期刊
中国学术期刊(光盘版)
万方数据系统数字化期刊
中国科学引文数据库
中国物理文献数据库
中国期刊网

中文核心期刊要目总览(北大)
中国学术期刊综合评价数据库
中国科学期刊全文数据库
中国光学文献数据库
中国学术期刊文摘
中国物理文摘

地址:长春市东南湖大路 3888 号

《光学 精密工程》编辑部

邮编:130033

电话:(0431)86176855

传真:(0431)84613409

E-mail: gxjmgc@ciomp. ac. cn

gxjmgc@vip. sina. com

<http://www.eope.net>

国内邮发代号:12-166

国外发行代号:4803BM

定价:50.00 元/期

帐户:中国科学院长春光学
精密机械与物理研究所

银行:建行长春朝阳支行

帐号:22001360300054506148