

文章编号:1007-2780(2013)05-0776-05

超光谱图像的嵌入式高速实时处理系统设计

赵 凡^{1,2}, 张 葆^{1*}, 尹传历¹

(1. 中国科学院航空光学成像与测量重点实验室 中国科学院 长春光学精密机械与物理研究所, 吉林, 长春 130033;

2. 中国科学院大学, 北京 100049)

摘 要: 由于超光谱图像数据量大, 文章提出了一种能够对超光谱图像进行实时压缩处理的嵌入式系统。该系统采用 cyclone3 系列的 EP3C16 FPGA 为协处理器, 完成数据缓存、逻辑控制以及外部接口的控制。以 TI 公司的 TMS320C6455 为中央处理器, 实现超光谱图像的实时压缩处理。该系统具有高速的特点, 通过实验证明可以对带宽为 1 024 byte×129 行×16 bit×200 帧的图像数据进行快速传输并压缩。图像实时压缩后, 通过 ASI 接口传输给下级系统。该系统稳定性好, 结构具有可扩展可重建的特性。

关 键 词: 嵌入式系统; 超光谱压缩; DSP+FPGA

中图分类号: TP391

文献标识码: A

DOI: 10.3788/YJYXS20132805.0776

Design of Embedded System to Process Hyperspectral Image in High-Speed and Real-Time

ZHAO Fan^{1,2}, ZHANG Bao^{1*}, YIN Chuan-li¹

(1. Key Laboratory of Airborne Optical Imaging and Measurement, Chinese Academy of Sciences;

Changchun Institute of Optics Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Because the hyperspectral image data are numerous, a hyperspectral image embedded system capable of real-time compression process is put forward. The system uses cyclone3 series EP3C16 FPGA coprocessor to complete the data cache, logic control, and control of the external interface. It's TMS320C6455 as central processor to realise real-time compression of hyperspectral image processing. The system has a high-speed characteristics, the experiments show that the image data with bandwidth of 1 024 byte×129 lines×12 bit×200 frames can be transported and compressed. Image after a real-time compression, transferred to the lower system through the ASI interface. The system has good stability, the structure has a scalable reconstruction characteristics.

Key words: embedded system; hyperspectral compression; DSP+FPGA

1 引 言

超光谱图像为三维立体图像, 是在原有的二维图像基础上多出一维光谱信息, 即图谱合一。

通过对立体图像连续波段的分析, 能够更好地实现对地面物体的识别。超光谱图像具有高分辨率和较多的光谱通道数^[1], 图像在携带丰富信息的同时, 也具有数据量大, 信息冗余度大的特性^[2]。

收稿日期: 2012-12-18; 修订日期: 2013-03-01

基金项目: 高精度光学载荷验证技术研究(863 计划)项目(No. 2008AA121803)

作者简介: 赵凡(1988—), 女, 山东济宁人, 硕士研究生, 主要研究方向是嵌入式系统。

* 通信联系人, E-mail: zhangb@ciomp.ac.cn

对超光谱图像进行压缩可以有效节省储存时的储存容量以及传输时的信道容量,忽略冗余信息等可以提高处理传输速率,达到对超光谱图像实时处理的目的。

图像处理系统近年来发展迅速,由传统以计算机为核心发展到现在以 DSP 为主处理器。但是在用于对实时图像传输并处理的任务时,由于具有实时性的要求,需要系统能够对大量数据快速处理。现阶段主要的超光谱图像处理系统有很多,比如专用 PC 机、专用 DSP、通用 DSP^[3]、FPGA、ASIC 和 FPGA+DSP 等。考虑到 FPGA+DSP 具有体积小,使用灵活,功耗小,性能高等特点,本文设计搭建了 DSP+FPGA 硬件平台。基于 DSP+FPGA 的图像压缩系统现阶段已有成功案例。如唐垚等人设计的系统采用 SDRAM 作为帧缓存,但是在 PCB 封装时 SDRAM 走线复杂。

为了避免走线复杂的问题,须文波等人采用 SRAM 作为帧缓冲器替代了 SDRAM。但是 SRAM 价格较高,使得系统成本增大。基于以上背景,该结构 FPGA 为协处理器,完成数据缓存、逻辑控制以及外部接口的控制,同时采用双口 RAM 乒乓操作实现对大量实时数据的高速缓存。相比之前方案降低了成本,同时便于对系统的调试。DSP 为中央处理器,实现超光谱图像的实时压缩处理。系统具有较强的通用性,可重构,适合模块设计,扩展性能好,工作稳定^[4-6]。

2 系统总体设计

本系统主要是对于来自 Cameralink 接口的超光谱图像进行传输压缩处理,并将处理完的数据经过 ASI 接口传输给下一级。根据功能要求,系统总体框图如图 1 所示。

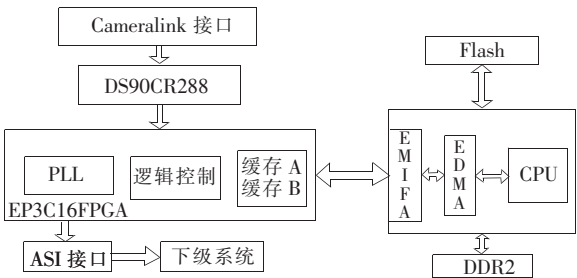


图 1 系统总体框图

Fig. 1 Overall diagram of system

系统工作流程为:固化在 DSP 内部 ROM 中的“boot loader”,在系统上电时将 FLASH ROM 前 1K 空间的内容复制到片内 L2 SRAM 的 0x800000 到 x8003FF 地址空间,复制完成后 DSP 会从 0x800000 地址处开始运行^[7]。Cyclone3 系列 FPGA 启动时需要经过复位、配置和初始化 3 个阶段。上电后,FPGA 检测 nSTATUS 和 CONF_DONE 这两个管脚的状态,若同时为低电平,FPGA 进入复位状态。经过一段时间延时后,FPGA 释放 nSTATUS 管脚,该管脚被上拉为高电平,此时 FPGA 进入配置状态。配置结束后 FPGA 根据配置数据初始化 FPGA 内部资源和管脚状态,初始化后 FPGA 开始运行用户程序。

系统采用的是基于 FPGA 的 Cameralink 数据采集卡。Cameralink 相机信号经 DS90CR288 解码为 FPGA 支持的 I/O 接口标准信号 LV-COMS/LVTTL 时钟输出。FPGA 对相机参数如曝光时间、图像尺寸、采集窗口进行设置。设置完成后,FPGA 在采集过程中控制信号的控制下,按照 Cameralink 接口时序接收来自相机的图像数据,并将其转换为 DSP 可以接收的数据格式,并将数据缓存在缓存 A 模块的双口 RAM 中,当 RAM 已储存满时,通过外部引脚触发 DSP 全局中断。DSP 根据中断源优先级触发 EDMA 控制器,按照 EMIFA 接口时序读取 RAM 中数据并将读取的数据以 EDMA 方式存储到 DSP 的 DDR2 中。EDMA 完成数据的传输后,EDMA 传输事件管理器触发 EDMA 完成传输的中断,CPU 对数据进行相应的运算处理并将处理完的数据储存到 DDR2 中。之后以相同的方式触发 EDMA 通道,将数据通过 EMIFA 接口将数据传输给 FPGA 的缓存 B 模块的双口 RAM 中。FPGA 将数据编码成 ASI 格式输出。

3 系统实现

3.1 FPGA 内部模块设计

FPGA 按其功能划分,主要分为相机控制模块、数据缓存模块 II、逻辑控制模块,其中逻辑控制模块主要包括写控制模块 I 和读控制模块 III,如图 2 所示。

相机控制模块:FPGA 内部模块产生相机控制信号,如像素时钟信号、图像信号源数据、同步

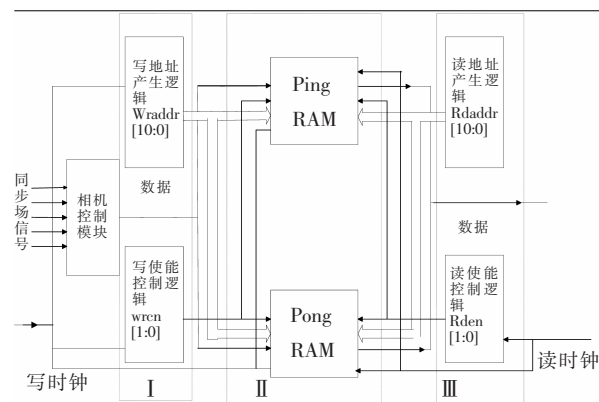


图 2 FPGA 设计结构图

Fig. 2 Design structure of FPGA

信号,由于 Cameralink 采用 LVDS 信号传输数据, FPGA 发出的 CMOS/TTL 控制信号经由 Cameralink 接口器件转换成 LVDS 信号,接收端配套器件进行解调,将四路 LVDS 数据流转换为 24 位图像数据和 4 位同步信号。

同时将 LVDS 信号转换为 FPGA 支持的 I/O 接口标准信号 LVCOMS/LVTTL 时钟输出。将 28 位数据信号和一位时钟信号传送给 FPGA 完成图像采集^[8]。同步信号主要有同步时

钟信号、场同步信号(FVAL)、行同步信号(LVAL)和数据同步信号(DVAL)。在 FVAL、LVAL 和 DVAL 有效的状态下,每个同步时钟采集一个有效像素信息。

数据缓存模块 II: FPGA 中数据缓存模块主要分为 A、B 两部分。下面以缓存 A 模块为例说明。由于来自 Cameralink 接口相机的数据量大,对实时性要求高,直接将数据交给 DSP 处理,会对 DSP 造成较大压力。FPGA 采用双口 RAM 作为缓存器。FPGA 根据 Cameralink 接口时序接收图像数据,产生适合 DSP 接收端位宽的数据格式,将接收到的数据缓存在双口 RAM 中。

当双口 RAM 中数据已存储满时,通知 DSP 取数据。DSP 外部存储器接口读取数据时钟频率为 125 MHz,双口 RAM 写入数据时钟频率为 25 MHz,写速度远小于读速度,因此可保证 RAM 可以连续不间断的接收 Cameralink 接口数据。

嵌入式系统要实现对超光谱图像的实时处理,首先要求该系统具有快速的数据传输能力^[9]。系统采用乒乓缓存机制来实现对实时图像的传输,如图 3 所示。



图 3 乒乓操作流程图

Fig. 3 Flowchart of ping-pong operation

图像在 FPGA 内部的缓存 A 模块例化 16 个 RAM。Pingpong 模块各采用 8 块,每块位宽 8 bit,深度 1 024 byte。每个模块的 RAM 都有 4 种状态,等待、写入、写满、读出。串并转换模块产生要求的数据位宽后,在写使能控制逻辑的控制下,将数据写入 ping RAM 中,同时地址逻辑将地址加一。在 ping 模块数据存储满后, ping 模块中数据在读使能逻辑的控制下,将数据传给 DSP 处理,每输出 64 bit 位宽数据,读地址加一。在 DSP 读取 ping 模块的同时,通过逻辑控制模块写使能 pong 模块。读时钟大于写时钟,保证 RAM 不会溢出。整个流程实现了 FPGA 在将数据传输给 DSP 处理的同时,可以不间断地采集相机数

据,彼此间工作不干扰。该机构通过乒乓缓存机制实现了对数据的高速缓存与传输^[10]。

实时图像数据经过图像处理模块处理后,同样采取乒乓操作方式将数据写入高速缓存 B 模块 RAM 中,在读控制模块的作用下,数据经过 ASI 接口,将处理完的数据交给下级系统。

3.2 DSP 系统软件流程

本设计选用 TI 公司的 TMS320C6455 作为压缩算法的主处理器。TMS320C6455 主频达到了 1 GHz,1 ns 的指令周期。每周执行 8 条 32 位指令。TMS320CC6455 片内是基于 C64xx 内核的 L1/L2 存储结构。片上集成有大量的存储空间。L1P 为 32K 字节,L1D 为 32K 字节,L2 为

2M字节、比此前 C64x 器的存储器容量翻一番,其中 L1P 和 L2 都可直接映射到存储空间^[11]。C6455 提供了 64 bit 宽的外部存储器接口 EMIFA, CPU 通过 EMIFA 接口访问片外存储器。该芯片的 DDR2 存储器接口,可以实现与 32 位存储器的无缝连接,高达 512M 的容量可储存大量图像数据。

FPGA 以同步方式连接到 DSP 的 EMIFA 接口。FPGA 中作为缓存的 RAM 存满后,以中断形式通过 INT0 引脚通知 DSP, DSP 接收到 FPGA 发送的中断信号后(沿触发方式),进入中断服务子程序^[12]。通过对 EMIFA 接口相关寄存器的设置,将 W_LTNCY 和 R_LTNCY 分别设置为 0、2,即写同步,读延时两个时钟周期。DSP 启用 EDMA 通道,将数字图像搬运到 DDR2 SDRAM 中,供 CPU 运算处理。数据在不同储存空间的转移任务由 EDMA 完成,而 CPU 只是用于对数据进行运算处理。EDMA 对数据具有重排能力,提高了数据传输能力,同时也提高了储存空间的利用效率。处理完的图像信息,通过双口 RAM 的缓存,通过 ASI 接口,发送给下级系统。由于 CPU 处理数据的速度要远远大于 RAM 搬运数据的速度。当 RAM 中数据搬运完时, FPGA 同样以中断形式向 DSP 发送中断信号, DSP 接收到该信号,内部处理完的数据经由 EDMA 通道将数据写入双口 RAM 中,通过 FPGA 与 ASI 接口的 8 位数据线及信号线,将数据传输输出。软

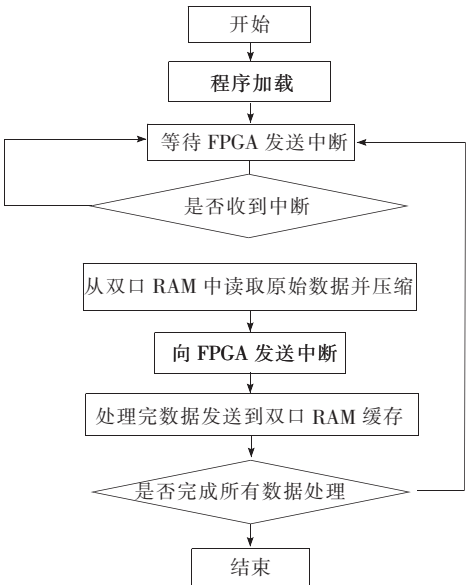


图 4 系统软件流程图

Fig. 4 Software flowchart of system

件流程图如图 4 所示^[13]。

4 实验验证

图 5 为 Cameralink 接口仿真图。

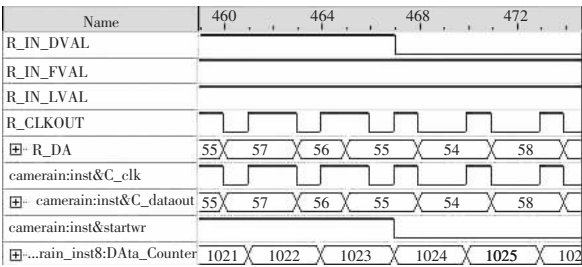


图 5 Cameralink 接口仿真

Fig. 5 Simulation of Cameralink port

R_IN_DVAL, R_IN_FVAL, R_IN_LVAL 分别为相机输出的数据有效, 帧有效和行有效信号。在 R_IN_DVAL, R_IN_FVAL, R_IN_LVAL 这些控制信号为高时, 在每个 C_clk 时钟输出一个有效数据。需要处理的图像格式为每行 1 024 个像素, FPGA 内部寄存器进行计数, 当 Data_Counter 小于 1 024 时, 输出有效数据给下个模块处理。图 6 为双口 RAM 的乒乓操作控制时序。

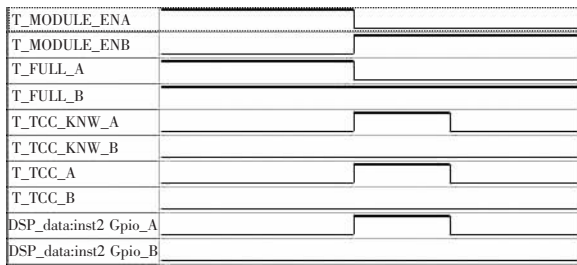


图 6 乒乓操作时序控制

Fig. 6 Ping-pong operation timing control

T_FULL_A 为高速缓存 A 中 RAM 的状态标志位。当该信号为高时, 表明高速缓存 A 模块中数据已经存储满。T_FULL_B 为高速缓存 B 中状态标志位。T_MODULE_ENA 和 T_MODULE_ENB 分别为 A, B 缓存模块的读使能信号。Gpio_A、Gpio_B 为 FPGA 发送给 DSP 的中断信号。当 A 模块中数据满时, 读控制通过将 Gpio_A 置高, 以中断形式向 DSP 发送中断信号。DSP 接收到该信号, 读取高速缓存 A 中数据, 此时 B 模块接收相机数据。该系统通过内部读写控制模

块、读选择模块之间信号反馈,以及中断信号 Gpio_A、Gpio_B,来实现 A、B 高速缓存模块之间读写的切换,流水式操作,提高了数据传输速率,实现了数据的高速传输。

为了验证该嵌入式系统的实时性,利用该系统对无人机图像平台上获取的超光谱图像进行了处理测试。该超光谱图像拍摄地点: Canal Flat, 北纬 50.066 7°, 西经 115.591 7°。拍摄高度 19 860 m, 谱分辨率 10 nm, 光谱范围 400~2 400 nm, 每个点像素为 16 bit。

图 7 为超光谱 80 通道原始图像,图 8 是超光谱 80 通道重建后的图像。通过试验验证,该系统的重建图像与原始图像相识度较高,同时可以实现对带宽为 1 024 byte×129 行×16 bit×200 帧的图像数据进行快速传输并压缩,运行时间小于



图 7 超光谱 80 通道原始图像

Fig. 7 80th channel hyper-spectral original images



图 8 超光谱 80 通道重建图像

Fig. 8 80th channel hyper-spectral reconstructed image

1 s, 满足项目需求。

5 结 论

嵌入高速实时处理系统需要对超光谱数据进行实时压缩处理,采用 FPGA+DSP 架构。FPGA 作为协处理器,负责对海量数据的缓存和各接口逻辑时序控制。运用乒乓操作机制实现对数据的流水式传输,提高了数据的传输速度,实现了对超光谱图像数据的实时传输。DSP 作为主处理器选用 TI 公司 TMS320C6455,该芯片能对复杂数据进行快速运算处理,完成不同的压缩算法。通过验证,该系统可以实现对实时图像压缩处理,并将处理数据转换成 ASI 格式,传输给下级系统。

参 考 文 献:

- [1] 张雷,黄廉卿. 超光谱数据压缩技术 [J]. 红外月刊,2005,(1):9-11.
- [2] 尹传历,李嘉全. 基于位平面的嵌入式超光谱图像压缩系统 [J]. 液晶与显示,2012,27(2):245-249.
- [3] 赵峰,袁东风,张海霞,等. 多 DSP 图像压缩实时并行处理系统 [J]. 光学 精密工程,2007,15(9):1451-1455.
- [4] 马冬冬,李金宗. 并行图像复原与超分辨处理系统的设计与实现 [J]. 光学 精密工程,2009,17(5):1149-1160.
- [5] 刘涛,贺彪,赵登超. 基于 DSP+FPGA 的红外成像系统设计 [J]. 江西理工大学学报,2008,29(4):27-30.
- [6] 王晓东,刘文耀. 基于 DSP 和 CPLD 的激光雷达图像采集和显示集成系统 [J]. 光学 精密工程,2004,12(2):190-194.
- [7] 徐家刚,徐瑞荣. 基于 TMS320C6455 的 FLASH 加载模式 [J]. 舰船电子对抗,2010,33(3):80-83.
- [8] 何浩. 基于 DSP 和 FPGA 的图像处理平台的研究和实现 [D]. 南京:南京航空航天大学,2011.
- [9] 刘涛. 基于 DSP 和 FPGA 的高分辨率全景实时处理系统硬件设计 [D]. 哈尔滨:哈尔滨工程大学,2011.
- [10] 吕耀文,王建立. 移动便携图像存储系统的设计 [J]. 液晶与显示,2012,27(5):697-702.
- [11] 李鸿清,朱明,鲁剑锋. 基于 TMS320C6455 的实时图像处理系统的设计 [J]. 微计算机信息,2007,23(2):171-173.
- [12] 潘小冬,陈泽祥,高升. FPGA+DSP 的红外图像数据采集与显示 [J]. 红外与激光工程,2007,36(6):968-971.
- [13] 宋宜良. 基于 FPGA 和 DSP 的实时图像处理系统设计 [D]. 大连:大连理工大学,2009.