

文章编号: 1007-2780(2013)04-0620-06

FPGA 实现高速实时多端口图像处理系统的研究

樊 博^{1,2}, 王延杰^{1,3*}, 孙宏海^{1,3}, 陈怀章^{1,2}, 何舒文^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: namefanbo@163.com;

2. 中国科学院大学, 北京 100049;

3. 中国科学院 长春光学精密机械与物理研究所, 航空光学成像与测量重点实验室, 吉林 长春 130033)

摘 要: 为了满足多个设备实时处理传输高速图像数据的需求, 介绍了利用 Virtex-6 FPGA 设计实现高速实时多端口图像处理系统的原理和方法。通过 Chipscope 工具采样输入输出数据, 验证了系统的可行性和可靠性, 并分析计算出系统速率和其他主要时间参数。实现了相机采集、PCIe 输入输出以及 DVI 输出等功能, 实验结果显示高速实时多端口图像处理系统具有集成度高、传输带宽高、功耗低等优点。在实时图像处理领域具有很高的实用价值。

关 键 词: FPGA; 实时; 多端口; PCIe; 图像

中图分类号: TP333.5; TP334.4 **文献标识码:** A **DOI:** 10.3788/YJYXS20132804.0620

High Speed Real-Time Multiport Image Processing System Realized on FPGA

FAN Bo^{1,2}, WANG Yan-jie^{1,3*}, SUN Hong-hai^{1,3}, CHEN Huai-zhang^{1,2}, HE Shu-wen^{1,2}

(1. Changchun Institute of Optics, Fine Mechanics and Physics,

Chinese Academy of Sciences, Changchun 130033, China, E-mail: namefanbo@163.com;

2. University of Chinese Academy of Sciences, Beijing 100049, China;

3. Key Laboratory of Airborne Optical Imaging and Measurement, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China)

Abstract: In order to meet the requirement of several devices process and access high rate image data at the same time, the theory and method of realizing high speed real-time multiport image process system on Virtex6 FPGA was introduced. Taking sample of input or output data by Chipscope to validate its feasibility and reliability. Its system rate and other primary time parameter was analyzed and computed. Camera input was realized, PCIe input-output and DVI output etc. Experimental result showed that the system has the advantages of high integration level, high transmission bandwidth and low power consumption etc. It has great use value in real-time image processing field.

Key words: FPGA; real-time; multiport; PCIe; image

收稿日期: 2012-12-18; 修订日期: 2013-05-17

基金项目: 国家 863 高技术研究发展计划资助项目 (No. 2012AA7031010B)

作者简介: 樊博(1987—), 男, 内蒙古鄂尔多斯人, 硕士研究生, 主要从事实时数字图像处理方面的研究。

* 通信联系人, E-mail: wangyj@ciomp.ac.cn

1 引言

高速图像数据的采集、传输、处理和存储技术一直以来都是图像处理领域的研究热点。在一个系统中同时保证多个设备实时处理传输一直以来都是难点之一,既需要系统具有容量大、接口丰富、满足实时传输的缓存设备^[1],又需要系统具有足够带宽的传输接口。现在一些高清相机的可以达到1 000 帧/s,数据速率可以达到2GB/s。对于这些高速图像数据的缓存通常使用大容量的SDRAM实现,但是这些SDRAM设备通常只有一个读写端口^[2-3]。对于多个设备同时读写高速图像数据并进行处理时,这种只有一个读写端口的存储设备显然不能保证为每个功能模块实时提供数据源。为此,本文提出一种利用FPGA现场可编程门阵列(Field Programmable Gate Arrays,FPGA)实现的高速实时多端口图像处理系统。该系统利用FPGA设计实现的高速实时多端口DDR3控制器和PCIe高速总线,完成高速图像数据的采集、处理、输出等功能^[4-5]。由于所有图像数据输入、输出都有缓存模块参与,所以通过ChipScope工具分析计算出该控制器的端口速率和主要时间参数可以分析出该系统数据传输的总带宽和实时性。结果显示该系统可以满足高速图像数据多设备同时访问的需求,在图像实时采集处理传输领域中有非常广泛的应用前景。

2 系统原理

FPGA是一种新型可编程逻辑器件,具有集成度高、设计灵活、适用范围宽等优点^[6-7]。本文设计的基于单片XC6VLX240T FPGA的高速实时多端口图像处理系统大体分为电源模块、时钟模块、FPGA配置电路、图像输入单元、FPGA控制单元和图像输出单元,如图1所示。其中,图像输入单元为CMOS相机和PCIe接口模块,为本设计提供高速图像数据。FPGA控制单元是本设计的核心,使用Verilog HDL语言在一片Xilinx高性能可编程逻辑器件Virtex6 FPGA来实现DDR3 SDRAM的控制、各设备访问DDR3 SDRAM的仲裁和各接口数据的缓存等功能。图像输出单元包括DVI显示模块、PCIe接口模块和SATA接口模块。

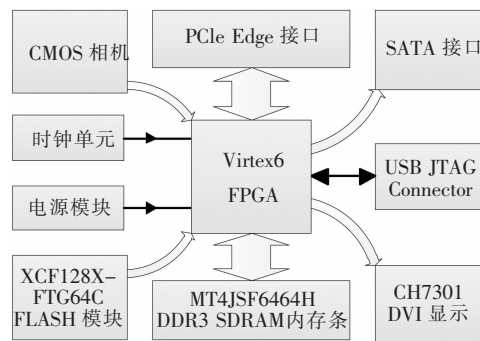


图1 系统框图

Fig.1 System chart

2.1 DDR3 控制器原理

多个设备访问DDR3的控制原理为:通过FPGA控制各个设备以一个合理的时间片分时访问DDR3内存条,并将数据提前读取或者存入各个设备的双口RAMs模块中,待需要时读出。这样对于各个设备而言,允许很小的延时情况下,它们可以同时访问DDR3。

不同的设备对同一SDRAM同时访问,必然存在冲突,所以需要有一个机制来控制SDRAM的应答,本文将这种应答机制简称为仲裁。它负责对各设备的访问请求做出应答,并根据应答结果对总线进行切换。如果SDRAM空闲,立即响应设备请求,将总线切换给该设备;如果SDRAM被占用,保留访问请求,等待SDRAM空闲时响应请求,并切换总线给该设备。由于这种小时间片切换速度很快,满足设备实时性要求。为了减少请求等待时间,具体实现原理如图2所示。

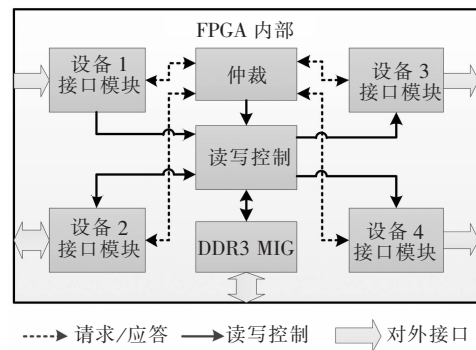


图2 DDR3 控制原理

Fig.2 DDR3 control theory

2.2 PCIe 实现原理

PCIe是一个多层协议,由一个传输层,一个数据链路层和一个物理层构成。物理层又可进一

步分为逻辑子层和电气子层。逻辑子层又可分为物理代码子层 (PCS) 和介质访问控制子层 (MAC)^[8]。

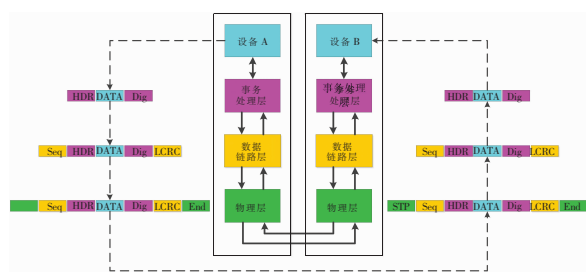


图 3 PCIe 数据包传输原理

Fig. 3 PCIe packets transport theory

PCIe 数据包的传送如图 3 所示。在设备的发送部分,首先根据来自设备核和应用程序的信息,在事务层形成事务层包 (TLP),储存在发送缓冲器里,等待推向下层;在数据链路层,在 TLP 包上再串接一些附加信息,这些信息是对方接收 TLP 包时进行错误检查要用到的;在物理层,对 TLP 包进行编码,占用链路中的可用通道,从差分发送器发送出去。接收可以视为发送的逆过程^[8]。

本文设计的 PCIe 接口是利用 Virtex-6 内部集成的 PCIe IP 实现。对于这种方式,在 FPGA 设计中只需要关心传输层包 (TLP),链路层包 (DLLP) 和物理层包 (PLP) 在 IP Core 中已经封装,平常不需要关心。

3 实现方法

本设计的实现主要分为 DDR3 读写控制的实现、PCIe DMA 传输的实现和对多个设备访问仲裁的实现。

3.1 DDR3 读写控制的实现

本设计的 DDR3 接口是使用 Xilinx MIG (Memory Interface Generator) IP core 来实现。IP Core 经过了严格仿真和测试,其效率较高,稳定性很高。所以这种方法既可以发挥 FPGA 的速度优势又可以保证 DDR3 控制器的高可靠性和较高的性能。

MIG 提供 3 种与用户逻辑的接口,分别为 AXI4 Slave Interface 接口、Native 接口和 UI 接口。AXI4 接口提供了一个标准,使用时必须先学习这个标准,比较复杂;Native 接口没有包含

buffers,所以数据传输快,但是数据可能会乱序;UI 接口是 Native 接口的简化,增加了 buffers 以使数据和读写请求同步,相对容易操作。因此,本文选择通过 UI 接口连接读写控制模块和 MIG 控制器^[9]。

读写控制模块直接控制的是 MIG,而 MIG 对读写操作有严格的时序要求。各个设备和读写控制模块之间的数据缓存是利用 Virtex6 内部的 Block RAM 设计的双口 RAMs 实现的,每组 RAM 的存储深度为 2 行 Pixels,双口 RAMs 采用高位地址“乒乓”的策略,顺序循环读写,这样可以保证每行 Pixels 稳定地读出^[10]。由于外部设备的时钟频率与 DDR3 SDRAM 的时钟频率不同,传统的方法是对触发信号进行锁存以同步到 DDR3 时钟域,由于 DDR3 会不定时刷新,锁存的触发信号可能会在刷新期间发生变化,本设计在锁存的基础上对这些触发信号进行锁定,直到 DDR3 响应访问命令才解锁触发信号,这样在多设备高速访问 DDR3 时,不致有个别命令未被真正响应,提高了系统的稳定性。一般在状态转换过程中不会对信号赋值,本设计在判断状态转换条件时,就对下一状态的信号赋值,这样能节省一个时钟周期,提高了状态转换的效率。

对于写操作,操作命令和操作地址送入地址 FIFO 中,同时要写入的数据存入数据 FIFO 中。但是数据写入 SDRAM 不是立即执行,这个滞后时间与读操作的滞后时间一致,所以本文测量得出的滞后时间为读操作的滞后时间。

对于读操作,操作命令和操作地址送入地址 FIFO 中,数据不是立刻读出,当 app_rd_data_valid 为高时,数据才被有效地从数据 FIFO 中读出,读操作的滞后时间可以通过观察读命令发出到数据有效读出的时间间隔确定。

3.2 PCIe DMA 的实现

Xilinx Virtex-6 中集成 PCIe 的硬核 IP Core,但是该 IP Core 没有 DMA 引擎,只有一个 PIO 参考设计^[11]。为了传送大块图像数据,本文设计了如图 4 所示的 DMA 传输结构,将其连接到 PCIe Endpoint Core,即硬核 IP Core。

Target Logic 模块用于捕捉 PC 设备发出的单次 MWr(存储器写操作)和 MRd(存储器读操作)。如果是 MWr TLP,那么根据收到的写入地址和内容来改变 Control/Status Registers 中相

应的寄存器值;如果是 MRd TLP,那么模块将首先读取 Control/Status Registers 中相关寄存器,然后根据 MRd 的地址返回相应的 Cpld TLP;Control/Status Registers 模块包含了 DMA 控制器的所有寄存器,这些寄存器都映射到 BAR(基址寄存器)空间中。PC 通过对 BAR 空间的读写实现对相关寄存器的读写,以此控制 DMA 的操作;Initiator Logic 用于产生 MWr 和 MRd 包,以及解析 PC 传回的 Cpld 包,是完成 DMA 读写操作的主要部分。

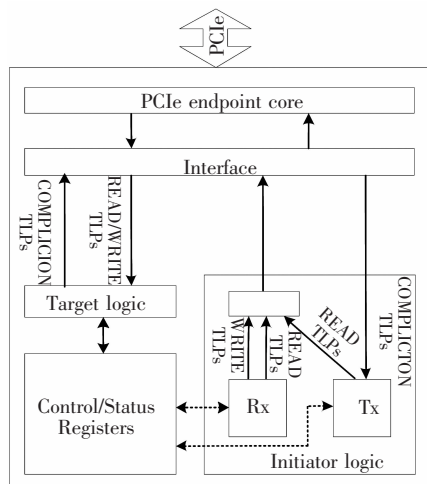


图 4 PCIe DMA 结构

Fig. 4 PCIe DMA architecture

3.3 仲裁模块的实现

DDR3 只有一组地址、数据和控制总线,所以同一时刻只能有一个设备在访问 DDR3,因此需要一种机制来判断 DDR3 是否处于被访问状态,并完成总线的切换。常用的方法有两种,一种为轮询机制,要求各个设备访问 DDR3 的总时间大体相等,采用相同时间片轮流切换总线给各个设备;另一种为仲裁机制,各个设备访问 DDR3 的总时间可以不相等,采用请求应答模式完成总线切换。本文不同设备访问 DDR3 的总时间不同,若采用轮询机制,每个设备获得总线的时间一样长,这样 DDR3 的带宽利用率将明显降低。采用仲裁机制在设备访问结束后,立刻释放总线,等待其他设备的访问请求,效率明显高于轮询机制。实现时,将一行 Pixels 读写时间作为时间片宽度,这样可以平衡带宽利用率和实时性,进一步保证本设计的可靠性。

仲裁模块的状态转移图如图 5 所示。IDLE

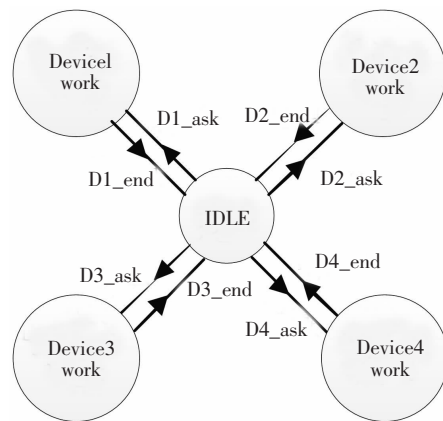


图 5 仲裁状态转移

Fig. 5 Arbitrator state transition

表示 DDR3 处于空闲状态,这时可以接受设备的访问请求,并将总线切换给请求访问的设备,状态转移到该设备工作状态,并等待设备操作结束,结束操作再次返回到 IDLE 状态。为了避免多个设备同时请求的滞后时间过长,仲裁模块为不同设备设置不同优先级。例如,可以将最重要的数据输入设备设置为最高优先级,其他设备设置为低优先级,这样可以保证数据的可靠性。在 IDLE 状态和工作状态之间跳转的时间为切换时间,这一时间一定程度上反应了仲裁模块的仲裁效率。

4 结果与讨论

为了客观评价上述系统的速度和效率,本文引入以下主要参数。滞后时间,即请求开始到数据写入或读出的时间间隔;时间片宽度,即一个设备占用 DDR3 总线的时间;切换时间,即请求信号开始到接收操作命令和地址的时间间隔;MIG 消耗时间,即读写命令输入 MIG IP core 到有效数据开始写入或读出的时间间隔。端口的最大速率可用式(1)表示。单次读写数据量与时间片的宽度有关,时间片越宽,单次读写数据量越大,端口速率也越大。但是时间片如果过大,会导致一个设备长时间占用 DDR3,其他设备无法满足实时性。综合考虑,本文采用读或写一行 Pixels 的时间作为一个时间片。DDR3 最高带宽利用率可用式(2)表示。

$$\text{端口速率}_{\max} = \frac{\text{单次读 / 写数据}_{\max}}{\text{时间片宽度}} \quad (1)$$

$$\text{带宽利用率}_{\max} = \frac{\text{端口速率}_{\max}}{\text{DDR3 理论带宽}} \times 100\% \quad (2)$$

该实验是利用在线逻辑分析仪(ChipScope)

完成的。传统的实验方法是通过示波器和逻辑分析仪,把探头接到 FPGA 的引脚上来捕捉信号用来分析,这种方法成本较高并且效率低下^[12-13]。Xilinx 推出的 ChipScope 正好弥补了以上不足,使用时只需调用 IP Core 并作信号连接和设置触发条件,就可以实时采样 FPGA 内部信号^[13],利用 FPGA 内部块存储器保存这些信号的值,并通过 JTAG 传到 PC 机上显示时序波形,从而实现 FPGA 内部信号的跟踪。

4.1 实验结果

实验时,DDR3 SDRAM 的时钟频率设置为 400 MHz,DDR3 的读写控制时钟为 200 MHz,DDR3 的物理数据位宽为 64 bit,所以读写控制的数据位宽为 256 bit。相机参数为 $1\,280 \times 1\,024 @ 50\text{ fps}$,DVI 显示参数为 $1\,280 \times 1\,024 @ 60\text{ fps}$,PCIe 参数为 Gen2 $\times$ 4 模式,DVI 和 PCIe 输出的是相机采集的前一帧图像。通过采样读写控制和

仲裁模块信号计算出各个参数相对于当前 DDR3 时钟频率的值,当 DDR3 的时钟频率改变时,这些参数的相对值不会改变。

ChipScope 的采样时钟频率为 200 MHz,读写控制时钟频率同样为 200 MHz,以下时钟周期为读写控制时钟周期,即 $1/200\text{ MHz}$ 。

图 6 标出上文所述仲裁模块的主要参数,包括切换时间、MIG 消耗时间和时间片宽度。实际测量切换时间为 5 个时钟周期,MIG 消耗时间为 22 个时钟周期,时间片的宽度为 67 个时钟周期,有效数据时间为时间片宽度减去切换时间和 MIG 消耗时间,等于 40 个时钟周期。滞后时间在该状态下为切换时间加 MIG 消耗时间,即 27 个时钟周期。 n 个设备访问时最大滞后时间为 $n-1$ 个时间片宽度加 27 个时钟周期。试验条件下,根据式(1)可知端口最大速率约为 3.8 GB/s,根据式(2)可知最高带宽利用率约为 59.7%。

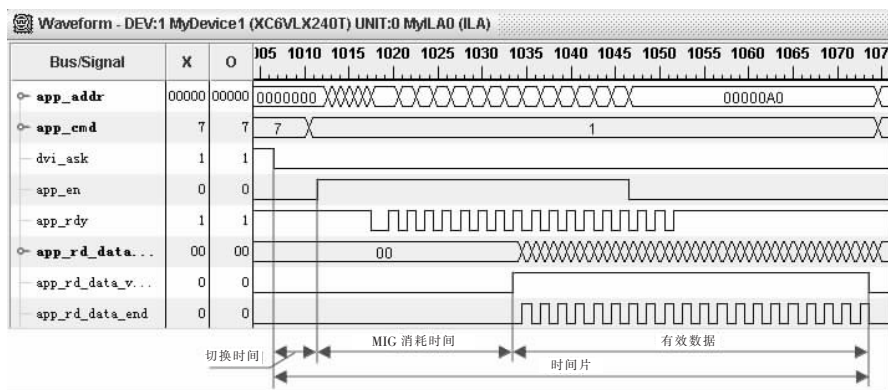


图 6 主要参数

Fig. 6 Primary parameters

图 7 为本实验实物结果。相机采集的图像缓存到 DDR3 中,并将图像经过 PCIe 传输到计算机,计算机叠加一个小目标之后再将其通过 PCIe 传回 DDR3 中,同时通过 DVI 将叠加的图

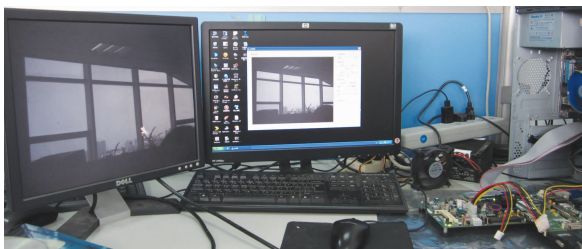


图 7 实验结果

Fig. 7 Experimental result

像显示。

4.2 讨 论

在上述切换时间和滞后时间前提下,当 DDR3 SDRAM 的时钟频率为 800 MHz,读写控制时钟周期即为 400 MHz,图像分辨率为 $1\,920 \times 1\,080$ 时,端口最大速率约为 8.8 GB/s,多个设备访问的平均带宽利用率约为 48%,最高带宽利用率约为 69%。

可见设计实现的高速实时多端口图像处理系统完全满足多个设备同时传输和处理高速图像数据的需求,使用 MIG 作为 DDR3 的接口,虽然带宽利用率不高,但是其稳定性很高。

5 结 论

文章在 Virtex6 FPGA 上通过仲裁机制完成了多设备同时高速访问 DDR3 的仲裁,实现了高速实时多端口图像处理系统,通过 ChipScope 分析、验证了设计的正确性。实验结果显示,该系统适合多种设备同时传输处理高速实时图像数据的

场合,具有稳定性好、切换时间固定、效率高等优点。利用 FPGA 设计实现的实时多端口图像处理系统能够满足多设备同时存取高清高速图像的需求,具有较高的端口速率和带宽利用率,在实时图像处理领域和其他多设备同时读写处理高速数据领域中具有很高的实用价值。

参 考 文 献:

- [1] 吕耀文,王建立,曹景太,等. 移动便携图像存储系统的设计 [J]. 液晶与显示,2012,27(5):697-702.
- [2] 李飞,刘晶红,李刚,等. 基于 FPGA 的数字摄像机输出视频 DVI 显示 [J]. 激光与红外,2011,41(11):1258-1262.
- [3] 王鸣浩,王志,吴小霞. 基于 SOPC 的高帧频数字图像采集显示系统 [J]. 液晶与显示,2011,26(5):650-654.
- [4] 孙科林,周维超,吴钦章. 高速实时光纤图像传输系统的实现 [J]. 光学精密工程,2011,19(9):2228-2235.
- [5] 宋亚军,许廷发,倪国强,等. 基于 Virtex-4 FPGA 的低功耗图像融合系统 [J]. 光学精密工程,2007,15(6):935-940.
- [6] 王骞,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现 [J]. 液晶与显示,2006,21(1):48-52.
- [7] 徐文波,田耘. Xilinx FPGA 开发使用教程(第2版)[M]. 北京:清华大学出版社,2012:14-17.
- [8] Xilinx Inc. Virtex-6 FPGA integrated block for PCI express user guide,UG517(v5.1)[EB/OL]. [2010-09-21]. <http://www.xilinx.com>.
- [9] Xilinx, Inc. Virtex-6 FPGA memory interface solutions user guide,UG406(v1.10)[EB/OL]. [2012-01-18]. <http://www.xilinx.com>.
- [10] 孙宏海,徐大鹏,王延杰. 高速图像实时无损记录存储回放装置,中国专利:CN102098562A [P]. 2011-06-15.
- [11] Xilinx, Inc. Bus master performance demonstration reference design for the xilinx endpoint PCI express solutions [EB/OL]. [2011-09-29]. <http://www.xilinx.com>.
- [12] 冉峰,杨辉,黄舒平. 面阵 CCD 彩色视频图像实时采集系统的设计 [J]. 光学精密工程,2010,18(1):273-280.
- [13] 肖积涛,马幼鸣,周鸣争,等. 基于 FPGA 的高速数据采集系统的设计与实现 [J]. 计算机技术与发展,2012,22(6):217-220.