

文章编号: 1007-2780(2012)01-0075-06

千兆以太网介质转换器在 LED 显示屏传输系统中的应用

李 爽^{1,2}, 郑喜凤^{1*}, 严 飞^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: lishuang_190210@163.com;

2. 中国科学院 研究生院, 北京 100039)

摘 要: 针对 LED 控制系统传输距离不同的需求, 设计了千兆以太网双绞线、光纤介质转换器。对以太网标准 802.3ab 和 802.3z 进行了介绍, 以 1000BASE-T 和 1000BASE-LX 为例, 详细研究了信号在两种标准物理层上的传输特性, 并构建了系统结构; 对传输帧结构进行了分析, 设计了主控 FPGA 内部的数据存储与转发方案, 实现了对数据帧的解包和重建。试验结果表明: 系统设计符合以太网标准物理层结构, 双绞线、光纤有效传输速率均可达 2 Gbit/s, 传输距离为 100 m~10 km。将两种传输介质应用于 LED 传输系统, 可以达到建网的最高性价比; 该设计对 LED 大屏传输系统以外的一般视频的实时远距离传输均有实际的借鉴意义。

关 键 词: 1000BASE-T; 1000BASE-LX; 传输系统; FPGA; LED

中图分类号: TN919.8

文献标识码: A

DOI: 10.3788/YJYXS20122701.0075

Gigabit Ethernet Media Converter Used in LED Display Transmission System

LI Shuang^{1,2}, ZHENG Xi-feng^{1*}, YAN Fei^{1,2}

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China, E-mail: lishuang_190210@163.com;

2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: For different distance requirement of LED control system, a Gigabit Ethernet media converter between twisted pair and fiber optic was designed. Ethernet standards 802.3ab and 802.3z were introduced. Taking 1000BASE-T and 1000BASE-LX as an example, signal transmission characteristics on the two physical layers was studied in details which were regarded as a basis for building the system structure. By analyzing the transmission frame structure, master FPGA controller was designed for data storing and forwarding. Data frame unpacking and reconstruction were also realized in the controller. The result showed that the system design matched the Ethernet standard on physical layer. The effective transmission rate was up to 2 Gbit/s both in twisted pair and optic fiber. The transmission distance could be 100 m~10 km. With two kinds of medium used in LED transmission system, the highest price quality could be achieved when constructing the network. The design could be a reference for long-distance, real-time, general video transmission besides the LED display.

Key words: 1000BASE-T; 1000BASE-LX; transmission system; FPGA; LED

收稿日期: 2011-06-20; 修订日期: 2011-08-04

基金项目: 国家科技支撑计划项目(No. 2009BAE73B01)

作者简介: 李爽(1983—), 男, 辽宁本溪人, 博士研究生, 研究方向为 LED 显示屏传输系统。

* 通讯联系人, E-mail: xfzheng6598@yahoo.com.cn

1 引言

LED 显示屏是 20 世纪 90 年代出现的新型平板显示器件,由于其亮度高、画面清晰、色彩鲜艳而受到人们的欢迎。全彩 LED 显示屏利用三基色原理,通过红、绿、蓝 3 种 LED 发光的叠加,产生彩色效果;真彩 LED 显示器每个单原色有 8 位灰度值,即单像素由 24 位 RGB 二进制数表示。LED 控制系统的图像源一般为实时的数字信号,要实现流畅的视频显示,就要把高刷新频率的图像按照 LED 点阵对应的像素信号进行实时传输,当显示分辨率较大时,对传输系统带宽的需求是巨大的。以太网是生活中常见的网络标准,将现有的以太网技术应用于 LED 屏幕传输系统,既简化了系统设计难度、减少了设计周期,又有利于形成 LED 屏幕控制系统的传输标准。目前的千兆网 LED 控制系统限于使用单一传输介质,不能集合光纤远距离传输和双绞线组网低廉的优点。为了解决此类问题,本文通过研究千兆以太网^[1]的相关协议,分析利用两种传输介质实现千兆以太网传输的异同,详细介绍了 1000BASE-T、1000BASE-LX 物理层信号的传输方式,设计了基于两种标准的介质转换器,并将其应用于 LED 传输系统。对 FPGA 主控制器的设计,主要分析了传输帧结构和图像数据的片内缓存方式。该系统在保证传输速率的前提下,节约了 LED 远距离实时传输系统的成本。

2 设计原理

2.1 千兆以太网

千兆以太网技术目前有两个标准:IEEE802.3z^[2]和 IEEE802.3ab。IEEE802.3z 制定了光纤和短程铜线连接方案的标准,包括:1000BASE-LX、1000BASE-SX 和 1000BASE-CX。IEEE802.3ab 制定了五类双绞线上较长距离连接方案的标准:1000BASE-T。本文选取 1000BASE-LX 和 1000BASE-T 分别为光传输和双绞线传输的代表,讨论 802.3z 和 802.3ab 在 LED 传输系统中的应用以及它们之间的转换过程。

2.2 LED 传输系统

双绞线传输的千兆网 LED 传输系统^[3-5]结构如图 1 所示,其中数字视频接口从 PC 主机获得显示视频源;利用数据缓存部分实现了视频源与

网络传输的速率匹配;发送端千兆网 MAC 层对数据进行封装,并构建了顶层传输控制协议;千兆网物理层完成数据的信道编解码、传输时钟的生成以及控制码元在物理信道上的传输;接收端物理层实现传输时钟的提取和信道解码;MAC 层进行帧解包,并对数据进行检验;数据按区分配部分将图像数据源按照扫描系统^[5-6]的需求分成小区域像素块,并送入扫描系统;扫描系统负责对 LED 驱动芯片的控制,进行区域显示^[7-8]。

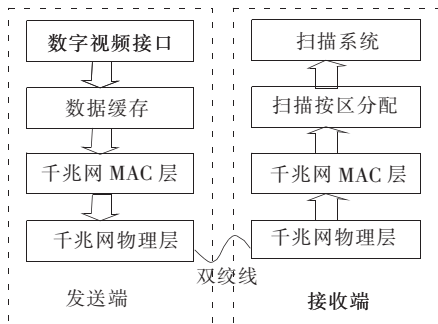


图 1 LED 显示屏双绞线千兆网传输系统结构

Fig. 1 Transmission system structure of gigabit ethernet using twisted-pair

利用光纤传输的千兆网 LED 传输系统结构与图 1 类似,具体的实现方法有所区别。两种传输介质分别在构网成本及远距离传输中具有较大优势,灵活的选取传输方式能够提高性价比,为了集合两种传输方式的优点,设计一种 LED 传输系统介质转换器是必要的。

3 设计思想

3.1 系统构成

千兆网介质转换器结构如图 2 所示。图像源数据通过两个 RJ45 接口进入系统,每个接口速率为 1 Gbit/s。网络变压器将双绞线上的信号转换为码元能够识别的格式。物理层分为 3 个子层^[9],分别为物理编码子层(PCS)、物理介质连接子层(PMA)和物理介质依赖子层(PMD)。1000BASE-T 物理层控制芯片实现的功能包括 PMD 子层的 A/D 转换功能;PMA 子层的传输时钟恢复功能;以及 PCS 子层的维特比解码和去扰功能。在数据帧进入主控 FPGA 前恢复出两路 125M 时钟 8 bit 数据信号。主控 FPGA 完成 MAC 层的功能,将进入的两路数据分别进行一级解包并缓存,将数据以 16 bit 为单位,组成新帧

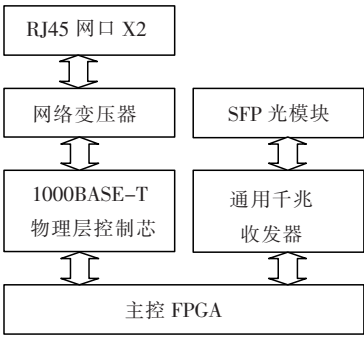


图 2 千兆网介质转换器结构

Fig. 2 Structure of Gigabit Ethernet media converter

并加入控制信息后转入通用千兆收发器;进入收发器的数据首先经过光纤 PCS 子层的 8B/10B 编码,然后送入 PMA 子层完成并串转换,在经过相应的差分电平转换后进入 PMA 子层,即 SFP 光模块,实现电光转换,并最终的光信号的方式传输于单模光纤。接收端的数据流方向完全相反,数据由光纤端进入,在 主控 FPGA 内将以 16 bit 为单位的帧重新解包并缓存,转换为两路 8 位帧信号后,按原始双绞线数据格式发回原接收系统。

3.2 1000BASE-T 物理层

1000BASE-T 物理层的传输介质为 4 对非屏蔽双绞线,每对双绞线全双工传输速率为 250 Mbit/s;物理层实现的功能包括:

(1)与 MAC 层接口

通过 GMII 接口,接收来自控制器的 8 bit, 125M 图像数据,或对物理层恢复好的传输数据上传至主控制器。

(2)发送端对数据加扰,接收端去扰

当发送端的数据呈现某种周期性变化时,信号频率成分单一,容易受到串扰或干扰,例如,源端重复发送数据 1010 与 1100,4 对双绞线上的波形信号变化如图 3 所示,图中信号采用 NRZ 码,其原理为,遇信号“1”时,电平翻转,遇信号“0”时,电平不变。从图中可以看出左端全“1”的波形频率最高,且频率确定。通过对数据进行加扰,单个时钟周期内将不会传输固定频率信号,信号能量将分布在一定宽度的频率范围内,从而有效地白化了信号频率成分。这种模拟加入信号白噪声的传输方式,使双绞线间产生的串扰信号与传输数据不相关,接收端能够更容易地将数据信号与噪声信号区别开来。

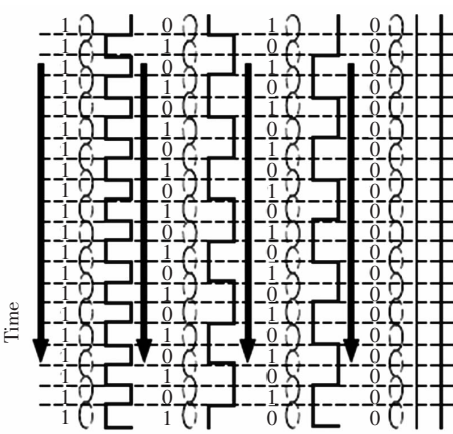


图 3 双绞线上波形变化图

Fig. 3 Waveform graph in twisted-pair

(3)PAM5-4D 电平转换

1000BASE-T 将 8 bit 数据分布在 4 对双绞线上,按 PAM5 信号进行传输。PAM5 即事先在传输线上确定 5 种电平标准(-2,-1,0,1,2),每种电平表示 2 bit 数据信息,当以 125M 时钟频率传输此电平信号时,数据速率为 250 Mbit/s。其中,5 个电平被分成(-1,1)和(-2,0,2)两组信号元,传输中保证了同一子组最小欧式距离^[10]最大化和进入同一状态或离开同一状态的不同子组之间的欧氏距离最大化。第二级编码采用了 4 维 8 状态网格前向纠错 Trellis^[11]编码,在接收端采用 Viterbi^[12]解码,增加了传输纠错能力。

3.3 1000BASE-LX 物理层

系统光纤传输物理层的构建包括 8B/10B 编码^[12]、并串转换以及信号的电平转换。

(1)8B/10B 编码是信道编码的一种,是将待传输的 8 位数据按一定的编码方式转换为 10 位数据进行传输的过程。8B/10B 编码使数据流中连续的“0”或“1”的个数不超过 5 个,能够有效地避免因接收端时钟漂移引起的数据丢失;实现 DC 补偿和检错功能;并且能传输特定的控制字符。直流平衡代码的不平衡度是通过码字中“0”的个数减去“1”的个数计算得到的。8B/10B 编码通过将 8 位数据拆分成 3 位和 5 位两组,分别对应 10 位中的 4 位和 6 位,编码后两组数据的位数均为偶数,因此两组的不平衡度取值为 0、±2。8B/10B 编码将编码后每组不平衡度取值非 0 的码用两个码字表示,使整个编码后的码值不平衡度为 0;且前码的后 6 位与后码的前 4 位不平衡

度之和也为 0,从而实现检错与 DC 平衡。

(2) 并串转换

以光为载体传输电信号,通过单位码元周期内光的亮暗来表示二进制数据 0 或 1。因此在数据进入光模块前需要对其进行串行化操作,以满足光的传输需求。

本设计中选择的光纤物理层芯片与 MAC 层的接口为 16 位数据总线。FPGA 主控制器通过 125 Mbit/s 时钟向芯片输入 16 位待传输数据。经过双 8B/10B 编码器对数据的信道进行编码后,数据位数变为 20 位。芯片内部将输入的时钟倍频为 20 倍,并串转换后待传输数据以差分信号的方式串行输出至光模块。总传输速率为:

$$125 \text{ Mbit/s} \times 20 = 2.5 \text{ Gbit/s};$$

由于 8B/10B 编码效率为 80%,因此有效传输速率为:

$$2.5 \text{ Gbit/s} \times 0.8 = 2 \text{ Gbit/s};$$

与 1000BASE-T 传输速率匹配。

(3) 物理层芯片输出的差分电平为 CML 电平,光模块一般接收的电平标准为 LVPECL,串行信号进入光模块之前需要进行相应的电平变换。转换过程中需要做到输入输出端的电平匹配、阻抗匹配和耦合方式的匹配。对 LVPECL 到 CML 的连接,设计中选取交流耦合方式,在 LVPECL 的两个输出端加入 180Ω 对地偏置电阻,在信号通道上分别串入 25Ω 电阻,使 LVPECL 信号摆幅在 CML 接收范围内;对 CML 到 LVPECL 的连接,接收端需上拉 $2.7 \text{ k}\Omega$ 电阻,并下拉 $4.3 \text{ k}\Omega$ 电阻,使 CML 电平在 LVPECL 的接收范围内。

3.4 主控 FPGA 设计

FPGA 设计结构如图 4 所示。以 1000BASE-T 作接收端、1000BASE-LX 作发送端为例,讨论主控 FPGA 的工作过程。

由 1000BASE-T 物理层送入 FPGA 的数据信号为 2 组时钟为 125M 的 8 位信号,数据帧内容包括:帧头、控制数据、图像数据以及帧尾;按 8 位二进制数据为 1 个字符,帧头含 4 个字符:分别为 7C、D2、15 和 D8;控制数据 2 个字符:CON1、CON2 包含当前帧的特定信息;每帧以 256 列 24 位 RGB 图像数据为传输内容,因此,转换为 8 位数据后共有 768 个字符,帧尾 6 个字符“0”,每帧共计 780 个字符。1000BASE-T 的 MAC 层控制

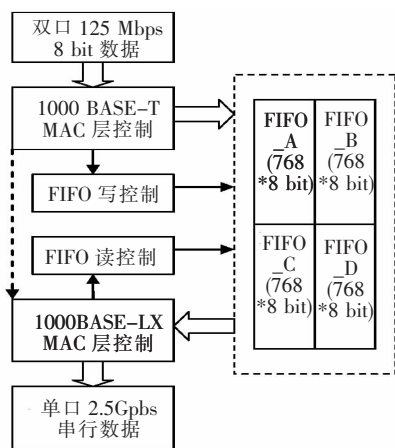


图 4 主控 FPGA 设计结构图

Fig. 4 Structure of FPGA design

模块负责对数据帧进行监听,当其收到有效的帧头信号后,控制 FIFO 写控制模块开启相应的写使能信号,将有效图像数据写入 FPGA 片内对应的 FIFO 中。同时,控制 FIFO 读控制模块,将已经存储在 FIFO 中的对应数据读出并送入 1000BASE-LX 的 MAC 层。图像数据在 FPGA 内部的存储采用“乒乓”操作的方式,设计中例化 4 个 FIFO(位宽为 8 bit,深度为 768),每 2 个为一组,当双口图像帧数据到来时,对 2 块 FIFO(例如:FIFO_A、FIFO_B)分别进行 8 位写操作;同时 FIFO_C 和 FIFO_D 中的数据被读出并组成一组 16 位数据。当下一帧图像数据到来时,则对 FIFO_C 和 FIFO_D 进行写入,对 FIFO_A、FIFO_B 进行读出。读写时钟均为 125 Mbit/s,双口 8 bit 与单口 16 bit 相匹配,并且每帧之间均有适当的间隙,保证 FIFO 不会溢出。1000BASE-LX 的 MAC 层对从 FIFO 中读出的数据仍需要进行“打包”处理,来保证传输的有效性,帧结构构成与双绞线端相同,单位字符由 8 位变为 16 位。帧头 4 个字符为:557C、55D2、5515 和 55D8;控制信号 [CON1_C, CON1_D]、[CON2_C, CON2_D](设 FIFO_C、FIFO_D 正被读出)分别组成 2 个字符, FIFO 中的图像数据按相同位置进行组合,含 768 个字符,帧尾 6 个字符“0”,每帧仍然由 780 个字符组成。1000BASE-LX 的发送与 1000BASE-T 的接收过程同步,“打包”后的数据送入光纤物理层,经电光转换后光纤传输至远端,即实现了双绞线到光纤的介质转换。

在传输系统的另一端,可根据实际传输介质

需求,将光信号直接加以利用或者重新转换为双绞线信号,1000BASE-LX 接收、1000BASE-T 发送时,数据流方向与上述过程相反,设计过程相同。

4 设计验证

1000BASE-T 接收端的数据仿真如图 5 前两行所示,图中 7C、D2、15、D8 部分为帧头,00 和 34 为控制数据,34 表示当前传输的是第 52 帧(16 进制 34),00、01……为试验图像数据,以 256(FF)为一个周期递增,768 个数据字符刚好为 3 个循环周期,FE、FF 为数据尾部,00 为帧尾部分;1000BASE-LX 的发送部分仿真如图 5 后两行所示,图中 557C、55D2、5515、55D8 部分为帧头,0000、3534 为控制数据,表示相邻的 53、52 帧(16 进制 35、34),0000、0101……FEFE、FFFF 为刚收到并转发的图像数据,帧尾为 6 个 0000;从图中可以看出两个独立的 1000BASE-T 数据帧成功实现了单帧 1000BASE-LX 的转发。

1000BASE-T MAC 层 FIFO 读写控制采样如图 6 所示(利用 ALTERA 的 Signaltap 获得)。图中 P0_CLK 和 P0_rxdv 和 P0_rxddata 分别为 1000BASE-T P0 口的接收时钟、接收使能和 8 位数据信号,可以看出数据有效起始于 7C、D2……处。P0_CON1 和 P0_CON2 均为 8 位寄存器,实现控制信号的单独存储。每个 FIFO 在写入之前都会进行复位,防止前次读取操作未读空 FIFO,造成数据残留,影响本次读取操作。fifo1_wen 为 FIFO_A 写使能信号,与有效试验像素起始数据 00 对齐。P1 部分各信号所代表的意义与 P0 一致;由于是两个独立数据帧,因此接收时钟、使能等所对应时序的起始位置可能有所不同,图中 P0 口与 P1 口相差半个时钟周期;fifo3_4_ren 为 FIFO_C、FIFO_D 读使能信号,由 P0_rxdv、P1_rxdv 共同触发,实现对 FIFO_C、FIFO_D 的同时读取,读取的 16 位数据为 fifo_data,直接送入 1000BASE-LX MAC 层进行封装成帧,并实现了实时转发。

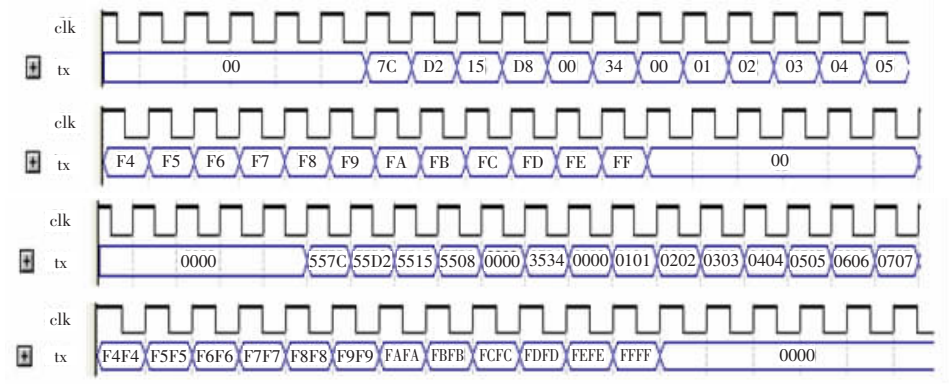
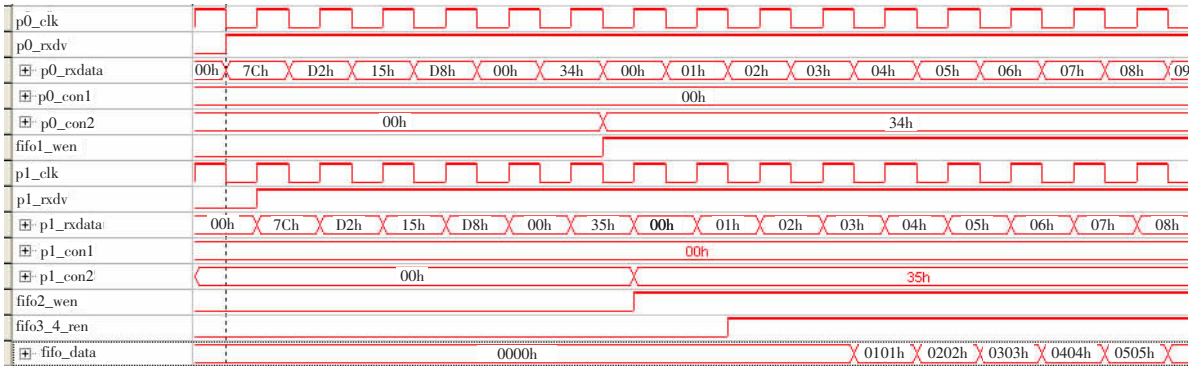


图 5 1000BASE-T 接收端、1000BASE-LX 发送端仿真数据帧格式。

Fig. 5 Simulated data frame in 1000BASE-T receiver and 1000BASE-LX sender



5 结 论

介绍了千兆以太网 1000BASE-T 和 1000BASE-LX 标准的原理和具体的实现方法。通过物理层的对比,设计了介质转换系统,使双绞线与光纤的传输方式能够高效地应用于 LED 传输系统;对比相关千兆网介质转换器,本系统对传输帧进行 MAC 层解包及重新封装,将介质转换深入到了 MAC 层,控制指令单独缓存,区别于简单物理层数据帧转发,为后续屏体与控制主板间的路由设计方案提供了设计基础;对传输中的帧结构进行

了分析,设计了与原传输系统兼容的数据格式,对每帧数据在 FPGA 控制器中进行缓存,增加了传输的稳定性,并与传输速率相匹配。1000BASE-T 利用 PAM5 电平使双绞线单路传输有效速率达 1 Gbit/s;1000BASE-LX 通过 8B/10B 编码,实际传输速率达 2.5 Gbit/s,有效速率为 2 Gbit/s,实现了与双路双绞线的匹配。试验结果表明,将介质转换器应用于 LED 传输系统,可以提高 LED 传输系统的互联灵活性,在保证传输距离的情况下减少了构网成本;同时,该转换器对于视频类信号源远距离传输具有实际的借鉴意义。

参 考 文 献:

- [1] 陆建德. 千兆以太网 1000BASE_X 体系结构实现分析 [J]. 小型微型计算机系统,1999,20(12):919-923.
- [2] IEEE 802.3 ETHERNET WORKING GROUP. IEEE Std 802.3-1998, Gigabit Ethernet [EB/OL]. [2011-06-10]. <http://www.ieee802.org/3>.
- [3] 丁铁夫,刘超,杨磊,杨旭. 基于千兆以太网的实时视频传输系统设计 [J]. 微计算机信息,2008,24(12-3):132-134.
- [4] 郭宝增,邓淳苗. 基于 FPGA 的 LED 显示屏控制系统设计 [J]. 液晶与显示,2010,25(3):424-428.
- [5] 赵才荣,丁铁夫,郑喜凤,等. 大屏幕 LED 显示控制系统的设计 [J]. 液晶与显示,2005,21(6):564-568.
- [6] 汪岚. 智能 LED 信息显示屏控制系统设计与应用 [J]. 液晶与显示,2011,26(5):655-659.
- [7] 梁志明,李斌. FPGA 的大屏幕全彩 LED 扫描控制器设计 [J]. 液晶与显示,2007,22(4):477-481.
- [8] 吴君钦,苗瑞瑞,李艳丽. 彩色 LED 屏驱动扫描关键技术研究 [J]. 液晶与显示,2010,25(2):253-256.
- [9] 刘超. 基于千兆以太网技术的实时视频传输系统设计 [D]. 长春:中国科学院长春光学精密机械与物理研究所,2008.
- [10] 尹柱霞,郑喜凤,于洪涛. ARM+FPGA 控制的 LED 脱机屏系统设计 [J]. 液晶与显示,2010,25(2):262-267.
- [11] MSc Integrated Electronics. Gigabit Ethernet Over Category 5 U. T. P. Cabling [EB/OL]. [2011-06-10]. <http://www.soc.napier.ac.uk/~bill/pdf/giga.pdf>.
- [12] 李宥谋. 8B/10B 编码器的设计及实现 [J]. 电脑技术,2005,(6):26-32.