

文章编号:1007-2780(2011)05-0650-05

基于 SOPC 的高帧频数字图像采集显示系统

王鸣浩,王 志,吴小霞

(中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033, E-mail: wangminghao_cc@163.com)

摘 要: 为了代替 PC 机对高帧频数字图像进行实时采集显示,使用片上系统(SOC)和可编程片上系统(SOPC)的设计方法,设计了基于 Nios II 软核的嵌入式图像采集显示系统。依据系统功能需求设计出系统架构,给出了系统各个功能模块的设计方法,对系统中接口模块的信号时序和图像数据缓存处理架构进行了软件编写及仿真。描述了应用该系统所进行的高帧频图像采集显示实验,并分析了系统性能。实验结果表明:对于帧频高达 1 230 帧/s、分辨率为 128×128 的图像源,该系统可以对其进行实时的采集显示。满足了降低成本、节约空间、提高系统稳定性和工作带宽的要求。

关 键 词: SOPC;高帧频相机;FPGA;图像采集

中图分类号: TN24;TN27 **文献标识码:** A **DOI:** 10.3788/YJYXS20112605.0650

High Frame Rate Digital Image Acquisition and Display System Based on SOPC

WANG Ming-hao, WANG Zhi, WU Xiao-Xia

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China, E-mail: wangminghao_cc@163.com)

Abstract: In order to replace the PC system for high frame rate digital image acquisition and display based on camera link interface, an embedded system based on SOPC and Nios II has been developed. System construction is designed according to functional requirement, and the design method for each functional module of the system is presented. Then signals of interface module, image data storage and process module have been programmed and simulated. Finally, the experiment of system for high frame rate digital image acquisition and display is described and analyzed. Experimental results indicate that high frame rate image which resolution is 128×128, and transferred at 1 230 frames/s can be grabbed, processed and displayed by designed system. It can satisfy the system requirements of lower cost, saving space, improving system stability and work bandwidth.

Key words: SOPC; high frame rate camera; FPGA; image acquisition

1 引 言

高帧频数字图像采集处理技术在军事领域和民用工程中的应用日益广泛。随着探测器制造技

术的迅速发展,相机厂商纷纷推出了高帧频、大靶面相机。在诸多实际工程应用中,高帧频图像的采集和显示尤为重要。目前常见的方案是采用基于 PCI 或 USB 接口的数字图像采集卡,经由 PC

收稿日期: 2011-03-15; 修订日期: 2011-04-20
基金项目: 国家 863 资助项目(No. 2008AA8080502)
作者简介: 王鸣浩(1981—),男,吉林长春人,博士,主要从事地基大口径望远镜图像处理的研究工作。

机实现图像处理和动态显示。这样,系统的体积会比较大,成本较高,不便于携带;另外,当图像帧频较高、数据量很大时,图像的显示将占用 PC 机过多的资源且实时性受到 PC 机处理能力的限制^[1]。本系统设计目标为低成本、高性能、便携嵌入式系统,代替 PC 机对高帧频数字图像进行实时采集和显示,达到了降低成本、节约空间和保证系统工作稳定性的目的。系统采用基于 SOPC 可编程片上系统的设计方法,使用 FPGA 编程实现高帧频图像数据的实时采集和 VGA 显示控制,并加入了适当的图像处理算法,经过数字模拟转换后将处理后的图像数据动态显示在液晶显示器上,通过实验验证,该系统可以对帧频为 1 230 帧/s、分辨率为 128×128 的高帧频图像进行实时采集及显示。

2 系统设计

2.1 硬件平台设计

系统框图如图 1 所示,主要包括如下几个部分:相机数据转换、相机设置通讯、图像数据缓存处理、VGA 控制器及显示。

各个模块均应用 SOPC 解决方案,使用 SOPC Builder 9.0 实现,通过 Avalon 总线与 Nios II 软核链接^[2],实现系统构建。

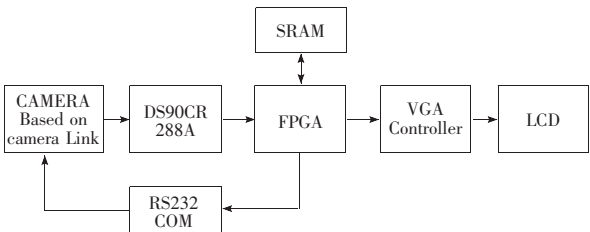


图 1 系统框图

Fig. 1 Block diagram of the system

2.1.1 相机数据转换

系统的图像数据接口为 Camera Link 接口,该接口传输速率高,数据量大,接口形式标准,可为高速、高精度的数字相机提供简单、灵活的连接。接口传输的信号为 LVDS 差分信号形式,相机端的驱动器将 28 位 CMOS/TTL 信号(图像数据、行场信号)串行化为 4 对 LVDS 数据流,一个锁相环传输时钟通过第 5 对 LVDS 链路与其他 LVDS 数据流并行传输像素时钟信号。采集端的接收器接收 4 路 LVDS 数据信号和 1 路 LVDS 时钟信号,将数据流转换回 28 位 CMOS/TTL 形式的并行图像信息。5 对线缆可以传输 28 位数据信号,减少了线缆的使用数量,意味着可以使用较小的连接器。传输速率可高达 2.38 Gbit/s。

本设计为了从相机传输的 Camera Link 信号

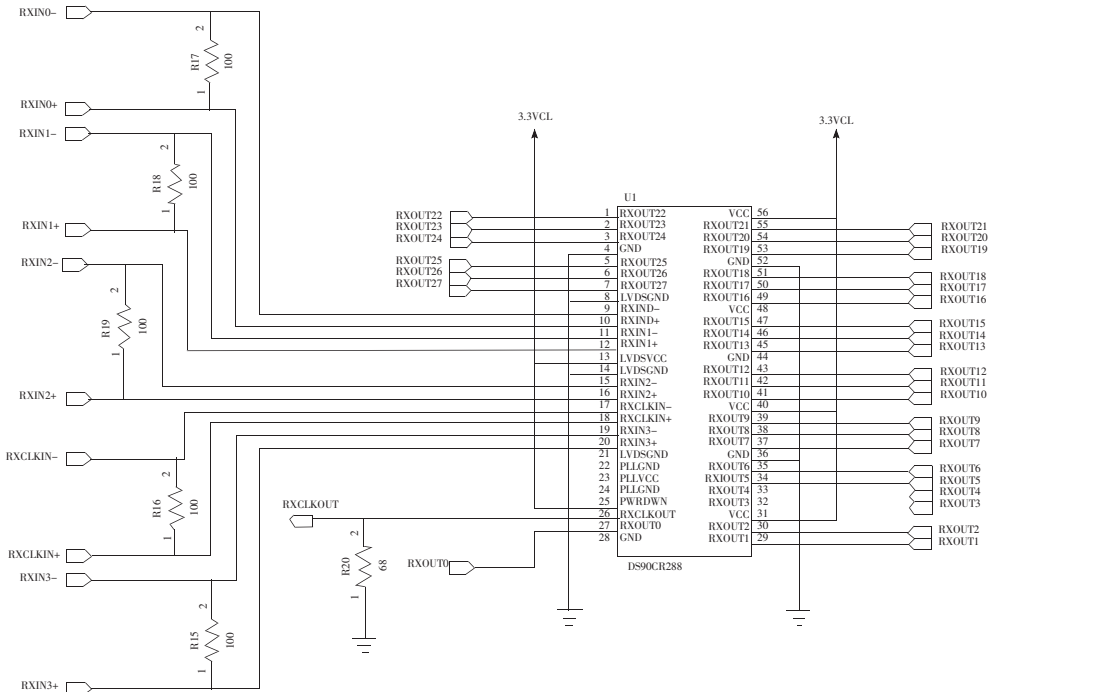


图 2 Camera Link 接口串并转换电路原理图

Fig. 2 Serial-parallel conversion circuit diagram of camera link interface

中转换出图像信息,采用 DS90CR288A 串转并芯片将 LVDS 信号形式转换成 CMOS 电平形式,使传输的串行图像数据及像素时钟信号与采集端的 FPAG 端口相匹配^[3]。接口电路的设计如图 2 所示。

2.1.2 相机设置通讯

基于 Camera Link 接口的相机通讯有两种信号:一种是高速相机控制信号——4 组 LVDS,分别用于外部同步信号 (EXSYNC)、重置信号 (PRIN)、向前信号 (FORWARD) 和保留信号 (Future Use);另一种是低速串行通讯命令信号 (SerTFG 和 SerTC),支持 RS232 异步串行通信协议。本设计采用串口命令的方式来设置相机,相机厂家提供了其产品指令库以方便相机的设置及控制。

2.1.3 图像数据缓存处理

经过信号转换的图像数据和行有效、帧有效等信号被 FPGA 采集,用于图像数据的实时缓存。本设计采用 ALTERA-CYCLONEⅢ 系列低成本高性能 EPC40-FPGA 为主要的图像数据缓存处理器,其主要特点为:65 nm 工艺;35 mW 内核静态功耗;39 600 个逻辑单元;126 个 M9K 存储模块;存储器数量为 1.1 Mbit;126 个乘法器;4 个 PLL;20 个全局时钟;最多 535 个 I/O 引脚。

该款 FPGA 与高速 SRAM 连接,由 FPGA 产生访问高速 SRAM 的地址信号,将每帧图像数据实时缓存至 SRAM 等待处理和显示。SRAM 的大小及速度决定了系统可以采集图像的分辨率及帧频数。缓存的图像数据经处理后发送至 VGA 控制器端实时显示。

2.1.4 VGA 控制器及显示

为了对高帧频图像进行监视并方便验证图像处理算法的正确性,需要图像显示端口将处理后的图像数据输出至液晶显示器上^[4]。对于高帧频相机而言,其图像输出的频率与图像的分辨率有制约关系,即输出图像的帧频数越高,其输出图像的分辨率越低,本系统设计了基于 VGA 标准的显示端口进行高速图像的动态显示,其分辨率为 640×480,图像显示频率为 60 Hz,可以满足每秒输出帧频过千的高帧频相机所采集图像的分辨率^[5]。

系统中由 FPGA 产生 VGA 显示所需的行、场同步信号及复合消隐信号,直接传输至 VGA

接口上的对应管脚作为显示控制信号。采用 ADV7123 芯片作为图像数据的数字模拟转换芯片,将 FPGA 处理得到的数字图像数据转换成模拟信号后传输至 VGA 接口。液晶显示器在显示控制信号的作用下接收并显示出处理后的图像数据。

图 3 所示为 VGA 标准图像格式 (640×480 @60Hz) 的显示控制信号时序图。其中点时钟 (Dclk) 为 25.175 MHz,场频为 60 Hz。图中 V_{sync} 为场同步信号,场同步周期 T_{vsync} 为 16.683 ms,每场有 525 行,其中 480 行为有效显示行,45 行为场消隐期。场同步信号 V_{sync} 每场有一个低脉冲,该脉冲的低电平宽度 t_{wv} 为 63.5 μ s (2 行)。场消隐期包括场同步时间 t_{wv} 和场消隐前肩 t_{HV} (10 行) 和场消隐后肩 t_{VH} (33 行),共 45 行。行周期 T_{Hsync} 为 31.78 μ s,每显示行包括 800 点,其中 640 点为有效显示区,160 点为行消隐区。行同步信号 H_{sync} 每行有一个低脉冲,该脉冲的低电平宽度 t_{WH} 为 3.81 μ s (96 个 Dclk);行消隐期包括行同步时间 t_{WHI} 、行消隐前肩 t_{CH} (16 个 Dclk) 和行消隐后肩 t_{CHI} (48 个 Dclk),共 160 个点时钟^[6]。复合消隐信号 Blank 是行消隐信号和场消隐信号的逻辑与,在有效显示期复合消隐信号为高电平,在非显示期为低电平。

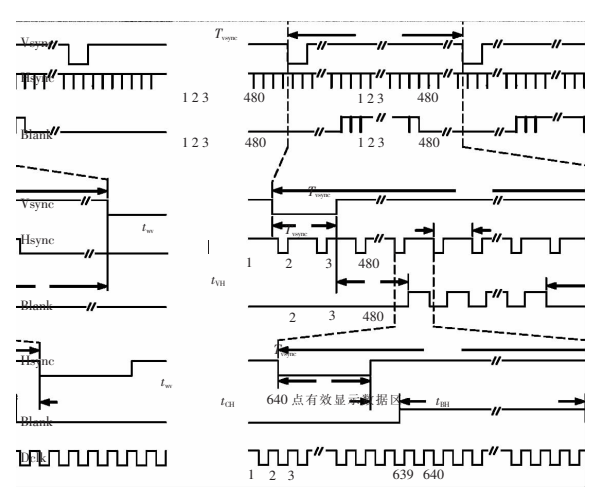


图 3 VGA 图像显示信号时序图

Fig. 3 VGA display signals timing

3 软件编写

设计软件编写主要包含以下两个主要方面:
(1)根据 Camera Link 接口传输的图像帧有

效信号(FVAL)、行有效信号(LVAL)和像素时钟信号(Xclk)实时采集高帧频图像数据并进行处理。

图 4 为相机厂家提供的信号时序图，相机传输每两行像素数据间有行消隐期(LVAL 为低电平)，在传输每两帧图像数据间有帧消隐期(FVAL 为低电平)，在帧有效信号为低电平时行有效信号始终为低电平。FPGA 必须以相机输出的像素时钟频率，在行有效信号和帧有效信号均为高电平时，采集相机传输的图像数据，而在帧有效信号为低电平时进行数据处理并存储等待显示。另外，为了实现系统的实时采集处理能力，在系统中开辟了两个同样大小的数据缓存处理区，编写了具有“乒乓”特点的处理架构，对采集到的图像数据进行“乒乓”处理。

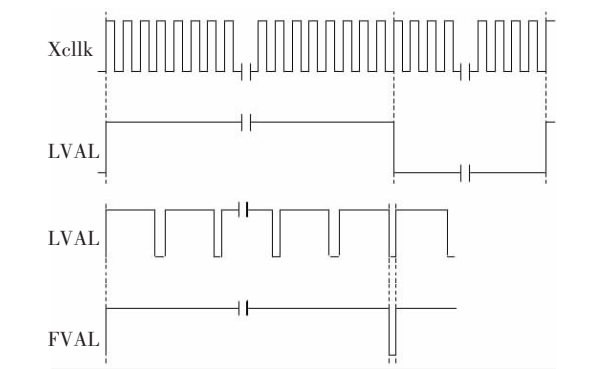


图 4 相机信号时序图
Fig. 4 Camera signal timing

应用 SOPC Builder 9.0 构建的 IP 核如图 5 所示。

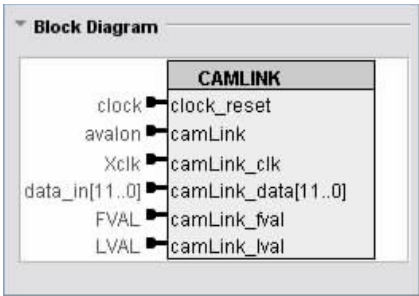


图 5 CameraLink IP 核
Fig. 5 CameraLink IP core

(2)根据 VGA 标准,由 FPGA 产生 VGA 显示所需要的时序信号,包括点时钟(Dclk)、行同步信号(Hsync)、场同步信号(Vsync)和复合消隐信号(Blank)。其中点时钟信号传输给 ADV7123 芯片进行数字模拟转换,行、场同步信号和复合消隐信号直接传输至 VGA 接口为 LCD 显示用。设计中应用 SOPC Builder 9.0 构建了 VGA 时序控制信号的 IP 核如图 6 所示,进行的时序仿真如图 7 所示。

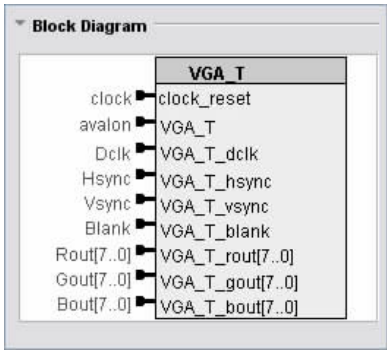


图 6 VGA IP 核
Fig. 6 VGA IP core

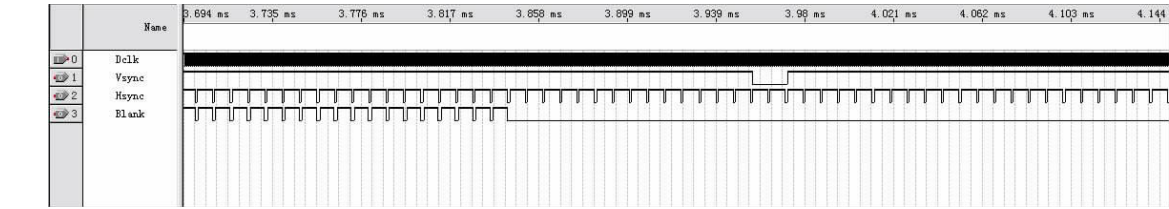


图 7 VGA 显示信号时序仿真图
Fig. 7 VGA display signals timing simulation

4 系统实验及分析

系统软硬件搭建完成后,为验证系统功能进行了系统实验,设计完成的电路板如图 8 所示。

实验的配置如下：

高帧频图像源来自一台 Camera Link 接口的 CMOS 高帧频相机,其帧频在 1 230 帧/s 时分辨率为 128×128,每个像素为 12 位,像素时钟为 44 MHz,通过 RS232 串口命令进行相机设置。

选择 Dell E190S 液晶显示器作为系统输出

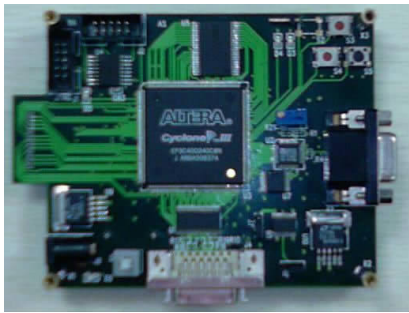


图 8 设计的实验板卡
Fig. 8 Experimental circuit board

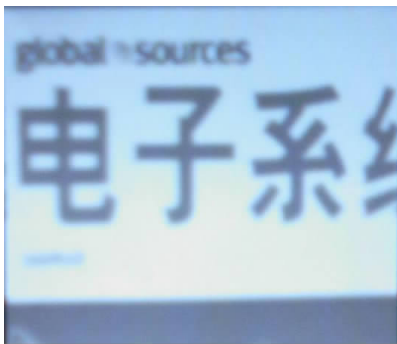


图 10 处理后图像的动态显示
Fig. 10 Processed image display

的动态显示设备,支持 VGA、SVGA、VESA 等多种显示模式。

在采集高帧频图像时,FPGA 分别对两个数据缓存区进行“乒乓”存储和处理。由于高帧频相机曝光时间短,采集到的图像亮度较低,实验时在 FPGA 程序结构中编写了图像 Gamma 校正的处理算法,以增强图像的对比度。处理后的图像保存在各自的数据存储区内等待显示。

通过实验,验证了对于帧频为 1 230 帧/s,分辨率为 128×128 的高速图像数据,本系统可以实时采集处理及显示图像,达到了预期的设计目的。动态显示未处理的图像如图 9 所示,处理后的图

像如图 10 所示。

本系统设计目标是低成本、高性能、便携嵌入式系统。系统的相机接口为 Camera Link 接口,显示接口设计兼容 CRT、LCD 显示器,具有简单的图像处理功能,可以对常用分辨率的高速图像进行实时采集处理及显示,适用范围较宽。目前该系统外部存储器能存储每帧图像的像素数不超过 512k,通过升级外部存储芯片可以进一步提高系统性能,以适用于高分辨率、高帧频图像的采集处理及显示。

5 结 论

基于 SOPC 的软硬件设计了高帧频图像采集显示系统。实验结果表明,该系统可以对高帧频数字图像进行实时采集显示,采集频率高达 1 230 帧/s,并且加入了图像 Gamma 校正算法,丰富了系统功能。该系统可以替代基于 PC 机的高帧频数字图像采集显示系统,具有成本低、占用空间小、便于携带、响应频率高和工作稳定性好等优点。该系统具有接口标准,兼容性强的特点,通过部件升级,可以进一步满足高分辨率、高帧频图像采集显示的需求,具有较好的应用前景。

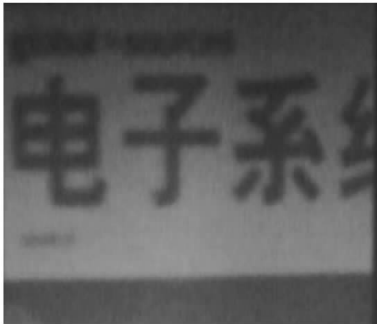


图 9 未处理图像的动态显示
Fig. 9 Unprocessed image display

参 考 文 献:

[1] 李宁,汪骏发.基于 Camera Link 的高速数据采集系统[J]. 红外,2005,(7):31-39.
[2] 高恭娴,胡国兵.基于 SOPC 的彩色液晶显示控制器的设计[J]. 液晶与显示,2010,25(1):79-84.
[3] PULNIX American, Inc. Specifications of the camera link interface standard for digital cameras and frame grabbers [R]. USA:PULNIX American Inc., 2000, 10:3-20.
[4] 郑耀锋,郭炳.基于 Camera Link 和 VGA 的高速图像采集处理系统[J]. 光电系统,2008,(4):5-11.
[5] 邓春健,王琦,徐秀知,等.基于 FPGA 和 ADV7123 的 VGA 显示接口的设计和应用[J]. 电子器件,2006,29(4):1325-1328.
[6] 张文爱,张博,程永强.基于 FPGA 的高分辨率 VGA 显示控制器的[J]. 现代显示,2006,(67):55-58.