

文章编号:1007-2780(2011)02-0205-05

基于 Nios II 处理器的液晶显示接口及驱动程序设计

宋泽琳,郑恩让,马令坤*

(陕西科技大学 电气与信息工程学院,陕西 西安 710021,E-mail:songzel@yahoo.com.cn)

摘 要: Altera SOPC Builder 提供了 Nios II 处理器及一些常用外设接口,但并没有提供 320×240 液晶模块的接口及驱动。利用 SOPC Builder 自定义逻辑的方法在 SOPC 设计中添加了自己开发的液晶显示模块 IP 核,并集成到系统并在 Nios II IDE 集成开发环境下进行编程,实现了嵌入式 Nios II 软核处理器与液晶显示模块的接口设计,并编写了驱动程序。

关 键 词: SOPC;Nios II ;液晶显示;接口设计

中图分类号: TN27 **文献标识码:** A **DOI:** 10. 3788/YJYXS20112602. 0205

Design of Interface and Program of Liquid Crystal Module Based on Nios II Processor

SONG Ze-lin, ZHENG En-rang, MA Ling-kun

(School of Electric and Communication Engineering, Shaanxi University of Science and Technology, Xi'an 710021, China, E-mail:songzel@yahoo.com.cn)

Abstract: Altera SOPC Builder provides the Nios II processor and some common peripherals, but does not provide 320×240 LCD module interface and drive. Using the method of customized logic of SOPC Builder, liquid crystal display modules IP core which is developed by ourselves was added into the designing of SOPC, integrated into the system and programmed in the Nios II IDE integrated development environment. It realized the interface design between Nios II soft-core embedded processor and LCD modul.

Key words: SOPC;Nios II ;LCD;interface design

1 引 言

Nios II 是 Altera 公司推出的第二代 IP 软核。对于一些库中没有提供的模块,用户可以通过自定义逻辑的方法在 SOPC 设计中添加自己开发的 IP 核^[1]。定制用户逻辑外设是使用 Nios II 嵌入式软核处理器的 SOPC 系统的重要特性。

液晶显示器(LCD)具有体积小、重量轻、电压低、功耗小等特点,适合于结合大规模集成电路开发出各种便携式显示产品,已成为嵌入式设备

中必不可少的外围接口器件之一。LCD 还被广泛应用于电子设备及控制领域中,成为测量结果显示和人机对话的重要工具和通道,它与其他 IP 核构成了 SOPC 系统的主要部分。SOPC Builder 集成在 EDA 工具 Quartus II 中,提供了 Nios II 处理器及一些常用外设接口,如 DMA 控制器、SDRAM 控制器、SPI 接口以及锁相环 PLL 等等。LCD 按照其功能可分为段位式、字符式和点阵式。其中段位式和字符式只能用于字符和数字的简单显示,不能满足图形曲线的显示需要;而点

收稿日期:2010-08-10; 修订日期:2010-09-24
基金项目:温州市科技局项目资助(No. H20080001)
作者简介:宋泽琳(1984—),男,山西长治人,硕士研究生,主要从事数字信号处理与 FPGA 技术的研究。
* 通讯联系人, E-mail:0809057@sust.edu.cn

阵式 LCD 则弥补了上述两种 LCD 的缺点和不足,并且可以实现其他屏幕操作的相关功能。

本文以 320×240 单色点阵图形液晶模块 YLF320240A(控制器为 RA8835AP3N)作为显示器,研究了嵌入式 Nios II 软核处理器与液晶模块的接口和图形显示的编程技术,完成了电力谐波分析仪的显示功能。

2 基于 SOPC 的 Nios II 处理器

2.1 SOPC 设计

SOPC(System on Programmable Chip)是 Altera 公司提出来的一种灵活、高效的 SOC 解决方案。它将处理器、存储器、I/O 口、LVDS、CDR 等系统设计需要的功能模块集成到一个可编程器件上,构成一个可编程片上系统。SOPC 是 PLD 和 ASIC 技术融合的结果,代表了半导体产业的未来发展方向。SOPC 设计包括以 Nios II 处理器为核心的嵌入式系统的硬件配置、设计和 IDE 环境的软件设计等。SOPC Builder 是 Nios II 处理器的开发包,用于实现 Nios II 系统配置,生成 Nios II 的 HDL 描述语言程序,进行系统功能仿真^[2-3];Nios II IDE 用于完成基于 Nios II 处理器系统的软件应用开发和调试;Quartus II 用于完成 Nios II 处理器系统的分析综合、硬件优化、适配、配置文件编程下载等。

2.2 Nios II 软核处理器

Nios II 是 Altera 公司推出的性能更好的嵌入式软核处理器。Nios II 是采用流水线技术和哈佛结构的通用 RISC(Reduced Instruction Set Computer)处理器,具备完整的 32 位指令集、32 位数据通道和地址空间,具有超过 200 DMIP 的性能,带有 32 个通用寄存器,可以访问各种片内外设,提供与片外存储器和外设的接口^[4]。NiosII 采用软核形式,具有很大的灵活性,可以在多种系统设置组合中进行选择,根据实际需求来添加必要的外设,满足成本和功能的要求。

3 Nios II 的液晶显示模块接口实现

YLF320240A 中文字库液晶显示模块是一个中英文文字与绘图模式的点矩阵液晶显示模块,内建 512 kB 的 ROM 字形码,可以显示中文字型、数字符号、英日欧文等字母,并且内建双图层(Two Page)的显示内存。在文字模式中,可接

收标准中文文字内码直接显示中文,而不需要进入绘图模式描绘中文,可以节省许多微处理器时间,提升中文的处理效率。此液晶显示模块除了支持 8080/6800 系列之 MCU 外,也提供 4-bit 或 8-bit 的数据总线接口。液晶显示面板分辨率为 320×240,当字型为 16×16 时,可显示 20(列)×15(行)个全型中文字,在字型方面有多种字号可供选择使用,如 16×16、32×32、48×48、64×64 及不同比例的混合显示模式,同时内建的 512 kB SRAM 提供了自行造字的功能^[5]。模块的引脚说明如表 1 所示。

表 1 YLF320240A 的引脚说明
Table 1 Pin description of YLF320240A

引脚	名称	说 明
1	VSS	电源负端(0 V)
2	VDD	电源正端(+5 V)
3	V0	LCD 驱动电压输入端
4	RS(A0)	数据/指令线
5	WR	写信号
6	RD	读信号
7~14	DB0~DB7	数据线
15	CS	片选控制信号
16	RESET	复位信号
17	VEE	LCD 驱动负压电源输出
18	BUSY	忙信号
19	INT	中断信号
20	LED+	背光电源正端(+5 V)
21	LED-	背光电源负端(0 V)

通过自订制的 Nios II 直接控制液晶模块,利用 PIO 口模拟液晶接口电路(图 1)。这是一个典型的 Nios II 系统,它的主要端口包括全局输入时钟、复位信号、Onchipmerry、外部设备片选信号、读/写使能信号和数据地址总线等^[6]。

嵌入式处理器 Nios II 把液晶显示模块接口当作普通的外部设备 PIO 进行操作,通过 PIO 口进行操作,LCD 的所有接口都在 PIO 口中模拟出来。其接口电路如图 2 所示。

WR 为写操作信号,低电平有效;RD 为读操作信号,低电平有效;RS 为 I/O 口缓冲器选择信号,高电写指令、读数据,低电平写数据、参数,读

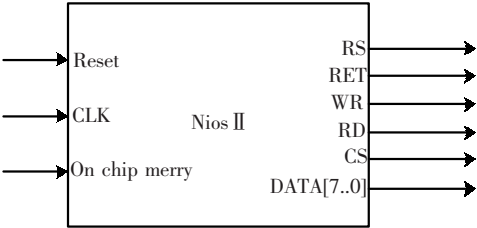


图 1 Nios II-LCD 直接控制结构

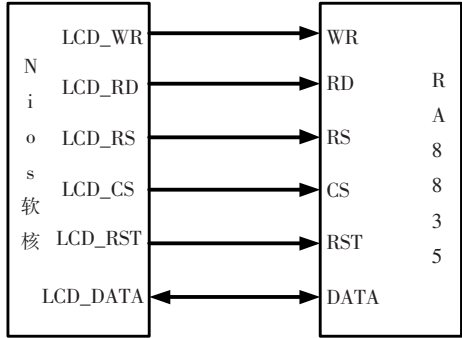


图 2 FPGA 与 LCD 接口电路

Fig. 2 Interface circuit of FPGA and LCD

状态字。CS 为片选信号,低电平有效。RET 为复位信号,低电平有效。Nios II_LCD 的 PIO 接口如图 3 所示。

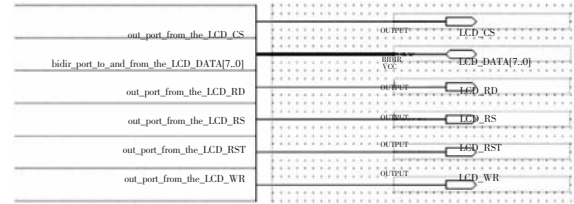


图 3 Quartus II 中 Nios II_LCD 的 PIO 接口

Fig. 3 the PIO Interface of Nios II_LCD in Quartus II

4 Nios II处理器的液晶显示软件开发

利用 SOPC Builder 建立专用的 Nios II 硬件系统后,Nios II 处理器系统的软件开发需要在 Nios II IDE 集成开发环境当中完成。编译完成后,SOPC Builder 会自动生成组件的头文件定义及 HAL (Hardware Abstraction Layer),系统配置信息通过 system. h 文件传递给应用程序,形成了硬件和软件的无缝连接,可完成整个软件工程的编辑、编译、调试和下载等过程,极大地提高了软件的开发效率^[7-8]。本设计选用 RA8835AP3N 作为液晶模块的控制器,其 80 系列 MPU 时序图

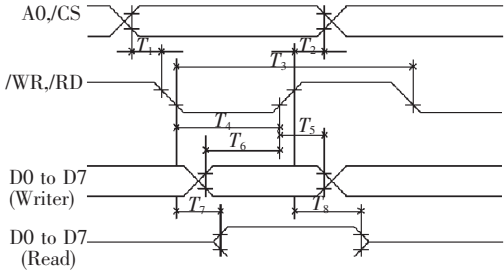


图 4 RA8835AP3N 与 80 系列 MPU 时序图

Fig. 4 Timing diagram of RA8835AP3N and MPU

如图 4 所示。

根据时序图 PIO 口模拟时序编程如下^[9]:

```
Void Write_Command(alt_u8 Command)
//写入命令
{
    Delay_L(1);
    IOWR_ALTERA_AVALON_PIO_DIRECTION(LCD_DATA_BASE,0xff);
    //数据总线:输出
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_RS_BASE,1); //选择:命令
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_CS_BASE,0); //片选有效
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_WR_BASE,0); //写信号有效
    Delay_S(5);
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_DATA_BASE,Command); //写入命令
    Delay_S(5);
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_WR_BASE,1); //写信号无效
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_CS_BASE,1); //片选信号无效
}

void Write_Data(alt_u8 Data) //写入数据
{
    Delay_L(1);
    IOWR_ALTERA_AVALON_PIO_DIRECTION(LCD_DATA_BASE,0xff);
    //数据总线:输出
    IOWR_ALTERA_AVALON_PIO_DATA(LCD_RS_BASE,0); //选择:数据
    IOWR_ALTERA_AVALON_PIO_DATA
```

```
(LCD_CS_BASE,0);          //片选有效
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_WR_BASE,0);          //写信号有效
    Delay_S(5);
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_DATA_BASE,Data);     //写入命令
    Delay_S(5);
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_WR_BASE,1);          //写信号无效
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_CS_BASE,1);          //片选信号无效
}
```

```
alt_u8 Read_Data(void)      //读出数据
{
    Delay_L(1);
    IOWR_ALTERA_AVALON_PIO_DIRECTION(LCD_DATA_BASE,0X00);
    //数据总线:输入
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_RS_BASE,1);          //选择:命令
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_CS_BASE,0);          //片选有效
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_WR_BASE,1);          //写信号无效
    IOWR_ALTERA_AVALON_PIO_DATA
(LCD_RD_BASE,0);
    Delay_S(10);
    alt_u8i=IORD_ALTERA_AVALON_PIO_DATA(LCD_DATA_BASE);
    Delay_S(10);
    IOWR_ALTERA_AVALON_PIO_DATA (LCD_RD_BASE,1);
    IOWR_ALTERA_AVALON_PIO_DATA (LCD_CS_BASE,1);
    IOWR_ALTERA_AVALON_PIO_DIRECTION
(LCD_DATA_BASE,0Xff);
    return i;
}
```

该液晶模块不需判断忙状态,因而软件编程相对简单。软件设计流程如图 5 所示。

部分子程序设计如下:

(1) 初始化子程序:

```
void init_lcd(void)
```

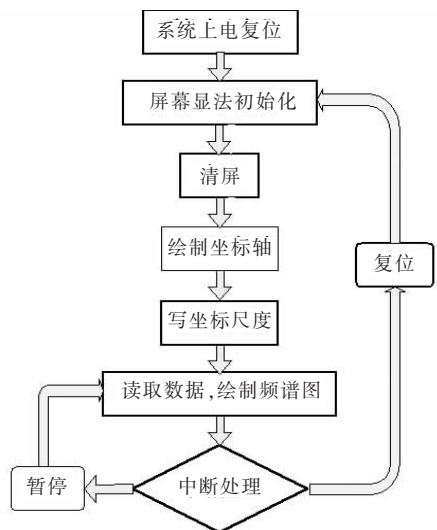


图 5 LCD 软件流程图

Fig. 5 LCD software flow chart

```
{
    RST_LCD();
    alt_u8 i;
    Write_Command(SystemSet);
    // 系统参数设置
    for(i = 0;i < 8;i++)
    {
        Write_Data( SysTab[i]);
    }
    Write_Command(Scroll);
    //设定显示区域起始地址
    for(i = 0; i < 10;i++)
    {
        Write_Data(ScrTab[i]);
    }
    Write_Command(HdotScr);
    //写入点位移指令代码
    Write_Data(0x00);          //写入参数
    Write_Command(Ovlay);
    //显示合成方式设置
    Write_Data(0x04);          // 0000 0100 显示
    // 显示 1~4 区开显示,光标关显示
    Write_Command(DispOn);
    Write_Data(0x54);
    // 显示 1~4 区开显示,光标关显示
    cls_lcd();
    //清屏
}
```

(2)清屏子程序:

void cls_lcd(void)

{

alt_u16 i = 32768;

Write_Command(CsrDirR);

// 光标移动方向定义:自动右移

Write_Command(CsrW);

// 光标 Locate,定位

Write_Data(0x00);

//低 8 位

Write_Data(0x00);

//高 8 位

Write_Command(mWrite);

// 数据写入指令

while(i--)

{

Write_Data(0x00);

}

}

// 写入数据 0

5 结 论

在 LCD 显示的设计过程中,采用常规的画一屏点清屏一次的处理方式显得太慢,平均清屏一次需要 5 s,这样会降低整个系统的速度,不能快速地进行动态显示。本文提出的改进的 LCD 显示的运算方法,提高了 LCD 的显示效率,显示最快时,平均刷一屏不到 100 ms。该系统作为电力系统谐波分析系统的一部分,在 LCD 输出显示方面已经取得较好的效果,后期将进一步研究基于 FPGA 内部逻辑结构的 FFT 实用算法。本文虽仅对具有 RA8835AP3N 控制芯片的 320×240 液晶显示屏接口做了介绍,但对其他型号的 320×240 显示屏有一定的通用性。

参 考 文 献:

[1] 王建校,危建国. SOPC 设计基础与实践 [M]. 西安:西安电子科技大学出版社,2006:220-222.

[2] 周润景,图雅,张丽敏. 基于 Quartus II 的 FPGA/CPLD 数字系统设计实例 [M]. 北京:电子工业出版社,2007.

[3] 张志刚. FPGA 与 SOPC 设计教程 [M]. 西安:西安电子科技大学出版社,2007.

[4] 孙恺,程世恒. Nios II 系统开发设计与应用实例 [M]. 北京:北京航空航天大学出版社,2007:259-262.

[5] 北京友力发科贸有限公司. 液晶显示模块用户手册 [DB/ OL]. [2009-09-11]. <http://www.bj-yllf.com/product2.htm>.

[6] 侯长宏,袁慧梅. 基于 SOPC 的 Nios II 与液晶模块接口及程序设计 [J]. 液晶与显示,2008,23(3):307-311.

[7] 程明,肖祖胜. 基于 FPGA 的 TFT-LCD 显示驱动设计 [J]. 液晶与显示,2009,24(2):228-231.

[8] 高恭娴,胡国兵. 基于 SOPC 的彩色液晶显示控制器的设计 [J]. 液晶与显示,2010,25(1):79-84.

[9] 谭浩强. C 程序设计 [M]. 北京:清华大学出版社,2005.