

文章编号: 1007-2780(2011)01-0078-05

一种 1024 级灰度大电容负载的 LCD 驱动芯片设计

尹东辉,任彦楠,岳 超,李福乐,池保勇,陈志良
(清华大学 微电子学研究所,北京 100084, E-mail: yindh03@mails. tsinghua. edu. cn)

摘 要: 设计了一种基于动态扫描原理的液晶显示(LCD)驱动芯片。该芯片为高压 CMOS 数模混合集成电路并支持输出频率可选功能。芯片输入数据频率为 13.5 MHz,输出 1 024 级 256 列模拟电压信号直接驱动 LCD,输出电压幅度可达 12 V 以上。负载为 200 pF 时,最大摆幅上升/下降时间小于 5 μ s。芯片采用新加坡特许半导体(Chartered) 0.35 μ m、18 V 高压工艺设计,并进行了仔细的版图设计以减小匹配误差,仿真结果显示电路性能完全满足设计指标要求。

关 键 词: LCD; 显示驱动; CMOS; 高压数模混合

中图分类号: TN27; TN702.2 **文献标识码:** A **DOI:** 10.3788/YJYXS20112601.0078

Design of LCD Driver Chip with 1024-Level Gray Scale and Large Capacitor Load

YIN Dong-hui, REN Yan-nan, YUE Chao, LI Fu-le, CHI Bao-yong, CHEN Zhi-liang
(Institute of Microelectronics, Tsinghua University, Beijing 100084, China, E-mail: yindh03@mails. tsinghua. edu. cn)

Abstract: A single driver chip based on dynamic scanning is developed for Liquid Crystal Display (LCD). The chip is a high voltage CMOS IC with mixed signals and offers optional output frequencies. The input data frequency of the chip is 13.5 MHz, and the 256 columns' output voltage signals directly drive the LCD. The output signal range of every column is over 12 V, which is divided into 1 024 levels. The max-range rising/falling time of the output signal can be less than 5 μ s when load capacitor is 200 pF. The chip has been realized in Chartered 0.35 μ m 18 V high voltage process and the layout is designed carefully to minimize the mismatch error. Post layout simulation results illustrate that the design can well accord with the specification.

Key words: LCD; display driver; CMOS; high voltage mixed-signal

1 引 言

随着人类进入信息时代,平板显示技术被广泛应用于人们的日常生活中。近年来,液晶显示器件(LCD)以体积小、重量轻、电压低、功耗小、无辐射等优势在平板显示产业中占据了主导地位^[1]。

无源 LCD 采用直接驱动法,即驱动电压直接施加于像素电极上,使显示状态直接对应于所施加的驱动电压信号。按寻址方式的不同,直接驱动法可以分为静态驱动和动态驱动两种。静态驱动适用于总引线数较少的情况,动态驱动则可以满足较高分辨率显示的需要。目前 LCD 驱动技术研究应用已经较为成熟,但在实用性或兼容性方面仍有不足。文献[2]中的驱动电路选用电阻型数模转换器和开关阵列实现,集成电路实现过

程中误差与偏差较大。文献[3]中电路使用 5 V 电压设计,布线复杂,芯片面积较大。

本文所介绍的用于新式装备的 LCD 驱动芯片,是一种 CMOS 高压数模混合驱动电路。芯片支持输出频率可选功能,输入 13.5 MHz 的 10 bit 数字信号,输出 1 024 级 256 列模拟电压信号直接驱动 LCD,最大幅度为 12 V,输出最大摆幅上升/下降时间小于 5 μ s。芯片采用 0.35 μ m、18 V 高压工艺,数字部分采用标准单元库综合工具和自动布局布线工具实现,模拟部分采用全定制设计,后仿真结果显示电路性能良好,具有较高的实用性。

2 LCD 显示驱动芯片的设计指标

根据新装备系统的要求,确定芯片的主要功能和性能指标如下:

- (1)256 列输出驱动管脚,每列输出等效负载电容 200 pF;
- (2)最大 12 V 摆幅,最大上升/下降时间 5 μ s;
- (3)串行输入 10 bit 显示数据,对应 1 024 级灰度显示,数据频率为 13.5 MHz;
- (4)帧频率为 256 Hz ~ 2.8 kHz,每列输出占空比为 50%的方波;
- (5)多片(4 片)串联使用,数据串行输入,数据输入完成后同步转换;
- (6)片间共享 10 bit 数据总线;
- (7)每片中包含一个数模转换器(Digital to analog converter, DAC),时分复用。

3 LCD 显示驱动芯片的实现方案

3.1 芯片设计难点

- 本芯片设计的难点在于:
- (1)芯片要求每列输出的驱动能力是市场现有芯片驱动能力的 10 倍以上;
 - (2)现有的液晶材料不能满足新装备的要求,所需的液晶材料还在研制过程中,其材料特性有待以后测试,因此使用的帧频在 256 Hz~2.8 kHz 不能确定,芯片必须在以上频率范围内可以灵活选取;
 - (3)芯片每一列输出的灰度为 1 024 级,远高于现有的每一列 64 级(彩屏 26 万色为 R 64 级、G 64 级、B 64 级);

- (4)256 列输出电路时分复用芯片内的一个 DAC,因此芯片内必须增加 256 个采样保持电路。

3.2 芯片基本结构^[4-6]

根据以上设计指标要求和需要解决的难点,可以确定芯片基本结构如图 1 所示。整个芯片主要分为 5 个部分:数字控制电路、带隙基准源、数模转换器(DAC)、采样保持电路和 AB 类输出驱动级。

LCD 显示驱动芯片是一种数模混合的 CMOS 电路,采用 0.35 μ m、18 V 高压工艺设计。芯片需要提供 3 组电源:低压 3.3 V、高压 12 V 和高压 15 V。

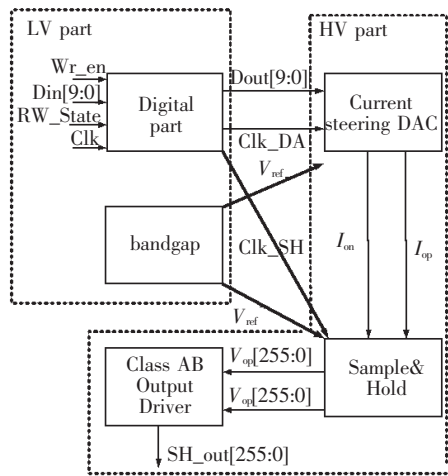


图 1 整体电路结构框图

Fig. 1 The whole circuit structure

芯片可以分为 3 个工作状态:写数据、等待、读数据并转换,由 RW_STATE 和 WR_EN 两个输入信号控制并与读时钟信号同步,其真值表如表 1 所示。

表 1 芯片状态真值表

Table 1 True values of chip states

WR_STATE/WR_EN	对应状态
10	等待状态
11	数据写入状态
0X	数据读出转换状态

3.2.1 数字控制电路

LCD 显示驱动芯片的数字控制电路采用 0.35 μ m 标准数字工艺单元库、自动综合和布局

布线工具设计,包括 256×10 bit 移位寄存器、时钟产生和控制逻辑 3 个子模块。实际应用中,4 片驱动芯片共享一组 10 bit 数据总线,每 1 024 组 10 bit 数据为一帧,在每片写使能信号(RW_STATE, WR_EN)的控制下,将 1 024 组数据分别写入 4 片驱动芯片的移位寄存器。移位寄存器采用串入串出的读写模式,写入频率为 13.5 MHz,读出频率为 1 MHz。每读出一组 10 bit 数据,片内 DAC 进行转换并送入一系列采样保持电路,直至一帧数据全部转换完毕。由于液晶材料的不确定性,驱动芯片提供了帧频率可选择功能,由 3 位输入信号控制输出帧频在 2 800, 2 500, 2 000, 1 500, 1 000, 750, 512, 256 Hz 这 8 个频率点切换。

3.2.2 DAC

DAC 是本文中 LCD 显示驱动芯片的核心模块,设计中选用电流舵型(Current Steering)DAC 作为数据转换单元,输出两路差分电流利用电阻直接转换成电压,时分复用将数据转换成模拟信号,转换过的信号分别送给 256 列采样保持电路。电流舵型 DAC 要达到 10 bit 的转换精度,内部高位需要使用温度计码(Thermometer code)。DAC 的单位基准电流采用 $1 \mu\text{A}$,最大摆幅约为 1 mA。电流镜镜像单元部分使用 15 V 电压,译码电路部分和控制电压产生部分使用 12 V 电压,以减小开关控制信号摆幅过大造成转换时间过长所引起的非线性误差。

电流舵型 DAC 的动态性能主要受到以下 3 个方面因素的限制:

- (1)全部开关管控制信号的非理想同步性;
- (2)电流源管的漏极电压波动;
- (3)控制信号的开关摆幅通过开关管栅漏电容耦合到输出端对输出信号产生的影响。

考虑到以上非理想效应,译码逻辑得到的数字信号与电流源单元开关管之间需要锁存器(latch)控制信号处理。

3.2.3 采样保持电路

采样保持电路是本次设计驱动芯片的主体。芯片内包含 256 个重复的子单元,以实现为一帧(256 组)数据转换的电压采样保持,其单元子电路的结构如图 2 所示。在 ph_1 复位相位,采样保持电路将上一个帧周期中电容 C_i 两个极板上的电荷释放,运放接成单位负反馈的形式。在 ph_2

采样相位,采样保持电路将 DAC 转换的结果,即显示数据对应的模拟电压信号,采样至电容 C_s 。在 ph_3 电荷转移相位,采样保持电路将 ph_2 相位采样至 C_s 上的电荷转移至电容 C_i 。 $\text{ph}_2[i]$ 与 $\text{ph}_2[i+1]$ 之间存在一个读时钟周期的相位差。采样保持电路中的运放采用两级 miller 补偿型全差分折叠 cascode 结构。

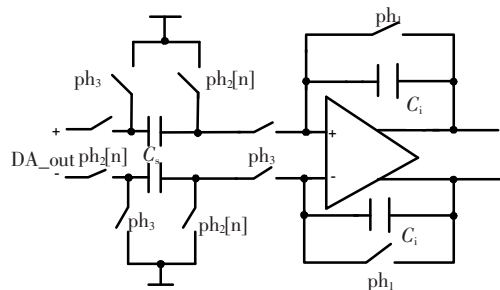


图 2 采样保持电路单元结构

Fig. 2 Sample and hold unit structure

3.2.4 带隙基准源

带隙基准源的作用是为 DAC、运放提供一个不受电源电压、温度变化等因素影响的稳定的参考电压。本次设计采用文献[7]中的经典结构实现。

3.2.5 AB 类输出驱动级

LCD 驱动电路输出直接驱动液晶面板,每路输出的等效负载电容为 200 pF,要求最大摆幅上升/下降时间为 $5 \mu\text{s}$;同时为了保证转换精度,运放的增益需要在 80 dB 以上,需要采用 AB 类输出级来提供瞬时大电流和轨到轨(Rail-to-Rail)输出以保证输出摆幅满足 12 V 要求。运放接成单位增益负反馈的形式,由二选一的选通开关选择输出采样保持电路的差分两路输出。

4 LCD 显示驱动芯片的版图设计^[8-9]

LCD 驱动电路是一种数模混合高压集成电路,在版图设计时需要仔细设计,以保证电路的性能和实用性。

DAC 版图实现的过程中需要着重考虑电流镜管的匹配,电流镜管的匹配误差主要是单方向上的梯度误差和二次平面上的梯度误差积累,需要在版图之前通过建立数学模型使用 MATLAB 仿真,从而得到一种优化的电流镜管排布方式,减小误差以满足设计精度。本设计中采用的中心对称的排布方式,将每个电流镜管分为 4 个部分,分

布在以对称点为原点的 4 个象限中。Matlab 仿真结果显示,在相邻电流源单元有 0.1% 的梯度误差的情况下,仍可保证 $INL(Integrated\ Non\ Linearity)<0.1V_{LSB}$ (Least Significant Bit)。

由于显示驱动芯片的输出直接连接至显示屏的极板,因此所有输出管脚必须在芯片的同侧。对于多路输出的芯片版图,一般将输出 PAD 对应的一系列电路子单元设计在一起。所设计的 LCD 显示驱动芯片有 256 列输出,若并行排列,Chartered 0.35 μm 工艺单个 PAD 的宽度是 90 μm ,芯片宽度要超过 20 mm,这对于设计、封装测试都是不可接受的。因此,我们采取修改 PAD 压焊块尺寸、交错排列的方式来缩短芯片宽度。这样改动之后,PAD 的宽度可以降到约 40 μm ,芯片长度可以控制在 12 mm 以内。

在芯片整体布局过程中,需要考虑与关注的几个问题如下:

(1) 由于本次设计的 LCD 驱动芯片中既包含数字电路和模拟电路,还包含数字信号和模拟信号,布局布线时需要考虑各模块间和线间的串扰(主要考虑数字部分通过衬底对模拟信号的影响)。实际设计中,将所有的数字电路模块用双电源环(Guard-ring)包围起来,并将数字和模拟部分的电源地线分开。

(2) 因整体芯片面积较大(11.5 mm $\times$ 5.8 mm),需要考虑较长信号线尤其是电源地线的压降($I\cdot R$ drop)。版图中,在二维方向上插入多组电源地 PAD 构成电源网格,较长信号走线尽可能加宽并开槽以减小边缘效应。

(3) 因要考虑尽量减小寄生电容,可以适当增加敏感信号线同层金属布线间距,减小上下层金属重叠面积,对部分非关键信号的测试点可以用

裸压焊块引出,必要时使用探针测试,无需增加 I/O PAD。

最终的整体芯片版图如图 3 所示。

5 仿真结果

首先对芯片的各部分分别仿真。结果表明,数字部分可以正确实现其逻辑功能;DAC 的无杂散动态范围(SFDR)为 72 dB;带隙基准源温度在 0~125 $^{\circ}C$ 变化时,输出参考电压变化不超过 1.8 mV;电源电压在 2.5~3.8 V 变化时,输出参考电压变化不超过 0.15 mV;输出 AB 类驱动级静态电流为 200 μA ,与采样保持电路联合仿真误差小于 0.1 V_{LSB} 。

将每列输出加上 200 pF 的大电容负载,芯片的整体仿真结果如图 4 所示。

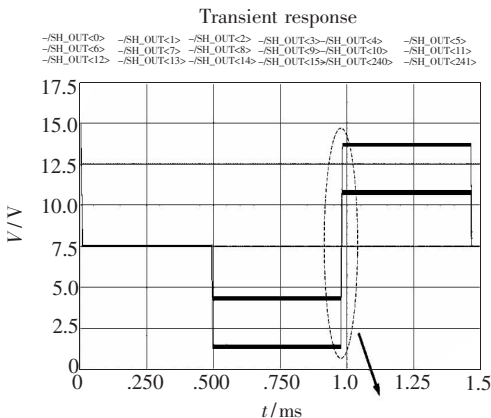


图 4 整体仿真结果
Fig. 4 Simulation result

输入为 0X3FF~0X300 递减的数据,输出频率选择 1 kHz,芯片输出相对于 7.5 V 是 256 组对称的、不同幅度的电压信号,其电压幅度与输入数据一一对应($V_{LSB}=12\text{ mV}$,以前 16 组和后 16

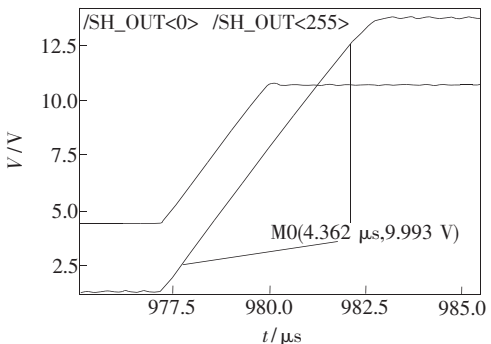


图 5 仿真结果放大图
Fig. 5 Zoom in part of simulation result

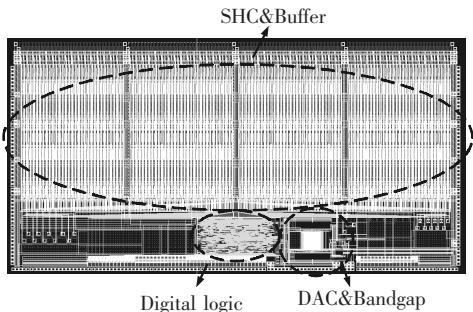


图 3 整体芯片版图
Fig. 3 Whole chip layout

组输出数据为例)。从图 4 的波形可以看出,最大输出摆幅为 12.4 V,输出波形是占空比为 50%的方波。将图 4 局部波形放大如图 5 所示,可以看出最大摆幅上升时间为 4.36 μ s,符合设计指标要求。

6 结 论

介绍了一种高灰度级别、大电容负载的 LCD

显示驱动芯片的电路与版图设计方案。芯片采用 Chartered 0.35 μ m 工艺设计,主要包含数字控制电路、带隙基准源、DAC、采样保持电路和 AB 类输出驱动级 5 个部分。完成了 LCD 驱动电路的全部电路设计、版图设计和后仿真等工作。后仿真结果表明,本文的设计实现了预期的功能和指标要求。现在芯片已送出加工。

参 考 文 献:

[1] Hong S I, Han J W, Kim D H, *et al.* A double-loop control LED backlight driver IC for medium-sized LCDs [J]. *ISSCC Dig. Tech. Papers*, 2010, 6(2): 116-118.

[2] Woo J K, Jeong D K, Kim S H. High-speed 10-bit LCD column driver with a split DAC and a class-AB output buffer [J]. *IEEE Transactions on Consumer Electronics*, 2009, 55(3):1431-1437.

[3] Yamaguchi K, Hori Y, Lee S W, *et al.* A 10b column driver with variable-current-control interpolation for mobile active-matrix LCDs [J]. *ISSCC Dig. Tech. Papers*, 2009, 15(2):138-139.

[4] 林志成, 邵庆益, 陈阿青. 用于 TFT-LCD 驱动电路的输出缓冲放大器 [J]. *液晶与显示*, 2004, 24(3):409-412.

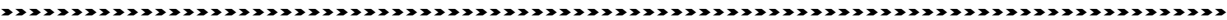
[5] Langen K, Huijsing J H. Compact low-voltage power-efficient operational amplifier cells for VLSI [J]. *IEEE J. Solid-State Circuits*, 1998, 33:1482-1496.

[6] 应根裕, 胡文波, 邱勇, 等. 平板显示技术 [M]. 北京:人民邮电出版社, 2002: 187-212.

[7] Razavi B. Design of analog CMOS integrated circuits [M]. Beijing: Tsinghua University Press, 2003: 377-390.

[8] Razavi B. Principles of data conversion system design [M]. New Yorks: IEEE Press, 1995: 7-94.

[9] Doris K, van Roermund A , Leenaerts D. *Wide-bandwidth High Dynamic Range D/A Converters* [M]. Berlin: Springer, 2006: 45-88.



SI 词头

代表的因素	词 头 名 称		符 号		代表的因素	词 头 名 称		符 号
	英 文	中 文				英 文	中 文	
10 ²⁴	yotta	尧[它]	Y		10 ⁻¹	deci	分	d
10 ²¹	zetta	泽[它]	Z		10 ⁻²	centi	厘	c
10 ¹⁸	exa	艾[可萨]	E		10 ⁻³	milli	毫	m
10 ¹⁵	peta	拍[它]	P		10 ⁻⁶	micro	微	μ
10 ¹²	tera	太[拉]	T		10 ⁻⁹	nano	纳[诺]	n
10 ⁹	giga	吉[咖]	G		10 ⁻¹²	pico	皮[可]	p
10 ⁶	mega	兆	M		10 ⁻¹⁵	femto	飞[母托]	f
10 ³	kilo	千	k		10 ⁻¹⁸	atto	阿[托]	a
10 ²	hecto	百	h		10 ⁻²¹	zepto	仄[普托]	z
10 ¹	deca	十	da		10 ⁻²⁴	yocto	幺[科托]	y