

文章编号:1007-2780(2010)06-0851-07

FPGA 配置过程监控系统设计

李 进^{1,2}, 李国宁¹, 金龙旭¹, 马舜峰¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: 664910699@qq.com;
2. 中国科学院 研究生院, 北京 100039)

摘 要: 为了解决系统上电后 FPGA 应用程序配置失败的问题, 设计了 FPGA 配置过程监控系统。深入分析了 FPGA 配置的工作流程, 阐述了 FPGA 配置监控系统的核心监控电路、监控软件的设计思想、代码实现及仿真验证过程。最后, 用 MATLAB 对实验数据进行分析处理, 得出了 FPGA 器件的配置失败率和失败曲线以验证设计的可行性和优越性。实验结果表明: 利用该系统可以使 FPGA 配置成功率达到 100%, 比传统设计方法的 FPGA 配置成功率提高了 0.041%, 满足了系统对 FPGA 配置应用程序成功率高、可靠性强的要求。应用结果显示, FPGA 配置监控系统能及时监测出 FPGA 配置过程所出现的异常, 判断分析出问题的根源, 最终使 FPGA 应用程序在系统一次性上电后配置成功。

关 键 词: FPGA 配置; 监控状态机; 看门狗计时器; 虚拟模型; MATLAB

中图分类号: TN431.2; TP391 **文献标识码:** A

Design of FPGA Configuration Monitoring System

LI Jin^{1,2}, LI Guo-ning¹, JIN Long-xu¹, MA Shun-feng¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China, E-mail: 664910699@qq.com;
2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: In order to solve the problem of FPGA configuration failure when the satellite camera is power-on, a FPGA configuration process monitoring system was designed. First, the process and principle of FPGA configuration were analyzed in detail. Then, this paper described the core monitoring circuit in the FPGA configuration monitoring system, the design ideas of software for the monitoring system, code implementation and simulation procedures for monitoring FPGA configuration. Finally, the experiment data were processed by MATLAB software, and thus FPGA device configuration failure rate and failure rate curve were obtained to verify the feasibility and superiority of the design. Experiment results indicate that by using the system the success rate of FPGA configuration is up to 100%. Compared with the traditional methods of FPGA configuration, the new design made configuration success rate increased by 0.041%, can satisfy the satellite camera's requirements of high success rate and reliability of configuring the FPGA application. This scheme has been applied to the development of a certain space camera. The application results show that the FPGA configuration monitoring system can monitor timely exception which occurs in the process of FPGA configuration and can analyze the error origins and can configure successfully the FPGA

applications when the satellite camera is one-time power-on.

Key words: FPGA configuration; monitor state machine; watchdog timer; virtual model; MATLAB

1 引 言

FPGA(Field programmable gate array)器件被广泛应用于卫星相机各系统的设计中。基于SRAM工艺的FPGA是目前应用最广泛的一种,它不具备非易失特性,断电后将丢失内部逻辑配置。因此,芯片在每次上电后,必须重新配置数据,即ICR(In-circuit reconfigurability)^[1-4],以保证系统的正常工作。然而,目前航天、航空领域的FPGA器件均会出现配置失败的现象,一旦发生配置失败现象,就得使相机系统重新上电。

在相机特殊的工作环境下,传统的克服配置失败现象的设计方法是采用看门狗技术。一旦发现看门狗报警,控制器就使相机重新上电。这种方法需要设计专门的控制器和看门狗监测器,而且需要为它们配置独立的供电系统。在FPGA模块中设计FPGA配置过程监控系统可以克服上述缺点,其优点如下:

(1)不需要额外的供电系统以及控制相机供电系统的看门狗监测器和控制器,使相机一次性上电后,FPGA的应用程序配置成功,进入正常工作状态;

(2)当FPGA发出重新配置命令时可以重新配置应用程序;

(3)可以分析和监测FPGA配置过程,并在发生配置失败时,可以在不断开电源的情况下重新配置FPGA。

本文采用Xilinx公司的Virtex-II Pro系列的FPGA器件设计FPGA配置过程的监控系统,同时设计了外围系统用来验证新设计方法的可行性和优越性,满足了卫星相机对FPGA配置的要求,提高了FPGA配置程序成功率。

2 FPGA配置监控系统概要组成

FPGA配置监控系统简明原理框图如图1所示。它主要由监控目标器件箱体、电源通断控制系统、通信子系统、数据传输系统以及上位机等组成。监控目标器件箱体主要由两套同类型的

FPGA和FLASH器件组成,一套带有监控FPGA配置过程电路,另一套没有监控电路。电源通断控制系统上电后,使两套FPGA配置电路上电,这时两套电路的FPGA的应用程序均开始从外存FLASH导入到FPGA中。若出现配置失败现象,目标器件箱体就会向通信模块发出配置失败信息,之后通信模块向电源通断系统发出指令,电源通断控制系统根据指令断开相应配置失败的FPGA器件的电源。同时,目标器件箱体把配置信息通过通信模块传到上位机存储。FPGA配置成功后,应用程序通过数据传输模块在上位机显示。当两套FPGA器件的应用程序都正常运行时,通信模块通知电源通断系统开始下一次配置实验。上位机可以向通信模块注入配置实验次数以及其他信息。FPGA配置过程的监控由监控目标器件箱体中的CPLD器件完成。

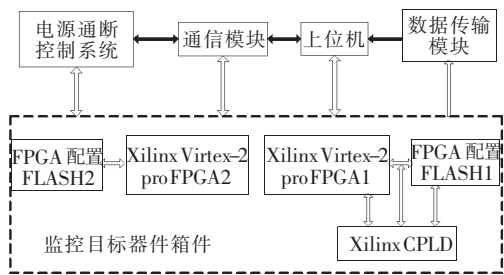


图 1 配置监控系统原理框图

Fig. 1 Block diagram of configuration monitoring system

3 FPGA配置监控系统的关键技术

3.1 FPGA上电配置过程的工作原理

为了说明如何实现FPGA配置过程的监控,先简要介绍FPGA器件配置的工作原理。图2为Xilinx公司Virtex-2 Pro系列FPGA配置过程流程图^[5-11]。配置过程包括5个阶段:初始化、清空配置存储器、加载配置数据、CRC校验、START-UP。FPGA上电后,如FPGA器件电源满足要求便会自动进行初始化。在系统上电的情况下,对PROG管脚置低电平便可以对FPGA重新配置。初始化过程完成后,器件会将INIT、

DONE 信号置低电平,同时开始清空配置存储器。在清空完配置存储器后,INIT 信号将会重新被置为高电平。当 INIT 信号重新置高后,器件对配置模式引脚 M0、M1、M2 进行采样,以确定用何种方式来加载配置数据。器件在加载配置数据的同时,会根据一定的算法产生一个 CRC 值,这个值将会和配置文件中内置的 CRC 值进行比较。此时,若要重新配置,只需将 PROG 置为低电平即可。当 CRC 校验正确后,便进入 START-UP 阶段。START-UP 阶段是 FPGA 由配置状态过渡到用户状态的过程,在 START-UP 完成后,FPGA 便可实现用户编程功能。在 START-UP 阶段中 FPGA 进行的操作如下:

- (1)将 DONE 信号置高;
- (2)全局三态信号 GTS 置低,器件的所有 IO 引脚将会从配置时的三态切换到用户设置的状态;
- (3)全局复位信号 GSR 置低电平,所有触发器进入工作状态;
- (4)全局写允许信号 GWE 置低电平,所有内部 RAM 有效。

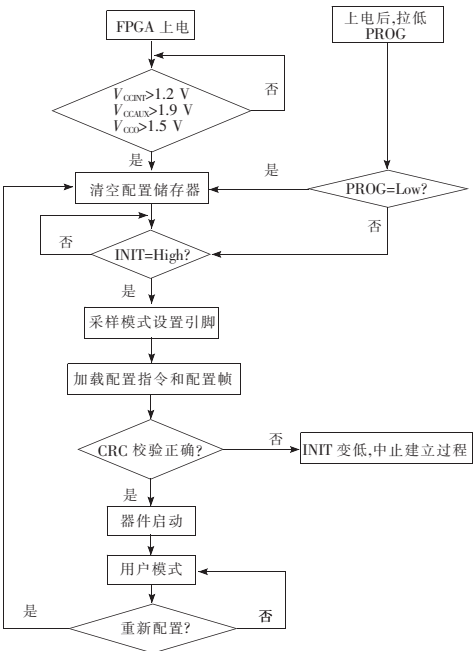


图 2 FPGA 配置过程

Fig. 2 FPGA configuration process

3.2 FPGA 配置过程监控硬件电路设计

FPGA 配置监控系统的设计是为了验证设计的 FPGA 配置过程监控电路的可行性和优越性,

因此,整个系统的核心电路是 FPGA 配置监控电路。由于要监控 FPGA 配置的整个过程并把配置信息实时地反映出来,当发生配置失败时在不断开电源的情况下重新配置数据,因此电路的设计必须满足以下要求:

- (1)用来监控 FPGA 配置过程的器件要具有电源断开后应用程序不会丢失,且再次上电后应用程序可以快速进入工作状态的特点;
- (2)FPGA、配置存储器、监测处理器要在同一时钟下工作,这样才能实现实时监测 FPGA 配置过程;
- (3)三者要处于同一扫描链中。

图 3 为监控 FPGA 配置过程的简明电路图。电路的 FPGA 选用 Xilinx 公司生产的 XC2VP40-6FG676 芯片,该芯片具有强大的处理能力;配置存储器选用 Xilinx 公司生产的 XCF16P-VQ44C;监控器 CPLD 选用 Xilinx 公司生产的 CoolRunner-II 系列的 XC2C64A 芯片,它是 EEPROM 器件,不需要配置存储器,电源断电后应用程序不会丢失。在配置监控电路中,3 个器件处在同一个扫描链,应用程序通过同一个 JTAG 口下载到相应的芯片中。为了让配置时钟和监测器在同一时钟下工作,FPGA 和 FLASH 的配置选用从串配置模式。CPLD 作为监控 FPGA 配置过程的处理器用来实现 FPGA 应用程序在 FLASH 中的存储位置、监控配置过程、分析配置失败原因、发生配置失败时重新配置应用程序、接收到 FPGA 重配命令时重新配置应用程序以及监测 FPGA 应用程序是否正常等功能。

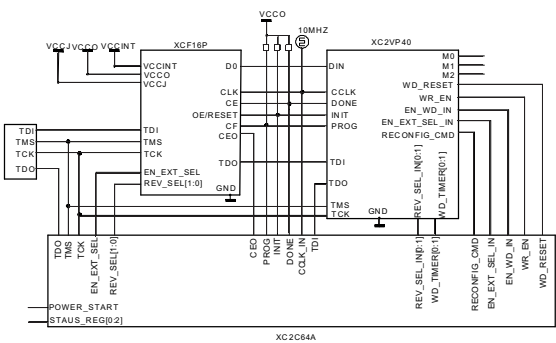


图 3 FPGA 配置过程的监控电路

Fig. 3 Monitoring circuit of FPGA configuration

3.3 FPGA 配置过程监控软件设计思想

监控 FPGA 配置过程是监控 FPGA 在配置

过程中配置引脚 INIT_B、DONE、PROG_B、CEO 等的变化来完成的。结合 FPGA 配置工作流程在 CPLD 器件内设计监控状态机来实现 FPGA 配置过程的监控。考虑 FPGA 配置过程中所出现的各种情况,设计的状态机要完成以下功能:

- (1)跟随 FPGA 配置的整个过程;
- (2)测试应用程序是否正确;
- (3)当配置失败时,可以重新配置数据并分析配置失败的原因;
- (4)在应用程序执行过程中收到重配命令时,可以重新配置应用程序。

图 4 为所设计的 FPGA 配置过程的监控状态机转移图。状态机刚上电或者接收到 FPGA 重配置命令以及看门狗计时器不能工作时,状态机处于空闲状态。这时 FPGA 处于初始化、清空内部配置存储器阶段,FPGA 会使芯片初始化指示信号 INIT 和 FPGA 配置状态指示信号 DONE 置低,FLASH 会使芯片输出使能信号 CEO 置高。同时,FPGA 要测试重配置 FPGA 信号 PROG_B 的电平。只有 PROG_B 引脚低电平时间最短为 300 ns 时,才能清空 FPGA 内部配置存储器。

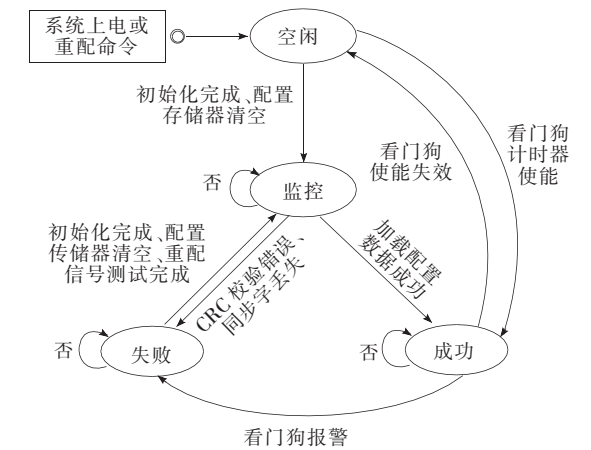


图 4 监控状态机配置

一旦 INIT 信号由低变为高时,状态机就进入监测状态。此时 FPGA 进入配置应用程序过程,即应用程序由外存开始导入到 FPGA 内部存储器中。此时若满足配置失败的条件,状态机便会进入配置失败状态。配置失败主要发生在配置数据传输过程 CRC 校验错误、PREAMBLE 信号或同步字丢失等几种情况下。CRC 校验失败体

现在 INIT 信号在配置数据过程中由高变为低,PREAMBLE 信号和同步字丢失体现在 CEO 信号变高而 DONE 信号一直为低。当状态机进入配置失败时,置低 PROG_B 信号,复位 FPGA 器件的配置逻辑,使 FPGA 处于清空配置存储器状态,以便清空 FPGA 配置存储器并准备重新配置数据。当 PROG_B 信号置低 300 ns 后转为高,再次进入监测状态。

如果 INIT 信号一直为高,且标志比特流文件传输结束信号 DONE 由低变为高时,状态机进入配置成功状态。状态机在配置成功状态时,启动看门狗计时器功能。看门狗计时器用来测试被导入的应用程序是否正确。若配置成功的应用程序不正确,状态机就会转到配置失败状态,重新配置应用程序。

当 FPGA 配置过程完成后,状态机会显示配置成功、导入的应用程序出错、CRC 校验失败以及配置数据的同步字丢失等 5 类配置结果。

3.4 代码实现

Verilog HDL 语言既是一种行为描述语言,也是一种结构描述语言。按照一定的规则和风格编写代码,就可以将功能行为模块通过工具自动转化为门级互连的结构模块,这意味着利用 Verilog HDL 语言所提供的功能,可以构造一个模块间的清晰结构来描述复杂的大型设计,并对所需的逻辑电路进行严格的设计^[12]。因此,采用 Verilog HDL 语言编写 FPGA 配置监控状态机以及其他应用程序设计较为方便。

状态机的 Verilog HDL 编程简明逻辑图如图 5 所示,设计主要由 Monitor_sm、Program、Revision、Status、Watchdog、Dcm 等 6 个模块组成,用以完成整个状态机的工作过程。

监测状态机的核心 Verilog HDL 代码为:
always @(prog_timer or en_wd or ceo or
config_state or init or done_in or wd_timer or wd_

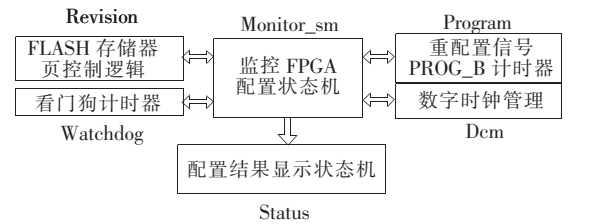


图 5 状态机代码实现逻辑图

Fig. 5 Logic diagram of monitor status machine

```
reset or wd_reset_ok)
begin
case(config_state)
IDLE :
    if (init && ! done_in && prog_timer ==
2b11)
        next_state <= MONITOR;
    else if (en_wd)
        next_state <= PASS;
    else
        next_state <= IDLE;
MONITOR:
    if (! init && ! done_in)
        next_state <= FAIL;
    else if (init && ! done_in && ! ceo)
        next_state <= FAIL;
    else if (init && done_in && ceo)
        next_state <= PASS;
    else
        next_state <= MONITOR;
PASS:
    if (! en_wd)
        next_state <= IDLE;
    else if (wd_timer == 2b10 && ! wd_re-
set_ok)
        next_state <= FAIL;
    else if (wd_timer == 2b11 && wd_reset_
ok && wd_reset)
        next_state <= FAIL;
    else
        next_state <= PASS;
FAIL:
    if (init && ! done_in && prog_timer ==
2b11)
        next_state <= MONITOR;
    else
        next_state <= FAIL;
default : next_state <= IDLE;
endcase
endcase
end
```

4 设计仿真与验证

4.1 FPGA 和 FLASH 的虚拟模型的设计和仿真

为了测试监控 FPGA 配置过程状态机的工

作性能,首先用 Verilog HDL 语言的虚拟器件设计方法实现 FLASH 和 FPGA 之间的通信虚拟模型,虚拟模型的 Verilog HDL 编程简明功能框图如图 6 所示。配置模型由 XCF16P 和 XC2VP40 两部分虚拟模型组成。XCF16P 模型模拟 XCF16P 器件的工作,由串并转换模块、Block RAM 核、并转串等模块组成,实现数据的存储与传输,接收到 FPGA 的相关命令后发送数据给 FPGA;XC2VP40 模型用来模拟 XC2VP40 器件上电后接收配置应用程序的过程,由 CRC 校验算法、串转并模块、Block RAM 核以及其他控制逻辑组成,模拟 FPGA 器件配置的初始化、清空配置存储器、加载配置数据、CRC 校验以及接收数据、存储等功能。

虚拟模型在 Modelsim 仿真软件下得到的 FPGA 配置过程主要信号工作时序经过比较,发现与监控系统硬件上电后通过数字示波器采样得到的配置信号时序完全一样(图 7),说明虚拟模

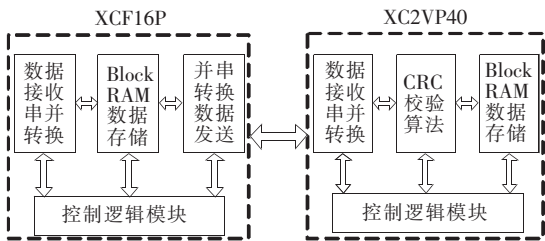


图 6 虚拟模型代码实现功能图
Fig. 6 Function diagram of virtual model

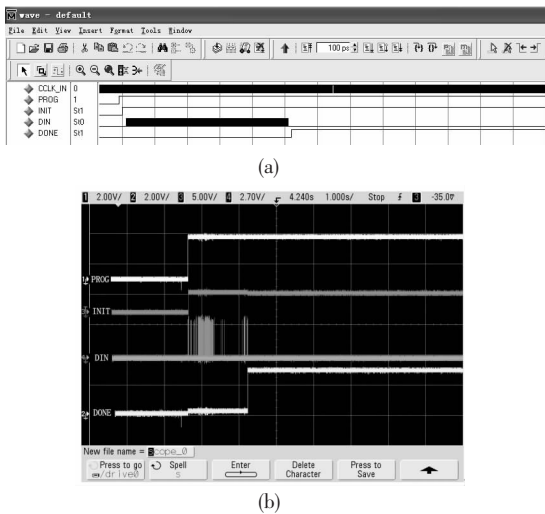


图 7 FPGA 配置信号时序图。(a)虚拟模型配置信号仿真时序图;(b)示波器采样配置信号时序图。
Fig. 7 Timing diagram of FPGA configuration signals. (a)Logic simulation of virtual model; (b) Oscilloscope sampling configuration signals.

型完全可以用来测试监测和管理状态机的工作性能,同时也说明所设计的配置监控系统是可行的。

4.2 监控 FPGA 配置过程仿真

利用 FPGA 和 FLASH 虚拟模型,对设计的监控状态机的性能进行了测试,分别测得 FPGA 在配置过程中出现配置成功、CRC 校验失败、同步字丢失、看门狗报警等现象时状态机的工作性能,数据整理后列于表 1。

表 1 监控状态机性能测试结果

Table 1 Monitor state machine performance testing results

配置现象	配置过程状态机转移情况	配置结果
配置成功	空闲→监测→成功	配置成功
CRC 校验失败	空闲→监测→失败→监测→成功	CRC 校验失败→配置成功
同步字丢失	空闲→监测→失败→监测→成功	同步字丢失→配置成功
看门狗报警	空闲→监测→成功→失败→监测→成功	成功→应用程序出错→成功

由表 1 可知,监控 FPGA 配置状态机可以处理 FPGA 在配置过程中出现的各种配置失败现象,当监测到发生配置失败时状态机可以使 FPGA 转到重新配置数据状态直至配置成功。同时,当配置成功后配置结果寄存器可以准确反映整个配置过程中出现的配置现象。

4.3 设计结果实现与实验分析

至此,FPGA 配置监测系统设计的监测状态机经过计算机仿真验证是正确的。使监控系统上电后,PC 机通过 Xilinx ISE 10.1 软件中的 iMPACT 与电路板通信,软件扫描电路板中的器件确定 XC2VP40、XC2C64A、XCF16P 处于同一个扫描链中,在一个扫描链中可以把不同格式的应用程序下载至相应的器件。同时,上位机向电源通断系统注入参数后,开始对两套目标器件做配置实验,配置信息同时被记录,整理的记录数据如表 2 和表 3 所示。实验结果显示,FPGA 实际配置过程中发生配置失败现象的原因与表 1 所示的配置失败原因相符合,进一步说明了设计的可行性。

对表 2 和表 3 的数据用 MATLAB 软件对实

表 2 传统方法配置实验结果表

Table 2 Configuration tests results using traditional methods

组数	配置次数	失败次数	组数	配置次数	失败次数
1	5 000	4	11	5 000	3
2	5 000	3	12	5 000	0
3	5 000	2	13	5 000	2
4	5 000	1	14	5 000	2
5	5 000	2	15	5 000	3
6	5 000	2	16	5 000	3
7	5 000	1	17	5 000	2
8	5 000	1	18	5 000	3
9	5 000	0	19	5 000	3
10	5 000	0	20	5 000	4

表 3 配置监控方法实验结果

Table 3 Configuration monitoring tests results

组数	配置次数	失败次数	组数	配置次数	失败次数
1	5 000	0	11	5 000	0
2	5 000	0	12	5 000	0
3	5 000	0	13	5 000	0
4	5 000	0	14	5 000	0
5	5 000	0	15	5 000	0
6	5 000	0	16	5 000	0
7	5 000	0	17	5 000	0
8	5 000	0	18	5 000	0
9	5 000	0	19	5 000	0
10	5 000	0	20	5 000	0

验数据进行拟合处理^[13-14],分别得到 FPGA 配置失败率曲线如图 8 所示。可以看出采用传统的 FPGA 配置方法的配置失败率为 0.041%,而采用配置监控系统的 FPGA 配置方法的配置成功率达到了 100%。可见配置监控系统使 FPGA 配置成功率大大提高,完全能够满足卫星相机的要求。

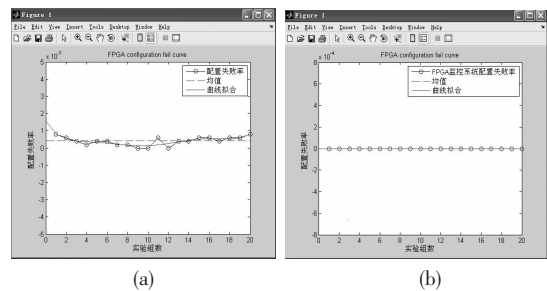


图 8 FPGA 配置失败率. (a)传统方法; (b)监控配置.
Fig. 8 Rate of FPGA configuration failure. (a) Traditional method; (b) Monitoring configuration.

5 结 论

根据卫星相机对 FPGA 配置应用程序成功率高、可靠性强的要求,设计了 FPGA 配置监控系统,并通过数万次的实际配置实验验证系统的

可行性和优越性。实验结果表明:FPGA 配置监控系统可以克服 FPGA 在实际配置过程中出现的各种失败现象,可以使 FPGA 的配置成功率达到 100%,比传统设计方法的配置成功率提高了 0.041%。

参 考 文 献:

- [1] Actel Corporation. Configuring SRAM FPGAs using actel fusion[EB/OL]. [2007-09-07]. http://www.actel.com/documents/Fusion_configSRAM.pdf
- [2] 程明,毕立恒,杨晓光. 用 CPLD 和 FLASH 存储器配置 FPGA[J]. 微计算机信息,2007,23(2): 171-173.
- [3] 周维,何健鹰,聂菊根. CPLD 和 FPGA 编程与配置的实现[J]. 计算机与数字工程,2006,34(1): 100-102.
- [4] 毛剑慧,黑勇,吴斌,等. 一种新颖的多模式 FPGA 配置方案[J]. 微计算机信息,2008,24(2): 179-181.
- [5] 宋亚军,许廷发,倪国强,等. 基于 Virtex-4 FPGA 的低功耗图像融合系统[J]. 光学精密工程,2008,15(6): 935-940.
- [6] Xilinx Corporation. Virtex- II Pro and Virtex- II Pro X FPGA user guide[EB/OL]. [2007-11-05]. http://www.xilinx.com/support/documentation/user_guides/ug012.pdf.
- [7] Xilinx Corporation. Virtex- II Pro and Virtex- II Pro X FPGA platform FPGAs; Complete data sheet[EB/OL]. [2007-03-05]. http://www.xilinx.com/support/documentation/data_sheets/ds083.pdf.
- [8] Xilinx Corporation. Platform flash In-System Programmable Configuration PROMs[EB/OL]. [2003-11-18]. http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf.
- [9] Xilinx Corporation. XC2C64A Cool Runner- II CPLD[EB/OL]. [2008-11-19]. http://www.xilinx.com/support/documentation/data_sheets/ds311.pdf.
- [10] Xilinx Corporation. Platform flash PROM user guide[EB/OL]. [2008-10-17]. http://china.xilinx.com/support/documentation/user_guides/ug161.pdf.
- [11] Xilinx Corporation. Reading user data from configuration PROMs[EB/OL]. [2007-11-19]. http://www.xilinx.com/support/documentation/application_notes/xapp694.pdf.
- [12] 王文华,何斌,任建岳. 线阵 CCD 成像系统自校图形设计[J]. 光学精密工程,2009,17(8): 2011-2016.
- [13] 唐家德. 基于 MATLAB 的非线性曲线拟合[J]. 计算机与现代化,2008,11(6): 15-19.
- [14] 王驰,李醒飞,付娟,等. 声波探雷及其信号处理方法[J]. 光学精密工程,2008,16(9): 1716-1721.