

文章编号:1007-2780(2010)01-0134-05

一种平板显示器定标器的软硬件验证平台

李 波¹,王德江²,逢浩辰²,刘妍妍²,李文明²

(1. 海军驻长春地区空军军代表室,吉林 长春 130033, E-mail:18943154295@189.cn;
2. 中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033)

摘 要:以一款视频图像定标器为研究对象,提出了一种适用于大规模数字集成电路的软件功能性验证平台,详细阐述了平台的结构、平台中测试向量的选择、生成以及测试结果的验证,采用自动向量生成与结果自检测方法,对定标器完成了 1 200 个测试类型的验证。描述了基于 Xilinx 开发板的定标器硬件验证平台,将经功能性验证后的硬件描述语言植入开发板的 FPGA 中,完成了硬件验证。为流片后的定标器芯片搭建了一个测试环境,试验结果完全符合预期设计。

关 键 词:平板显示器;定标器;软件验证;硬件验证

中图分类号: TN 362 **文献标识码:** A

Software and Hardware Verification Platform for Flat Panel Scaler

LI Bo¹, WANG De-jiang², PANG Hao-chen², LIU Yan-yan², LI Wen-ming²

(1. Aviation Commissary of Navy in Changchun, Changchun 130033, China, E-mail:18943154295@189.cn;
2. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: As a kind of signal processing component, the scaler plays an important role in the flat panel display. Taking a video image scaler as researching target, a software verification platform suiting for VLSI chip design is introduced, whose testing vectors selection, testing vectors generation, results checking and architecture are explained thoroughly. Meanwhile, 1 200 testing vectors are verified adopting patterns automating generation method. A hardware emulation platform based on Xilinx developing board is presented, and the verification is also finished with loading hardware description language into FPGA. A testing environment for scaler has been implemented, and tape-out results shows that the scaler works well and meets the expectations.

Key words: flat panel; scaler; software verification; hardware verification

1 引 言

平板显示器最佳分辨率为固定值,即其物理显示像素点,但数字电视或计算机输入图像分辨率是可变的,这就需要缩放引擎将不同分辨率的图像映射到平板显示器上^[1]。定标器作为图像缩放引擎是平板显示器中重要的信号处理单元,如何将设计的定标器转化为产品,系统的验证发挥着举足轻重的作用^[2-6]。世界顶级的芯片设计公司,如 TI、ADI 等,一个新的设计只有经过充分的验证后才能够流片(Tape-Out),验证所花费的时间大约是设计时间的两倍。设计工程师在具体的设计前要参考验证工程师的意见决定系统的结构,从而增强系统的可测试性。

收稿日期:2009-05-20; 修订日期:2009-05-31

基金项目:中国科学院知识创新工程领域前沿项目(No. O70Y32R070)

作者简介:李波(1972—),男,湖北随州人,硕士研究生,主要从事航空侦查设备的检测技术研究。

本文简要介绍了一种新型的定标器以及该定标器的工作过程,然后以该定标器为研究对象,提出一种适用于大规模数字集成电路的软件功能性验证平台,并给出定标器的验证结果;描述了该定标器的 FPGA 硬件验证平台,将经软件验证后的硬件描述语言(Hardware Description Language, HDL)植入 FPGA 中,从而完成了硬件验证;给出了定标器芯片流片后的测试平台,测试结果表明本文提出的软、硬件验证方法能够确保芯片按照最初的设计正常工作。

2 定标器的软件验证平台

2.1 定标器的总体结构

平板显示器最佳分辨率为固定值,即为其物理显示像素点,但数字电视或计算机输入图像分辨率为可变的,这就需要缩放引擎将不同分辨率的图像映射到平板显示器上。本文所述定标器结构如图 1 所示^[1],首先 X 轴(水平方向)缓存器在运算前需存储一定数量的图像数据,具体数目应满足所选算法对缓存的要求^[7,8](例如 4 点插值器至少应保存 4 个数据),X 轴处理单元输出的数据存入 Y 轴缓存区,最终进入列处理单元进行运算,完成运算后输出。

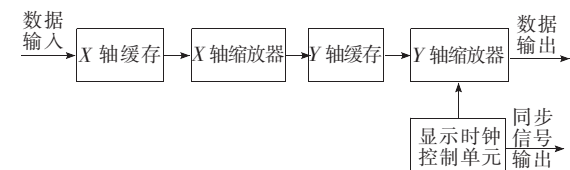


图 1 定标器总体结构
Fig. 1 Top architecture of scaler

2.2 定标器的软件验证平台

现代的数字大规模集成电路设计多采用 HDL 语言进行寄存器级(Register Transfer Level, RTL)的描述,在完成 RTL 级设计后,需要验证定标器该阶段的模型与最初的算法级模型是否一致,此即为软件功能性验证^[9]。

每一个确定的设计总是要完成一定的功能,通常有输入、输出两种类型的端口,可以将所做的设计用传输函数 $h(n)$ 表示,对某一次确定的输入 $x(n)$,有期望的响应 $y(n)$ 。针对 RTL 级定标器模型,系统的传递函数为选用的缩放算法,输入为测试图像数据,期望响应为经缩放处理后的图像。

在软件仿真环境下,没有实际的输入信号,这就需建立一些模块模拟实际的输入,与具体的设计实现无缝连接,然后观察输出是否正确,具体流程如图 2 所示。

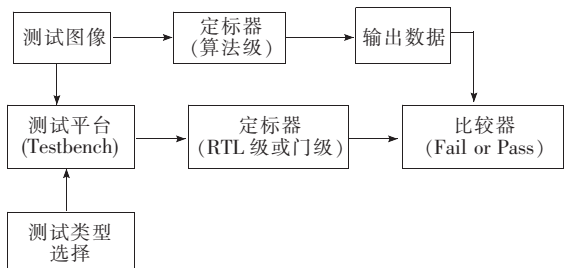


图 2 定标器软件验证平台结构流程图
Fig. 2 Diagram of scaler software verification platform

(1)首先向定标器的算法级模型输入一些标准的测试图像,然后将处理后的图像数据存储起来。因为算法级模型通常由 C 或 Matlab 语言建立,不涉及时序等概念,因此一般认为该模型是准确的,可以作为 RTL 与门级模型的参考。

(2)在 Modesim 等仿真环境下,利用 Testbench 将算法级的测试图像输入到定标器的 RTL 级模型,通过比对 RTL 级模型的输出与算法级模型的输出来验证 RTL 级模型建立的是否准确。如一致,说明 RTL 级模型正确;如不一致则说明 RTL 级模型有错误,比较器模块指出哪种类型的测试图像发生错误,据此找出 RTL 级代码的错误,修改后重复验证,直至最终通过全部的测试类型。

(3)将定标器的 RTL 级模型最终实现在数字芯片中,还需要综合工具(通常为 Synopsys 公司的 Design Compiler)将其映射到具体的门级电路,为了防止综合工具在综合的过程中出现错误,导致门级模型与 RTL 级模型不一致,还需要对定标器的门级模型完成图 3 的软件验证流程。

算法级、RTL 级、门级 3 种模型,是在不同层次采用不同的方式对同一个定标器进行的描述,如果通过了所有选定测试类型的验证,则可证明

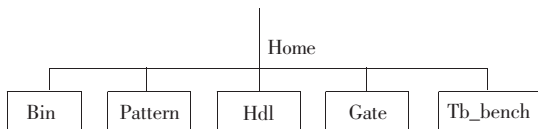


图 3 软件验证平台工作目录
Fig. 3 List of software verification platform

定标器的算法级模型建立是准确的,RTL 级模型完整地 将算法级模型映射到了硬件实现的初步阶段,综合得到的门级模型可用于芯片的后端设计。

2.3 验证平台实现方式

专用芯片 (Application Specific Integrate Chip, ASIC)设计输入类型是多种多样的,如本设计中的定标器,允许符合 VESA (Video Electronics Standard Association)标准的任意格式输入,同时缩放比是任意变换的,输入图像更不可预期。按照以上描述,定标器具有无穷多个测试类型,在工程实际中是不可实现的,这就需要根据定标器的具体应用与所用算法选择测试向量。本文选择 VESA 标准中有代表性的 20 种分辨率格式,输出图像分辨率亦选择这 20 种,测试图像选择正弦、随机和 Lena 3 种,则测试类型共有: $20\times 20\times 3=1\ 200$ 。如果针对每一个输入类型都建立一个测试向量生成模块、测试结果比对模块,工作量是不可承受的,因此必须建立软件自动化验证平台。本设计是在 Solaris 系统下完成的,系统软件验证平台如图 3 所示。

每个目录以及目录中所存文件、功能描述如下:

(1)Bin:存储可执行文件。主要是存储生成测试类型的可执行文件,该文件利用 perl、csh 脚本语言编写,运行该文件可在 pattern 文件目录中生成所有的测试类型,如 1 024×768_1 920×1 080_sin,表示输入的图像分辨率为 1 024×768,输出图像分辨率为 1 920×1 080,图像内容为 sin 波形。本文中定标器的 1 200 个测试类型均由脚本文件自动生成,极大地提高了测试效率与测试结果的可靠性。

(2)Pattern:包含定标器的所有测试类型,每个测试类型由一个文件组成,如上所述的 1 024×768_1 920×1 080_sin 文件,该文件中存储 1 024×768 的 sin 原始图像,算法级输出 1 920×1 080 的结果图像。在 RTL 级仿真时 Testbech 首先寻找到 Pattern 目录,然后对目录下的每一个测试类型进行验证,验证顺序为提取出输入图像,按照一定的时序输入到定标器的 RTL 级模型,然后将 RTL 级模型输出的结果与算法级输出的结果比对。如果验证结果完全一致,则在该文件夹中写入 Pass 文件;如果没有通过验证,则写入 Fail 文件。通过观察文件夹中的内容就可以得出某一类

型是否通过验证。

(3)Hdl:存放定标器所有模块的 HDL 硬件描述语言代码,该代码用于 RTL 级与算法级对比,以此验证 RTL 级模型与算法级模型是否一致。

(4)Gate:存放定标器综合后的门级网表与延时文件信息,该代码用于验证门级模型与算法级是否一致,以此判断最终在芯片中以逻辑门表示的定标器与算法级的定标器是否一致。

(5)Tb_bench:存放测试平台包括的驱动与验证模块,包含两个文件:tb. v 与 monitor. v。其中 tb. v 存储整个测试平台,该平台根据 pattern 中选中的类型产生模拟实际中的视频输入,即按照实际工作中的状态向 RTL 级模型输入数据、时钟与同步信号;monitor. v 为检测模块,负责检查定标器 RTL 级输出结果与算法级的输出结果是否一致。表 1 为本 RTL 级与门级的测试结果。

表 1 RTL 级与门级验证结果

Table 1 Verification results of RTL level				
	单个测试 类型所需 时间	测试类 型数目	总时间	测试结果
RTL 级	1.3 min	1 200	26 h	全部通过
门级	2.2 h	12	26.4 h	全部通过

本次试验中 RTL 级每个测试类型所需的验证时间为 1.3 min,1 200 个测试类型共需 26 h,全部通过测试。由于门级仿真相对于 RTL 级仿真所需的时间过长,本次试验需要 2.2 h,门级仿真的目的在于验证综合工具的综合过程是否正确,因此仅需挑选几个有代表性的测试向量即可,本次试验中从 1 200 个测试向量中选择 12 个,共耗时 26.4 h,全部通过测试。

3 FPGA 硬件验证平台

传统的软件仿真速度慢,搭建测试平台工作量大,如本次设计,门级仿真中仅处理一幅图像即需要 2.2 h,且某些实际硬件运行中的错误在软件仿真中不容易暴露,所以需要搭建一种硬件验证平台。

FPGA 可多次编程,且运行在实际的工作频率,速度极快,因此作为数字芯片投片前的功能性验证越来越得到工业界的重视^[10]。本设计采用

Xilinx 公司 UG020 开发板,核心处理芯片为 Virtex2 系列的 XC2V2000^[11]。验证板主要包含 3 个核心芯片:ADV7185、XC2V2000 和 ADV7123。ADV7185 是 10 bit 视频模数转换器,将输入的模拟视频信号转换为 10 bit 的数字视频信号,同时输出 27 MHz 的时钟;XC2V2000 共有逻辑单元 (Logic Cells)24 192 个, RAM 最大可达 1 MB,共有 8 个 DCM(Digital Clock Manager),最多可配置 624 个 IO 端口,相比于定标器所需资源,该款 FPGA 芯片完全满足要求;ADV7123 将输入的 10 bit 数字视频数据与伴随的同步信号、使能信号转换为模拟 RGB 信号,芯片最高工作频率为 145 MHz。

图 4 为系统整体验证环境。在完成软件功能性验证后,使用 Xilinx 公司的编译器 ISE 对 RTL 代码进行编译,无错误后,通过 JTAG 口,将程序下载到 FPGA 中。开发板上有一发光二极管,下载成功显示绿色,下载失败显示红色,如下载失败可反复下载。然后打开 VCD 播放器,通过选择可以输入 PAL 或 NTSC 视频信号,复位 FPGA, FPGA 即开始工作,相当于一块定标器芯片。此时输入的模拟电视信号首先被 AD7185 数字化后输入到 FPGA, FPGA 除核心处理模块定标器外,还包含解码模块、4:4:2 到 4:4:4 转换等辅助模块。定标器根据转换要求(由 I²C 接口配置)将图像分辨率转换为 1 024 × 768 格式,输出到 AD7123 中。AD7123 将输入的数字视频信号转换为模拟的 RGB 信号输出,附加相应的同步控制信号,输出给板上的 RGB 接口,最终图像显示在液晶显示器上。经实验观察,显示器上可以显示清晰稳定的图像,达到了 FPGA 逻辑验证的目的。

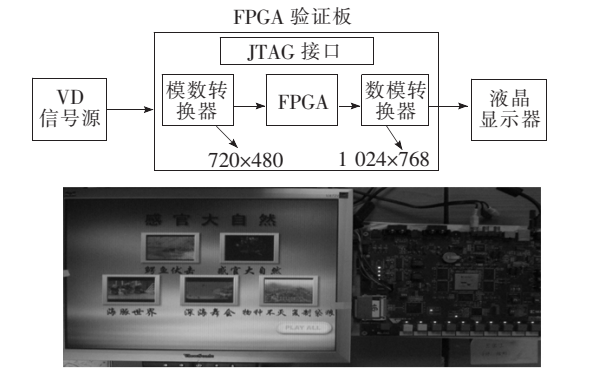


图 4 FPGA 验证环境与试验结果

Fig. 4 FPGA verification platform and results

4 定标器流片测试结果

定标器流片采用的是联华电子(UMC)0.18 μm、1P6M、CMOS 工艺。定标器管芯面积为 4.6 mm×3.9 mm,芯片共 80 引脚,最高工作频率为 110 MHz。图 5 中上两幅图片为本文定标器芯片的封装图与评估板,评估板的结构与 FPGA 验证板类似,仅将 FPGA 用定标器专用芯片替换;下一幅为定标器的验证环境与验证结果。测试过程中分别向该芯片输入 576×480 与 1 024×768 两种格式的视频数据,经定标器缩放处理映射到液晶显示器的固有分辨率上,从显示器上可以观察到,所得的图像色彩协调,画面流畅、稳定,达到了消费类电子产品的要求。



图 5 定标器芯片测试平台

Fig. 5 Experiment platform for scaler chip

5 结 论

以平板显示器图像定标器为研究对象,设计了一个适合于数字大规模集成电路的软件功能性验证平台,在 Solaris 系统下,充分运用脚本语言 perl、csh,将大量繁琐复杂的测试工作通过软件智能完成,提高了验证效率与可靠性。将所做的设计运用 FPGA 开发板进行硬件验证,所得图像清晰稳定。最后流片的结果表明,本文提出的软、硬件验证平台运行可靠,极大提高了专用集成电路一次性投片的成功率。本文提出的软、硬件验证平台与验证思想只需根据具体设计稍做改动,即可适用于其他大规模集成电路的验证工作。

参 考 文 献:

[1] 王德江, 陈柠檬, 王经典, 等. 一种定标器的低硬件复杂度设计[J]. 微电子学, 2007, 37(6):870-873.

[2] McFarland M C. Formal verification of sequential hardware: a Tutorial [J]. *IEEE Trans. on CAD*, 1993, 12(5): 633-654.

[3] 梁茂, 魏廷存, 魏晓敏, 等. 单片集成 TFT-LCD 驱动芯片内置 SRAM 验证技术研究[J]. 液晶与显示, 2008, 23(1):91-95.

[4] 程鹏, 魏廷存, 魏晓敏, 等. 单片集成 TFT-LCD 驱动芯片的设计验证策略[J]. 集成电路设计与开发, 2008, 33(3):264-268.

[5] 蔡希昌, 翟林培, 周九飞, 等. 基于 FPGA 的非 XGA 标准图像显示控制器的设计[J]. 液晶与显示, 2008, 23(3): 301-305.

[6] 王德江, 匡海鹏, 周刚, 等. 一种红外探测器的图像采集系统[J]. 液晶与显示, 2009, 24(3):122-126.

[7] Kim H C, Kwon B H, Choi M R. An image interpolator with image improvement for LCD controller[J]. *IEEE Trans. on Consumer Electronics*, 2001, 47(2):263-271.

[8] Lehmann T M, Gonner C, Spitzer K. Survey: Interpolation methods in medical image processing [J]. *IEEE Trans. Med. Imag.*, 1999, 18(11):1049-1075.

[9] Asaad H, Hayes J. Design verification via simulation and automatic test pattern generation [C]//*Proceedings of 1995 IEEE/ACM International Conference on computer-aided Design*, San Jose, USA:IEEE, 1995:174-180.

[10] Skarabot A, Ramponi G, Buriola L. FPGA architecture for a video wall image processor [C]//*Proc. SPIE Int. Symp. Electronic Imaging* 2001, San Jose, California: SPIE, 2001:75-84.

[11] Xilinx. Virtex- II Pro FPGAs; Complete datasheet[EB/OL]. [2006-03-27]. <http://www.xilinx.com>.



规范关键词选择的决定(试行)

- 一、发表在中国科协系统学术期刊中所有学术论文,必须在摘要后列出不少于 4 个关键词。从技术角度考虑,没有关键词的论文应列入非学术论文类。
- 二、这些关键词按以下顺序选择:
- 第一个关键词列出该文主要工作或内容所属二级学科名称。学科体系采用国家技术监督局发布的《学科分类与代码》(国际 GB/T 13745-92)。
- 第二关键词列出该文研究得到的成果名称或文内若干个成果的总类别名称。
- 第三个关键词列出该文在得到上述成果或结论时采用的科学研究方法的具体名称。对于综述和评论性学术论文等,此位置分别写“综述”或“评论”等。对科学研究方法的研究论文,此处不写被研究的方法名称,而写所应用的方法名称。前者出现于第二个关键词的位置。
- 第四个关键词列出在前三个关键词中没有出现的,但被该文作为主要研究对象的事或物质的名称,或者在题目中出现的作者认为重要的名词。
- 如有需要,第五、第六个关键词等列出作者认为有利于检索和文献利用的其他关键词。

摘自:中国科协学会学术部 2002.9 通知