

文章编号:1007-2780(2009)05-0735-05

基于 FPGA 的大面阵 CCD 高帧频驱动电路设计

商小川^{1,2}, 周 辉^{1,2}, 张星祥¹, 任建岳¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: shangxc2007@hotmail.com;
2. 中国科学院 研究生院, 北京 100039)

摘 要: 介绍了 Dalsa 公司的 33M 像素大面阵 CCD 的内部结构, 着重分析了该款 CCD 的驱动时序。针对大面阵 CCD 图像传感器帧频较低的缺点, 设计了基于现场可编程逻辑门阵列的驱动电路。改进了 CCD 芯片的偏置电压电路, 提出了 4 路同时输出以提高帧频的电路设计方法, 最高帧频可达 2.7 帧/s, 相比单端输出时的 0.7 帧/s 提高了约 4 倍。选用 FPGA 作为核心器件, 使用 VHDL 语言设计驱动时序, 在 ISE 和 Modelsim 环境下对所设计的驱动时序发生器进行仿真实验。实验结果表明, 所设计的驱动电路能够满足大面阵 CCD 高帧频应用。

关 键 词: 面阵 CCD; 驱动电路; 高帧频; FPGA; 仿真
中图分类号: TN386.5 **文献标识码:** A

1 引 言

大面阵 CCD 在航空摄影、数字影楼、医疗生化、国防军工等要求高分辨率、高图像质量的场合有着广泛的应用需求^[1], 国外已经出现了采用这类 CCD 的超高分辨率数字相机。随着摄影测量数字化的发展, 国内对超高分辨率相机的需求正迅猛增长, 研制超高分辨率数字相机具有很大的现实意义。

由于不同厂家、不同型号的 CCD 器件的驱动时序各不相同^[2], 所以 CCD 的驱动电路很难规范化、产品化。CCD 驱动电路的设计是 CCD 应用的关键技术之一, 只有驱动控制脉冲与 CCD 良好配合, 才能充分发挥 CCD 的光电转换特性, 输出稳定可靠的光电信号。

传统的 CCD 驱动电路采用专用芯片为核心来设计时序脉冲产生电路, 尽管在功能实现上没有什么不足, 但是仍存在可扩展性和可移植性差、硬件调试难度大等缺点^[3]。采用 FPGA 设计时序脉冲产生器可以使驱动电路具有更广的扩展性和灵活性。以大面阵 CCD 驱动电路为例, 传统的设计方法是采用 SAA8103 芯片作为水平驱动芯片, 由于 SAA8103 芯片内部没有 CPU, 所以需要片外 CPU 对其进行控制, 单片机是最常见的选

择。文中的驱动系统选用 FPGA 代替 SAA8103 和单片机的组合, 不但有效缩小了印刷电路板面积, 而且简化了设计。

2 FTF5066M 结构和驱动时序分析

2.1 FTF5066M 芯片概述

面阵 CCD 根据结构可分为帧转移 (Frame Transfer) CCD、行间转移 (Interline Transfer) CCD 和全帧 (Full Frame) CCD, 这几种面阵 CCD 都有各自的优点。全帧型面阵 CCD 扩大了成像系统的视场, 且感光范围内没有移位寄存器, 因而单位像素上的感光二极管可以做得很大, 也就得到了更好的动态范围、信噪比和分辨率。FTF5066M 是 3 300 万像素的超大分辨率全帧 CCD 图像传感器, 像元尺寸为 $7.2\text{ }\mu\text{m}\times 7.2\text{ }\mu\text{m}$, 具有灵敏度高、动态范围宽、噪声低和抗晕能力强等优点。

2.2 FTF5066M 内部结构

FTF5066M 的结构如图 1 所示。该芯片在结构上分为 4 部分^[4]: 中间最大的区域为光敏区, 即光积分区域; 位于光敏区上、下两部分的是两个水平输出寄存器, 水平移位输出寄存器将光积分生成的电荷水平转移到 4 个角的输出放大器, 输出放大器将光生电荷转化为电压信号放大并转移

图 1 CCD 内部结构示意图

Fig. 1 Inner structure of CCD

出 CCD。

该芯片的最大特点是将光敏区生成的图像分成 W, X, Y, Z 4 个对称的象限, 每个象限的电荷可以以不同的方向转移, 通过 4 个输出端同时输出, 有效地提高了帧频, 可以应用于对帧频要求较高的场合。每个象限都有独立的垂直和水平转移时钟输入端 $A_1 \sim A_4$ 和 $C_1 \sim C_3$, 电荷转移方向由转移时钟的相位关系决定。这种对称结构使 CCD 能以 1、2 或 4 路进行输出, 4 路输出时能达到最快的输出速度, 此时图像区电荷同时向顶端和底端移动, 输出寄存器电荷同时向左右两端移动。

2.3 FTF5066M 驱动时序分析

FTF5066M 帧转移时序如图 2 所示。

图 2 CCD 帧转移时序图

Fig. 2 Frame timing diagram of CCD

本款 CCD 属于全帧 CCD, 为了得到 100% 无污染点图像, 需要加机械快门。CCD 光积分时快门打开, CCD 进行电荷转移时快门关闭。Trig_in 为外部触发信号, 用于控制 CCD 光积分的起始和结束, 相当于机械快门控制信号。CR (Charge Reset) 信号为 CCD 光敏区电荷复位信号, 其作用就是在开始积分前将 CCD 光敏区的残留电荷清

除, 相当于电子快门信号。

当 Trig_in 信号的上升沿到来时, 触发快门使之进行开启动作, CCD 准备进行光积分。在 Trig_in 信号上升沿之后, 当基准时钟信号 SSC 的第一个上升沿到来时, FPGA 产生脉冲信号 CR, 用于对 CCD 进行初始化; 在 SSC 的下一个上升沿到来时, FPGA 产生 CR 脉冲下降沿, 这时快门彻底打开, CCD 正式进入光积分阶段。当 Trig_in 信号的下降沿到来时, CCD 光积分结束, 同时触发机械快门使之进行关闭动作。通过设置 CR 信号下降沿到 Trig_in 下降沿这段时间来控制光积分, 完成电子快门的时间控制。

SSC 是系统内部的基准时钟信号^[5], 用于校准整个 CCD 的时序, 其作用是控制 CCD 垂直转移(光敏区的电荷转移到水平输出寄存器)和水平转移(将由光敏区转移到水平输出寄存器中的电荷输出)交替协调进行。VA high 是控制四相 A 时钟的高低电平转换的信号。TG 信号的相位和频率与 A_1 完全一致。 C_1, C_2, C_3 为水平像素转移寄存器时钟信号, A_1, A_2, A_3, A_4 为垂直行驱动时钟信号。

CCD 完成一幅图片的拍摄共经历 3 个阶段, 即空闲、积分和转移, 这 3 个阶段是循环进行的。

第一个阶段为空闲模式。空闲模式下, A 时钟信号全部保持低电平, 以防止产生暗电流。转移模式结束后就进入空闲模式, 等待下一幅图像拍摄命令。

第二阶段为积分模式。Trig_in 置高, 机械快门打开, CR 信号保持高电平大约一个行周期以便清除光敏区的残留电荷, CR 变为低电平后光积分开始。 A_1 继续保持低电平, A_2, A_3, A_4 上升为高电平。在本应用中, 将 A_1 保持低电平可以起到像素隔离的作用, 而光生电荷则在保持高电平的 A_2, A_3, A_4 的栅极下积聚起来, 形成信号电荷包。

第三阶段为转移模式。光积分结束后, Trig_in 置低, 机械快门关闭, 电荷转移开始。转移过程可以看成是垂直转移和水平转移交替进行的, 它们之间的交替转换是通过 SSC 电平的高低转换实现的。第一步为垂直转移(SSC 为高电平), 光敏区已生成的光积分电荷在 A 时钟的驱动下逐行向下转移, 最下面的一行转移到水平输出寄存器中。每转移完一行, SSC 变成低电平, 进入

水平转移阶段,输出寄存器在 C 时钟信号的驱动下将这一行逐个像素地向输出放大器转移,通过输出放大器输出。

一行电荷包经过输出放大器的转换和放大后,以电压信号的形式从 CCD 输出,接下来再进行下一行的垂直转移和水平转移,直到所有 6 703 行的电荷包输出完毕为止。由此可见,整个一帧图像是在 A 和 C 时钟信号的交替驱动下从 CCD 输出而完成帧转移的。

3 基于 FPGA 的 FTF5066M 驱动电路设计

CCD 芯片驱动电路系统框图如图 3 所示,系统在 FPGA 的控制下协调工作。驱动电路主要由 FPGA(系统总的控制单元,产生系统所需的各种时序信号)、垂直驱动器 TDA9991(产生 CCD 直流偏置电压和垂直驱动电平)、前端处理电路 AD9824(黑电平箝位补偿、放大、相关双采样和模数转换)等部分组成,最后通过 RS422 接口电路将图像传送给 PC 采集卡^[6]。

图 3 CCD 驱动电路框图

Fig. 3 Structure of CCD driving circuit

FPGA 芯片采用 Xilinx 公司 Spartan3 系列的 XC3S400,该系列芯片是目前为止工艺最先进、价格较低、单位成本内 I/O 管脚最多的平台级可编程逻辑器件。XC3S400 芯片内部时钟频率可达 326 MHz,信号摆幅 1.14 V 和 3.45 V, I/O 口支持 622 Mbit/s 的数据传输率,具有高性能 SelectRAM 内部存储器,多达 4 个数字时钟管理器模块和 8 个全局时钟多路复用缓冲器。本设计选用的封装形式为 PQ208,这款芯片采用先进的 90 nm 工艺,最大容量为 40 万门,工作频率高达 200 MHz,足以完成系统需要^[7]。

整个设计主要分为 3 个部分的信号输入:直

流偏置电压、垂直输入和水平输入。前两者由 TDA9991 提供,后者由 FPGA 提供。由于 FPGA 产生的时序信号驱动能力有限,不能直接用于驱动 CCD 芯片,而是要经过驱动芯片驱动后方可加到 CCD 芯片上,因此选用 74ACT04 作为水平驱动芯片。

3.1 偏置电压的设计

最简单也是最安全的做法是由 SFD 产生大多数的直流偏置电压,包括 V_{PS} , V_{RD} , V_{OG} , V_{RG} , V_{SG} 等^[8],因此只需要两个直流偏置电压,即 V_{NS} 和 V_{SFD} 。

(1) V_{NS} 。 V_{NS} 是加到 CCD 的 N 型基底上的电压,范围为 20~28 V,主要用于控制 CCD 的高光行为(anti-blooming 抗晕)。为了实现电荷复位功能,CR 脉冲必须加到 V_{NS} 上,这个电荷复位脉冲的主要功能是将 CCD 上已经积累好的光生电荷全部移除,这在 CCD 新的光积分循环开始时是必须的。通常将 V_{NS} 设置为 20~28 V 可调。

(2) V_{SFD} 。 V_{SFD} 是加到 CCD 的输出放大器上的直流电压,电压范围是 19.5~20.5 V,通常设置为 20 V。

(3) V_{RD} 。 V_{RD} 是加到复位管(Reset Fet)上的直流电压,在上下电时, V_{RD} 和 V_{SFD} 的差值不得大于 5 V,其典型值为 20 V。

(4) V_{OG} 。 V_{OG} 是连接 SG 和浮置扩散电容 FD 的输出栅上所加的电压,实验中设置为 5 V。

(5) V_{PS} 。 V_{PS} 是加在 P 型衬底的电压,实验中设置为 6 V。

CCD 片上放大器电路如图 4 所示。通过 SF_3 的电流决定了放大器的带宽,这个电流可以通过在输出端 OUT 上外接电阻负载调节。实验表明,负载值为 3.3 k Ω 时可以得到 25 MHz 的读出频率。

CCD 的输出电路是由片上放大器和片外放大

图 4 CCD 片上放大器电路

Fig. 4 On-chip amplifier circuit of CCD

器共同组成的,图 5 中除片上放大器的部分,剩余的电阻和三极管构成片外放大器。4 路输出时, V_{SFD} 为 4 个输出放大器供电, V_{SFD} 给每路输出提供的电流 I_{SFD} 可以由式(1)计算^[9]:

$$I_{\text{SFD}}=I_{\text{A}}+I_{\text{C}}$$

(1)

式中, I_{A} 是片上输出放大器电流,典型值为 4.5 mA, I_{C} 是三极管集电极电流,其值可由式(2)计算:

$$I_{\text{C}}=I_{\text{E}}=(V_{\text{b}}-V_{\text{be}})/R_{\text{e}}$$

(2)

式中, I_{E} 为三极管发射极电流, V_{b} 为基极电压,与片上放大器的输出电压大致相等,计算时取最大值 V_{SFD} (20 V), V_{be} 为发射结导通电压,计算时取 0.7 V。

图 5 CCD 输出电路

Fig. 5 Output circuit of CCD

由式(1)、(2)可得每路 I_{SFD} 为 13.3 mA,4 路输出时则为 $4\times I_{\text{SFD}}=53.2\text{ mA}$,显然大于端最大输出电流 20 mA,所以不能驱动 4 路输出,需要对电路进行改进。一个有效方法是对 V_{SFD} 进行缓冲,实现这一过程的改进电路如图 6 所示。TDA9991 的输出端 V_{SFD} 经过缓冲电路后得到具有较大驱动能力的 SFD,满足 4 路同时输出的驱

图 6 SFD 改进电路原理图

Fig. 6 Improved schematic sheet of SFD circuit

动要求。

3.2 驱动时序的设计

TDA9991 由 8 个线性驱动器、1 个电荷复位关闭驱动、1 个通用可编程直流电压转换器、1 个通用不可编程直流电压转换器和电压调节器组成。可编程直流电压转换器产生正电压 CAPNS 和 CAPH。电压调节器产生 CCD 传感器所需的低噪电压,即将 CAPNS 和 CAPH 转换成低噪输出电压 V_{NS} , V_{SFD} , V_{H} 和 V_{SH} 。

为了得到 CCD 更高的线性输出,在光积分阶段 A_2 、 A_3 和 A_4 高电平保持在 8 V, A_1 保持在 0 V;垂直转移阶段的高电平要保持在 11 V;而电荷复位的高电平为 0 V。可以通过调节电阻值和软件的方式实现电压转换。

设计电路通过 ISE 和 Modelsim 联合进行逻辑功能的时序仿真,仿真波形如图 7 所示。在仿真过程中,将 clk 的频率设为 150 MHz。图中,垂直行转移时序主要包括 A_1 , A_2 , A_3 , A_4 和 TG,其频率都为 50 kHz。SSC 上升沿到来时标志着一次水平像素转移的结束和一次垂直行转移的开始,可通过控制 A 时钟信号的高低电平转换来完成。水平像素转移时序主要包括 C_1 , C_2 , C_3 ,RG 和 SG,其频率都为 25 MHz。SSC 下降沿到来时标志着一次垂直行转移的结束和一次水平像素转移的开始,转移原理和垂直行转移原理一样。由图 7 和图 8 可以看出,产生的各个驱动时序在 Modelsim 中仿真波形结果与 FTF5066M 芯片资料中所要求的驱动脉冲时序完全吻合,达到了预期效果,能够满足驱动要求。

图 7 垂直驱动脉冲仿真时序细节图

Fig. 7 Simulation of vertical driving time sequence

图 8 水平驱动脉冲仿真时序细节图

Fig. 8 Simulation of horizon driving time sequence

4 结 论

提出了大面阵 CCD 图像传感器驱动电路的设计方案,采用 CCD 专用集成芯片和 FPGA 进行系统设计,缩小了电路规模,节约了硬件设计成

本。通过改进偏置电压硬件电路提高了 SFD 电流,满足了 4 路输出的条件,有效提高了帧频。结合 FPGA 和 VHDL 硬件描述语言,采用 Xilinx 公司的 ISE 软件平台,设计了 CCD 驱动时序发生器,输出信号完全满足 FTF5066M 的驱动时序要求。

参 考 文 献:

[1] 潘松,黄继业. EDA 技术与 VHDL [M]. 北京:清华大学出版社,2005.
[2] 金龙旭,李国宁,刘妍妍,等. 帧转移型面阵 CCD 驱动电路的设计 [J]. 光学 精密工程,2008,16(6):1140-1145.
[3] 王华伟,刘波,曹剑中,等. 基于 FPGA 的全帧 CCD 驱动设计 [J]. 电光与控制,2007,14 (5):175-178.
[4] DALSA. FTF5066M Full-Frame CCD Image Sensor Data Sheet [R]. Canada:DALSA 公司,2006:21.
[5] 盛翠霞,张涛,纪晶,等. 高分辨率 CCD 芯片 FTF4052M 的驱动系统设计 [J]. 光学 精密工程,2007,15(4): 564-569.
[6] 薛旭成,李云飞,郭永飞,等. CCD 成像系统中模拟前端设计 [J]. 光学 精密工程,2007,15(8):1191-1195.
[7] 周辉,张星祥,陶宏江,等. 基于行间转移 CCD 场输出模式下的成像系统设计 [J]. 液晶与显示,2009,24(1): 121-125.
[8] 李云飞,李敏杰,司国良. TDI-CCD 图像传感器的噪声分析和处理 [J]. 光学 精密工程,2007,15(8):1196-1202.
[9] 刘光林,杨世洪,吴钦章,等. 高分辨率大面阵 CCD 相机的高帧频设计 [J]. 半导体光电,2007,28(5):735-738.

Design of FPGA-Based High Frame Rate Driving Circuit for Array CCD

SHANG Xiao-chuan^{1,2}, ZHOU Hui^{1, 2}, ZHANG Xing-xiang¹, REN Jian-yue¹

(1.Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China,E-mail:shang.xc2007@hotmail.com;

2.Graduate School of Chinese Academy of Science, Beijing 100039, China)

Abstract

The inner structure of an array CCD device with 33M pixels made by Dasal corporation is introduced, and the driving schedule is analyzed in detail. Since the disadvantage of high sensitivity CCD which has lower frame rate, a design method of the full frame CCD drivers based on FPGA is put forward. To increase the frame rate by getting four outputs at the same time, the bias voltage circuit is improved. The frame rate reaches 2.7 f/s, effectively increased by about 4 times, compared with 0.7 f/s with single output. The system takes Field Programmable Gate Array (FPGA) as the key device and driving schedule generator has been described with VHDL. The designed generator has successfully fulfilled system simulation with ISE and Modelsim. It is proved that the driving system can meet the demand of the CCD in high frame rate application.

Key words:array CCD; driving circuit; high frame rate; field programmable gate array; simulation

作者简介:商小川(1984—),女,辽宁大连人,硕士研究生,主要研究领域为 CCD 图像采集系统与图像处理方面技术。