

文章编号:1007-2780(2009)05-0685-07

场致发射显示器新型图像驱动技术的研究

林志贤,郭太良

(福州大学 物理与信息工程学院,福建 福州 350002,E-mail:linzhixian2002@yahoo.com.cn)

摘 要:在分析和研究了原有灰度调制驱动电路以及低逸出功印刷型场致发射显示器(Field emission display, FED)的显示特性之后,提出了新型子行驱动图像还原技术。子行驱动技术能应用于不具备存储特性的显示器中,具有更小缓存容量需求和更高显示时间利用率等优点,更适合于场致发射显示器的驱动显示。详细介绍了新型图像驱动系统的工作原理及实现方案,同时为了解决子行驱动法对后级驱动芯片工作速度要求高的问题,在降低图像灰度数据位数的同时应用误差扩散法来实现真彩图像的还原。该技术已成功应用于 FED 驱动系统中并研制出彩色 FED 显示器样机。该样机能显示彩色视频图像,对角线为 63.5 cm (25 in),亮度达 300 cd/m²,对比度为 800:1。

关 键 词:场致发射显示器;灰度调制;子行驱动

中图分类号:TN949.16;TN941.3

文献标识码:A

1 引 言

FED 是平板显示器中较为新型的一种,兼具 CRT 优越的显示效果及平板显示器的轻、薄特点,是继液晶显示器(Liquid crystal display, LCD)、等离子体显示器(Plasma display panel, PDP)、电致发光显示器(Electro luminescent display, ELD)等之后另一种很有发展前景的新一代平板显示器^[1,2]。

福州大学的 FED 研究团队采用大面积印刷的方式,研制出了彩色 FED 显示器样机。与其它种类的 FED 不同,大面积印刷式 FED 具有成本低、工艺简单、所使用材料逸出功低等特点,可以降低 FED 中所需的发射电压,使得外部电路简单化。所研制的彩色大屏幕印刷式 FED 能显示彩色视频图像,对角线为 63.5 cm (25 in),亮度达 300 cd/m²,对比度为 800:1,在国内外都属首创^[3]。

PDP 与 FED 就驱动电路来说,最大的共同点就是它们的驱动电压都比较高,为 100 V 左右。目前市场上 FED 专用数据驱动芯片较少,且无论在集成度还是性能上均与 PDP 的数据驱动芯片有较大差距。例如 HV632 芯片,其输出只有 32

路,最大工作电压为 80 V,最大输出电流只有 4 mA。目前 PDP 的驱动技术已经十分成熟,相应的驱动芯片种类繁多,高压性能都比较好。比如 STV7610, STV7620, UPD16347 等高压驱动芯片,其输出为 96 路,输出电流为 30 mA,驱动负载能力远大于 HV632^[4,5]。由此可见,PDP 的驱动芯片在工作速度和负载能力均比 HV632 好。如果能将 PDP 驱动芯片应用在 FED 显示屏上,就有可能改善 FED 的驱动性能。但 PDP 与 FED 的工作原理有很大的不同,它是通过内部的惰性气体放电释放出的真空紫外光,激发涂覆在基板内壁上的光致荧光粉发射可见光来实现图像的显示。AC-PDP 由于受气体物理学原理所限,其像素只有亮与灭而没有中间亮度等级,因此其灰度的产生是通过调节维持脉冲个数的方法来实现的。而 FED 灰度的产生则可以通过调节驱动脉冲宽度、驱动电压或驱动电流的幅度来实现^[6,7]。因此,专为 PDP 显示屏设计的驱动芯片不能直接应用于 FED。

为了克服现有技术的不足,本文提出了一种全新的应用于大屏幕 FED 的图像灰度调制方法——子行驱动(SRD)方法。SRD 的特点是突破

收稿日期:2009-03-18; 修订日期:2009-04-16

基金项目:国家“863”计划平板显示重大专项资助项目(No. 2008AA03A313);福建省科技重大专项资助项目(No. 2004HZ01-2);福建省科技三项经费资助项目(No. 2006F5061);福建省教育厅资助项目(No. JA09003)

了传统的、仅适用于 PDP 等具有存储效应的一类显示器的 ADS 方法显示发光时间短、数据缓存器大的局限。电路的更高集成度大幅减小了电路的体积,使整个驱动电路体积缩小为原来的 1/2,重量也减为原来的 1/2。采用 PDP 驱动芯片和 FPGA 的 SRD 技术可实现 FED 显示,其控制灵活方便、可扩展性强,具有广阔的实用价值和市场应用前景。

2 新型子行驱动原理简介

SRD 图像灰度调制方法是将一行图像数据按数据位权重划分出若干子行时间脉冲宽度进行驱动。为了实现 256 灰度图像,一般的子行显示方法是将一行数据分为 8 个子行,每个子行的点亮时间对应不同的权重,以通过各个子行的组合显示不同的灰度等级。每个子行由寻址期与显示期构成,如图 1 所示,寻址期(图 1 中黑色部分)将显示数据送入驱动芯片的移位寄存器,显示期(图 1 中白色部分)利用具有数据移位锁存的高压输出驱动芯片将数据锁存并传送至高压输出,以按照子行划分的时间长度维持显示。在输出状态稳定的同时移位寄存器进行下一周期数据的传送,在第 1 个子行的显示期,第 2 个子行的寻址就可以开始进行,从而使电路的信号输出状态与寻址状态同时进行。采用 FPGA 对数据移位锁存的高压输出芯片进行控制和数据处理,实现 FED 的灰度调制。该方法的重点就是充分利用电路的电平维持状态与寻址状态的同时进行,最大程度地减少屏幕的不发光时间,提高显示时间利用率。

图 1 SRD 原理图
Fig. 1 Diagram of SRD

目前 AC-PDP 广泛使用的显示和分离(ADS)驱动方法,是将一场数据分为若干个子场,在每个子场周期内都要顺序寻址扫描所有行,在寻址期将本子场内的所有数据信号以壁电荷的

方式存储到各像素单元中,然后在显示期进行统一的发光显示。因此,基于 PDP 显示器具有存储记忆功能的结构特点,这种方法能够在一个子场内对所有行进行同时显示^[8-10]。

表 1 给出了 SRD 与 ADS 驱动性能的对比。从表 1 可以看出:ADS 主要适用于具有存储特性的显示器器件,如 PDP,而 SRD 则不要求显示器具有存储特性;ADS 要求比 SRD 具有更大的片内数据存储处理缓存容量;ADS 是单场操作而 SRD 采用单行操作;在显示时间利用率上由于 ADS 采用寻址与显示分离的方法,使得寻址的时间无法用于图像的显示而损失部分显示时间,而 SRD 完全采用寻址与显示同时进行的方案,使得显示时间利用率高于 ADS 技术。由此可以看出,新型 SRD 技术更适用于 FED 显示器驱动显示。

表 1 SRD 与 ADS 驱动性能对比

Table 1 Driving performance of SRD versus ADS		
项目	SRD	ADS
显示屏特性	不要求具备存储特性	应具备存储特性
缓存容量需求	小	大
操作顺序	单行	单场
显示时间利用率	高	低

3 图像驱动系统的研制

3.1 系统组成框图

从图 2 的 SRD 电路系统整体组成框图可以看出,系统主要由两级 FPGA 和后级高压驱动电路组成。在前后两级 FPGA 中,主 FPGA 完成接收前级视频信号并进行一些相应的图像处理。从 FPGA 接收主 FPGA 处理后的数据和控制信号,负责完成复杂的 SRD 控制,其主要功能是将主 FPGA 传过来的数据进行分割和重组,控制数据的输出方式,产生后级高压移位锁存驱动器所需的控制信号,使之能达到 SRD 的目的。

采用 SRD 法首先要计算几个重要参数。由于所用 FED 显示屏的分辨率为 $800\times 3\times 600$,场频为 60 Hz,因此每一行选通时间为 $27.7\ \mu\text{s}$ 。为了实现 256 级灰度,在一行的时间内,如果将每行数据分 8 个子行送出,每个子行按权重时间之比为 $1:2:4:8:16:32:64:128$,那么最小子行的时间约为 100 ns。由于高压移位锁存驱动器芯片的移

图 2 FED 的 SRD 电路整体框图

Fig. 2 Overall block diagram of SRD circuit of FED

位时钟最快只能达到 40 MHz(即周期为 25 ns),且传输是按位进行,其寄存器长度是 16 位,所以完成一个子行数据传输的时间需要 400 ns。如果仍然采用 8 bits 数据实现 256 级灰度显示,将会出现低灰阶部分(即前 3 个子行)由于显示时间比数据传输的时间少而导致数据丢失的问题。同时,由于器件和显示屏存在一定的响应时间,如果低灰度分配的时间过短(最低灰度为 100 ns),那么图像低灰度部分的显示就会受到影响,从而降低图像的显示质量。因此,需要在尽量不影响图像质量的基础上减少数据的比特位,将图像数据由原来的 8 bits 降为 6 bits 进行显示。可以引入误差扩散法对图像进行处理,达到原有灰度图像的还原,从而解决上述存在的问题^[10]。误差扩散法是将当前的像素的量化误差按一定的比例扩散

到邻接像素上,这样一来,局部的量化误差对相邻像素点而言是一种补偿,使得误差扩散系统具有自校正的能力,保证了在处理前后图像的总灰度或色彩相一致。

3.2 系统功能模块设计

SRD 的关键是将数据按位输出,然后根据每一位数据的权重进行显示。因此,驱动系统的关键是对数据进行分配、重组等处理使之能适应后级高压移位锁存驱动器的要求,整个 SRD 方法的实现过程就是对数据处理的过程。

图 3 所示是 SRD 电路模块组成框图,主要由 6 部分组成:同步复位模块、变址模块、数据分割模块、片内缓存模块、数据重组模块和数据输出模块。下面结合附图对实现 FED 的 SRD 电路方法和各个主要驱动电路模块做进一步的详细说明。

图 3 SRD 电路模块组成框图

Fig. 3 Diagram of SRD circuit modules

3.2.1 同步复位模块

同步复位模块是负责系统的复位功能。由于

整个电路以一幅图像为时间单位进行操作,故每一帧的开始需要复位至初始状态。该模块根据输

入的帧同步信号产生每一帧各个控制模块的启动控制信号。

3.2.2 变址模块

目前所制作的 FED 显示屏列电极排列采用双边分别顺序引出的方式,两方向分别按 8 列为一组依次相间引出。这种电极引出顺序方式不利于与一般集成驱动电路接口,如果采用正常的驱动芯片 I/O 顺序进行电路板设计,将大大提高 PCB 板布线的难度,并且会引入不必要的电磁干扰。为解决这一问题,采用软件查表的功能,基于 Altera 公司的 Cyclone 系列的 EP1C6 芯片设计了一种 FPGA 变址技术。FPGA 的变址技术设计的思想是后级高压移位锁存驱动器的 I/O 管脚输出的信号顺序并不是按照 FED 显示屏列电极的顺序进行布板,而是通过 FPGA 芯片的查找表单元(根据 FED 显示屏的顺序要求而编写的)来决定。当数据信号要输出显示时就要根据显示屏显示的位置在查找表中寻找出地址,取出相应的数据,再输送到对应的驱动芯片进行灰度调制,然后输出到显示电极上显示。

此方法不仅减轻了布线的难度、保证了信号完整性并减少了干扰的产生,同时还有利于板间布局设计的美观。对于驱动反射式或透射式 FED 显示屏不同的引线输出方式,只需通过修改软件就可达到驱动电路的兼容,节约了电路成本。

3.2.3 误差扩散模块

误差扩散的实现框图如图 4 所示。在图示的延迟单元中,1D 表示延迟一个像素(即延迟一个数据时钟);1H 表示延迟 1 行,延迟一行就是延迟 $N(N$ 为一行的像素数目)个数据时钟。 $1H+1D$ 表示延迟 1 行再加 1 个像素, $1H-1D$ 表示延迟 1 行再减一个像素。 eA,eB,eC,eD 分别是 A,B,C,D 像素扩散到当前像素的误差^[11-13]。从图中

图 4 误差扩散实现框图

Fig. 4 Diagram of realization of error diffusion

还可以看出,误差扩散电路需要存储上一行各像素的误差数据,本系统中在 FPGA 片内开辟了一块内存区域,采用先进先出堆栈 FIFO 方式实现。

3.2.4 数据分割模块

经过误差扩散处理后,每一个像素的灰度信息是 6 bit,一行有 800 列数据。由于采用的每片高压移位锁存驱动器具有 96 路输出,因此,需要 9 片高压移位锁存驱动器。采用并行传输方式,需要将 800 列数据分割成 9 部分,分别对应一片高压移位锁存驱动器。数据处理的第一步就是分割,如图 5 所示,要将 800 个数据进行准确的分块,根据高压移位锁存驱动器的输出将 96 个数据组成一个模块,将 800 个数据分成 9 个模块,关键是要判断数据是属于哪个模块。

图 5 数据分割示意图

Fig. 5 Schematic diagram of data partitioning

因为数据是在主 FPGA 输出时钟 CLK1 的作用下,每个像素数据按顺序输出,所以对 CLK1 计数就可以判断输出的数据属于哪一模块。例如当 CLK1 计数到 120 时,说明输出的是第 120 列的数据,按照一组数据为 96 个,那么该数据应该属于第二组,要存入片内缓存 2 中。如图 6 所示,数据分配模块就是根据 CLK 计数器的值来判别,从而将输入的数据分配到正确的片内缓存中。当

图 6 数据分割模块组成

Fig. 6 Data partitioning modules

时钟计数到 800 时,说明一行的数据已经全部写入到片内缓存中,通过行同步信号进行复位。片内缓存的地址由地址发生器模块产生,地址发生器也是通过 CLK 计数值来作为地址产生的依据。

3.2.5 片内缓存模块

在设计过程中,我们发现片内数据缓冲是 FPGA 选择的关键点之一。对于所需的逻辑单元来说,选择 Altera 公司最小逻辑资源的 Cyclone 系列芯片就已经满足。但系统对芯片中 RAM 资源的需求较大,本系统选用的 EP1C6 能提供 92 160 个内存单元,可以满足设计的需要。由于通过数据分割,800 个数据存在 9 个不同的 RAM 块内。

3.2.6 数据重组模块

数据的重组是实现子行灰度显示的核心部分,为了叙述的方便,关于 RAM 块和数据的操作都以其中某一块 RAM 为例,其余 RAM 块类似。高压移位锁存驱动器的每个子行对应着输入灰度数据的一位,在输出时,每块 RAM 对应 96 路的子行数据同时输出,而灰度数据的读入是按每个像素 6 bits 读入的。为了和输出的 6 路数据总线匹配,需要将数据的存储格式进行重组。根据 SRD 的显示原理中多子行灰度显示的要求,每一个红、绿、蓝灰度信息中的 6 个 bits 分别决定了对应像素点在 6 个显示子行中的发光与否,也就是说,在任意一个子行的显示时间内,所有输入像素字节中都只有一个 bit 是有效的。在进行某个子行的显示之前,都仅需要把该子行对应的位从输入数据中提取出来,而数据字节的其余 5 位 bit 在这时就成为了冗余数据。为了提高数据处理的效率,对原始数据进行了重组,将每 6 个相邻的输入数据编为一组,并将这 6 个字节中相同的位依次提取出来,组成新的共 6 个字节。这样,每个新字节中的数据就与某个子行相对应。最后再将这些重组好的字节一次性存入缓存,这样,每显示一个子行,就只需从缓存中读取对应于该子场的那些数据而不用遍历所有的数据。

具体实现方法如下:首先构造两个移位寄存器组,每个组中都包含 6 个长度为 6 bits 的位移寄存器。同时,将输入的原始数据按照位置的相邻关系每 6 个字节编为一组(缓存 1 中存 96 个像素点的数据,因此要分成 16 组),每个字节的 6 位 bit 分别对应该组中的 6 个寄存器(Reg_a-Reg_f)。

在数据稳定时,依次将各字节中的 6 个数据位写入其对应的移位寄存器中。

图 7 为数据重组示意图。当一组中的 6 个字节全部被写入移位寄存器后,下一组的 6 字节数据将写入另一组移位寄存器。重组电路将接收到的第一行前 6 个像素字节放入移位寄存器组 A 中进行数据重组。如图 7(b)所示(用 $d(i,j)^{[k]}$ 表示第 i 行第 j 个数据的第 k 位),刚写满的移位寄存器组 A 内分别存放了这 6 个像素点对应于不同子场的数据,如 Reg_a 中就存放了第一行前 6 个像素点中用于控制第一子场显示的数据。随后,在 CLK 信号的下降沿,一次将 Reg_a-Reg_f 内的数据作为新的字节(即 $d'(1,1)$ 、 $d'(1,2)$ ……),并将它们按顺序存入 RAM 中于其相对应的地址空间内。6 个时钟周期过后,寄存器 A 中的数据已经被全部写入 RAM,与此同时,电路接收到的下一组数据也已被写入寄存器组 B 中。接下来便可将寄存器组 B 中重组后的数据依次存入缓存中,并将第三组数据按序写入寄存器 A 中,依次类推。由于在数据分割时已经在片内开辟了 9 个内存模块,考虑到片内内存资源有限,只需要重新开辟一个内存模块就可以满足上述数据重组的要求。因为当一块内存模块数据重组完成后,就可

图 7 数据重组示意图

Fig. 7 Diagram of data reorganization

以释放原先的存储单元供下一块内存模块数据重组时使用。

3.2.7 数据输出模块

该模块完成子行重组数据的输出控制,是 SRD 系统的重要组成部分。它按照子行显示的顺序,将经过重组的数据信号传送给高压芯片中的移位锁存驱动器,并产生相应的控制信号。经过数据重组完后的 RAM 存储格式如图 8 所示。

图 8 数据重组后数据结构图

Fig. 8 Diagram of the data structure after the reorganization

根据重组完数据缓存模块的结构,在移位时钟的作用下(本系统采用高压移位锁存驱动器的最快移位时钟 40 MHz),将缓存块的第 1、第 2……第 6 像素的最低位(即第一子行)的数据输入到高压移位锁存驱动器。同时,由于下一个位移时钟需要将第 7、第 8……第 12 像素的最低位移入高压移位锁存驱动器。因此输出数据总线需要对像素的寄存器组进行选择,选择依据是时钟信号计数的计数值;同时寄存器组要进行移位操作(从图上来看就是寄存器组向上移位),因为

图 9 数据输出程序流程图

Fig. 9 Flow chart of data output process

当再次操作这组寄存器时是要输出第二子行的数据。经过上述操作,在下一个时钟上升沿到来时,第 7、第 8……第 12 像素的最低位移入高压移位锁存驱动器,重复进行上面的操作并计数。当时钟计数寄存器到 16 时,代表 96 个像素第一个子行数据已经传输完成,要输出 STB 锁存使能信号进入显示期。同时,所有的寄存器组也已经完成了移位操作,接下来的 16 个时钟就是对所有像素的第二子行的数据传输。同时子行计数器也开始计数,判断子行计数是否等于 6。当子行计数器小于 6 时,重复上面的流程,直至子行计数器为 6 时,代表一行数据输出结束。系统重新复位开始下一行的显示。图 9 为实现数据重组的程序流程图。

3.3 大屏幕 FED 显示器显示效果

基于 SRD 技术已经研制成功 63.5 cm(25 in) 低逸出功印刷型彩色 FED 显示器样机,该样机能显示彩色视频图像,显示效果如图 10 所示。其亮度为 300 cd/m²、对比度为 800:1。

图 10 63.5 cm 印刷型彩色 FED 显示器视频照片

Fig. 10 Video photo of 63.5 cm color FED

4 结 论

目前,国内外 FED 尚处于研制阶段,关于驱动电路方面的资料很少,特别是用于 FED 驱动高压芯片方面的技术资料就更少。本研究首次基于 SRD 方法使用 PDP 驱动芯片实现了 63.5 cm(25 in) FED 显示屏的驱动显示。SRD 技术及其实现方法在 FED 上的成功应用,不仅为实现高性能的 FED 驱动电路提供了一个新的研究方向,对于提高印刷型低逸出功 FED 驱动电路的集成化也有积极的意义。

参 考 文 献:

- [1] 应根裕,胡文波,邱勇,等. 平板显示技术 [M]. 北京:人民邮电出版社,2003:1-15.
- [2] 李俊涛,雷威,张晓兵. 场致发射显示技术研究进展 [J]. 电子器件,2002,25(4):332-339.
- [3] 林志贤,廖志君,郭太良. 大屏幕 FED 集成驱动电路的研制 [J]. 液晶与显示,2005,20(5):440-445.
- [4] 林志贤,林韵英,徐胜,等. STV7610 在场致发射显示驱动电路系统中的应用 [J]. 激光与光电子学进展,2006,(5):20-24.
- [5] 许伟,吴玉广. PDP 数据驱动模块 STV7610A 及其应用 [J]. 国外电子元器件,2004,(12):49-51.
- [6] Shin Hong-Jae, Kwack Kae-Dal. A novel driving system for high performance true color FED [J]. *IEEE Transactions on Consumer Electronics*, 2001,47(4):802-808.
- [7] 倪曼,张军,胡思正. 基于 CPLD 的新型场发射平板显示器的控制驱动系统 [J]. 半导体技术,2002,27(7):39-42.
- [8] Jang S H, Tae H S, Chien S. New driving scheme for white color balancing of plasma display panel television [J]. *IEEE Trans*, 2002, CE-48(3):382-387.
- [9] 卜忍安,张军,王文江. 彩色 PDP 的关键技术及 AC PDP 工作机理研究 [J]. 真空科学与技术,1999,19(6):475-479.
- [10] 林志贤,郭太良,林韵英,等. 图像处理技术在低逸出功印刷型 FED 中的应用 [J]. 发光学报,2007,28(2):263-268.
- [11] 石铁岭,梁志虎,魏巍,等. 彩色 PDP 运动图像动态假轮廓的评测方法—动态积分法 [J]. 真空科学与技术,2003,(3):156-160.
- [12] 梁宁,梁志虎,魏巍,等. 彩色 PDP 中的误差扩散技术及其改进 [J]. 电视技术,2002,(9):71-74.
- [13] 梁宁,沈思宽,孙鉴,等. 用于彩色 PDP 中的误差扩散电路 [J]. 现代显示,2003,(1):53-57.

Novel Image Driving Technology of Field Emission Display

LIN Zhi-xian, GUO Tai-liang

(College of Physics and Information Engineering, Fuzhou University,
Fuzhou 350002, China, E-mail: linzhixian2002@yahoo.com.cn)

Abstract

By analyzing and studying the old gray scale modulation driving circuit and the characteristics of low work function printable field emission display(FED), a novel image restoration sub-row driving (SRD) technology was put forward. SRD technology can be applied to the display panel which does not have storage characteristic. Less buffer memory demand and higher display time usage ratio and so on can be obtained so that it is more suitable for FED panels driving. The working principle of the new image driving system and the execution method were introduced in detail. In order to satisfy the demand of the chip driving high-speed of the SRD method, some image data bits were reduced, while the application of error diffusion method was used to achieve true color image restoration. The technology had been successfully applied to FED driving system and developed a prototype color FED display. It can display color video images. Its diagonal is 63.5 cm(25 in), brightness is 300 cd/m² and contrast ratio is 800:1.

Key words: field emission display; gray-scale modulating; sub-row driving

作者简介:林志贤(1975—),男,福建泉州人,博士研究生,副教授,从事 FED 显示器、信息显示技术研究工作。