

文章编号:1007-2780(2009)03-0423-06

LED 显示控制系统中 SDRAM 控制器的设计

郑喜凤¹,尹柱霞^{1,2},严 飞^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033,E-mail:yinzhuxia316@163.com;
2. 中国科学院 研究生院,北京 100039)

摘 要: 对应用在 LED 显示控制系统中的 SDRAM 控制器进行了设计,实现了 256×64 像素点的实时显示控制,采用 XILINX 公司的现场可编程逻辑器件(FPGA)XC3S250E 作为系统的硬件载体。动态内存的采用打破了静态 RAM 的使用局限,具有频率高、空间大和成本低的优点。本控制器采用 VHDL 语言进行程序编写,核心部分由状态机组成并采用新颖的读写方式来提高系统的总线利用率,具有较好的系统性和通用性。

关 键 词: LED 显示控制系统;SDRAM 控制器;现场可编程逻辑器件;VHDL
中图分类号: TP333.8 **文献标识码:** A

1 引 言

进入 21 世纪以来,显示技术作为人机联系和信息展示的窗口已应用于社会生活的各个方面。LED 显示屏作为一种新型的显示设备,从一问世就引起了世人的极大关注。提高技术、降低成本成为 LED 显示技术的追求目标。在 LED 显示控制系统中,由于动态随机存取存储器(SDRAM)具有容量大、价格便宜以及访问速度快的优点,现已逐渐取代速率较慢的静态随机存取存储器(SRAM)而成为显示控制系统中的主流高速存储器^[1]。

本文中的 LED 显示控制系统采用 XILINX 公司的现场可编程逻辑器件(FPGA)-XC3S250E 来实现逻辑设计,具有功耗低、体积小、集成度高和速度快等优点。使用 ISE10.1 进行软件开发,同时结合 Pro ChipScope 在线逻辑分析仪对数据进行在线调试。SPARTAN 3E 系列的这款 XC3S250E 有 158 个可用 IO,216 kbit 的嵌入式 RAM 和 38 kbit 分布式 RAM 块,以及 4 个数字时钟管理器(DCM),它采用 DLL(锁延迟环)技术,使 FPGA 具有低电容、低歪斜的承载能力,易于携带高频率的信号,为提高系统的频率奠定了基础。

结合 LED 显示控制系统,文章对 SDRAM 控制器的设计过程进行了介绍。

2 SDRAM 原理

SDRAM 用电容充放电来存储数据,电容器有无电荷分别表示二进制的 1 或 0。电容器有自然放电的趋势,因此 SDRAM 需要周期充电、刷新来保持数据,提高了操作难度。下面简要介绍 SDRAM 的工作原理。

2.1 模式寄存器的设置

在每个 SDRAM 芯片内都有一个逻辑控制单元,并且有一个模式寄存器为其提供控制参数。因此每次重新上电时,SDRAM 都要先对这个控制逻辑核心进行初始化,也就是模式寄存器(Mode Register,MRS)的设置。利用地址线提供不同的 0 或 1 信号来获得不同的参数。具体的定义如表 1 所示^[2,3]。

2.2 命令的执行

SDRAM 接收主机的各种基本操作命令,通过各种控制/地址信号(包括 RAS#、CAS#、WE#、CS#、DQM 等)的组合来完成(H 代表高电平,L 代表低电平,X 表示高低电平均没有影响)。表 1 中,所有命令都是默认 CKE 有效。各个命令的真值表如表 2 所示。

表 1 模式寄存器
Table 1 Mode register

A10	A9	A8~A7	A6~A4	A3	A2~A0
Reserved	WB	Op Mode	CAS Latency	BT	Burst Length
			001 CAS=1		000 BL=1
	0 使用突发长度	00 标准组合	010 CAS=2	0 顺序	001 BL=2
	1 单字模式	其他组合保留	011 CAS=3	1 交叉	010 BL=4
			其他组合保留		011 BL=8
					其他组合保留

表 2 命令真值表
Table 2 Command truth table

命 令	信 号						
	CS#	RAS#	CAS#	WE#	DQM	ADDR	DQs
COMMAND INHIBIT(TOP)	H	X	X	X	X	X	X
NO OPERATION(TOP)	L	H	H	H	X	X	X
ACTIVE	L	L	H	H	X	Bank/Row	X
READ	L	H	L	H	L/H	Bank/Col	X
WRITE	L	H	L	L	L/H	Bank/Col	Valid
BURST TERMINATE	L	H	H	L	X	X	Active
PRECHARGE	L	L	H	L	X	Code	X
AUTO REFRESH	L	L	L	H	X	X	X
LOAD MODE	L	L	L	L	X	Op-Code	X

几个主要命令的使用如下：

(1)器件初始化

器件初始化过程包括几个步骤,上电之后,器件需要首先进行预充电、刷新和模式寄存器的设置,才能进行接下来的读写操作。预充电、刷新的内容将在下面介绍。

(2)预充电

由于 SDRAM 的寻址具有独占性,所以在进行完读写操作后,如果要对同一 Bank 的另一行进行寻址,就要将原来有效的行关闭,重新发送行/列地址。关闭现有工作行,准备打开新行的操作就是预充电(PRECHARGE)。预充电可以通过命令控制,也可以通过辅助设定让芯片在每次读写操作之后自动进行预充电。通过预充电命令控制也就是表 2 中各个信号的输入,所谓的辅助设定就是 A10 的设定,A10 控制着是对指定的 Bank 还是所有的 Bank 进行预充电,前者需要提供 Bank 的地址,后者只需将 A10 信号置于高电

平。同时 A10 还控制着是否进行在读写之后对当前 Bank 进行自动预充电。

(3)刷新

为了提高存储容量,SDRAM 采用硅片电容来存储信息,随着时间的推移,就必须给电容重新充电才能保持电容里的数据信息,这就是所谓的“刷新”(REFRESH)。一般器件需要在 64 ms 内刷新 4 096 次,也就是每隔 15. 625 μ s 要刷新一次^[1]。当 SDRAM 进行刷新时,器件其它的命令都不能响应。

(4)激活

在读写命令执行之前,需要给出这个命令让 SDRAM 处于激活(ACTIVE) 状态,同时接收主机给出的行地址,选通 SDRAM 的行。

(5)读/写

从激活命令执行后经过 tRC 之后,才能获取列地址,实现列的选通,同时读命令的执行还需要经过 CAS 延时之后数据线上才会读出数据,而写

命令则不需要。同时,模式寄存器中设置的 BL 会影响一次读写的数据个数。

3 LED 显示控制系统硬件结构

LED 显示屏的图像信息源于主机显卡上的 DVI (数字视频接口)接口,本系统实现了对 LED 显示屏的显示控制扫描。

显示控制板的大致硬件框图如图 1 所示,电路板的时钟输入为 33 MHz。FPGA 的供电电压为 1.2 V,2.5 V 和 3.3 V,SDRAM 的供电电压为 3.3 V。

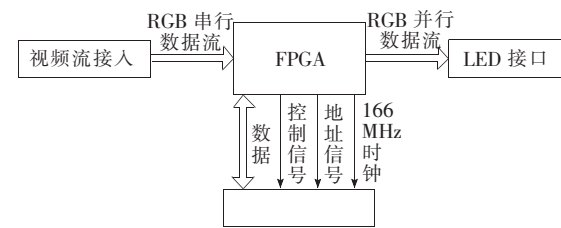


图 1 硬件结构

Fig. 1 Hardware structure

4 LED 显示控制系统软件结构

FPGA 中的软件按设计共分为 7 个模块:串并转换模块、异步缓存(FIFO)、读写信号模块、Sdr 地址发生器、双体 RAM、RAM 地址发生器、动态内存控制器和扫描模块。其中有标号的数据线表示 RGB 数据的流动路线,数据可以从扫描模块直接送入到大屏进行显示。

硬件电路提供的时钟是 33 MHz,而 SDRAM 的使用频率为 166 MHz,因此在软件系统中加入了一个倍频的 IP 核——DCM,这是在 ISE 软件中可直接生成的,图 2 中的 FIFO 和 RAM 都是软件集成的 IP 核。FIFO 的数据宽度为 24(RED=GREEN=BLUE=8 bit),深度为 128;RAM 的数

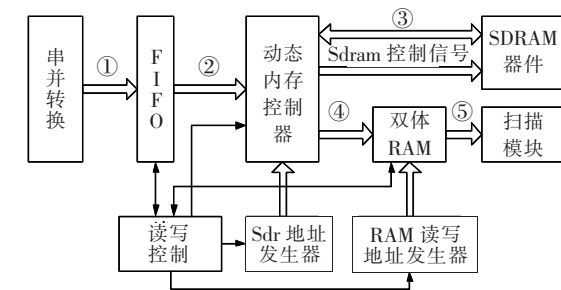


图 2 软件结构

Fig. 2 Software architecture

据宽度为 24,深度为 512。各模块的关系如图 2 所示。

5 SDRAM 控制器的设计

SDRAM 存储器件选择了三星的 K4S643232H-TC60,其最高工作频率为 166 MHz (CAS Latency= 3),存储空间为 64 Mbit(2 048 rows×256 columns×32 bit×4 banks=64 Mbit)以及 64 ms 的最大刷新周期^[4]。

控制器软件由 VHDL 语言编写完成,主要包括初始化、刷新计数器、主状态机、读写信号控制、数据读写控制、读写地址控制、FIFO 的读命令和 RAM 的写命令,这些模块的使用让控制器更加容易操作和修改,也更能适用于其它系统之中,其中 FIFO 的读命令和 RAM 的写命令两个模块可根据系统的实际需要确定要或不要。控制器的核心部分由一个状态机组成^[5],结合外部的控制信号来进行状态转移。核心状态机的转移图如图 3 所示。

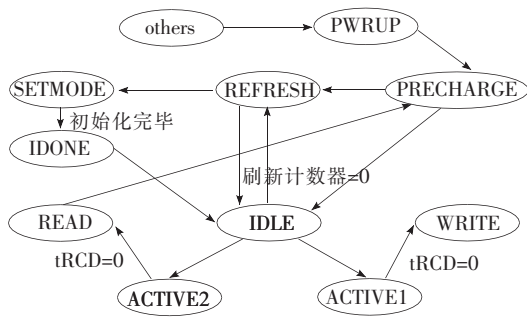


图 3 状态转移图

Fig. 3 State transition map

5.1 主状态机

每个状态在转移到下一状态之前都需先进入 NOP 状态,得到相应的延时,利用 icount 变量进行延时控制。状态机中有两个表示状态的变量:当前状态和下一状态。NOP 还有一个作用就是把下一状态赋为当前状态,条件就是 icount 为 0。

上电初期状态机从 others 状态进入到 PWRUP,这是留给器件的上电准备时间,时间为 20 μs。接着需要对器件进行预充电,在这个状态中通过 init_done 这个变量来判断是否在进行初始化;为“1”时,下一状态是回到 IDLE 状态;非“1”时,下一状态便是进行刷新。之后开始设置模式寄存器,根据预定的模式对各个参数赋值。图

4 显示了上电之后初始化的过程,从图中可以看出,模式寄存器设置的是 00000110011,即 11'h033 (此时 RAS_N=CAS_N=WE_N=0)。之后再刷新一次进入 IDONE 状态,它的作用就是给

init_done赋“1”,结束初始化,状态机则进入到 IDLE,这时,控制器就可以接收读写控制模块发出的读写命令以及刷新计数器给出的刷新命令。
如果有读(写)命令,状态机则转入 ACTIVE1



图 4 初始化仿真图
Fig. 4 Initialize simulation map

(ACTIVE2),控制器给 SDRAM 赋行地址,经过 tRCD 个时钟,便能进入到 WRITE(READ)进行读写。

5.2 无间隔的读写方式

读命令的具体时序过程如图 5 所示。状态机给 icount 赋值 6,器件 CAS=3,在 icount 变量等

于 0 时再给出一个读命令,就能保证读完 8 个数据之后能够马上进行下一次读写,之间没有空闲,提高了效率。其中每 8 次读操作为一段,也就是 64 个数据,之后进行一次预充电,然后等待下一个命令。写命令的过程同理。

系统不考虑整页读写,也不考虑随机存取模

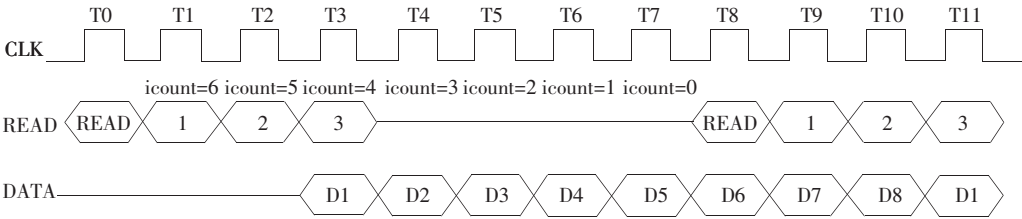


图 5 读写命令示意图
Fig. 5 Write and read command sketch map

式,只采用猝发长度为 8 的猝发方式读/写,其原因在于整个系统处理的是 256×64 像素的图像,SDRAM 的写操作是在 FIFO 存满 64 个数据后进行,而读操作则需要 SDRAM 存满一帧,也就是 256×64 个数据,如此一来,读写的地址发生方式将会有所不同,采用 BL=8 可以将读写操作分段,减小读写操作相对外界操作的差异,使地址发生方式能够更加简易。

在整个读写过程中系统采用了写优先的原则,即 SDRAM 在同一时刻只能响应一个命令,若同时收到读和写命令,系统应先响应写命令。

图 6 是读操作的时序仿真图,从图中可以看出列地址的增加是以 8 为单位,且在前一次读写操作之后会进行一次预充电。sdclk 是动态内存的时钟,经过 DCM 倍频,为输入时钟的 5 倍,即实际运行频率为 165 MHz。写操作与读操作的

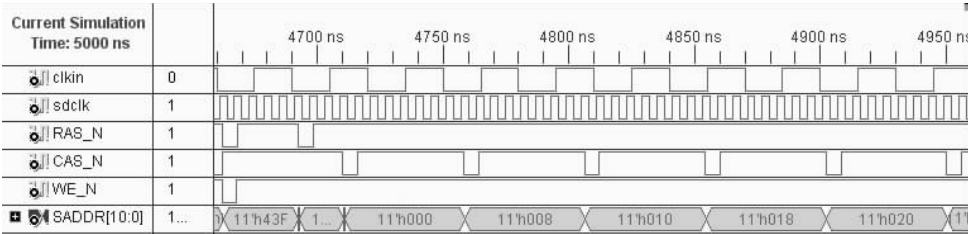


图 6 读命令仿真图
Fig. 6 Read command simulation map

过程相类似。

5.3 控制器的其它重要功能

5.3.1 寄存器进程

寄存器进程主要完成对控制器模式寄存器的设置。并能给 SADDR(SDRAM 的地址)进行赋值,从地址发生器得到的地址是 21 位,所以需要进行处理。行地址是在激活状态给出,tRCD 之后才能给出列地址。

5.3.2 刷新计数器

器件一上电,刷新计数器就开始计数。计数器取刷新周期 $15\ 000\ ns=15\ \mu s$,控制器频率为 165 MHz,即刷新计数器的值 $rfsh_ctr=15\ \mu s/(1/165)\mu s=15\times 165=2475=12b100110101011$ 。在时钟上升沿 $rfsh_ctr$ 进行自减 1,直到 $rfsh_ctr$ 减为 0(为 0 之后再重新赋值),刷新计数器就会像状态机发出刷新命令。

5.3.3 数据传送方向控制

通过是否为读(写)状态给 oe 这个变量赋值,写操作 oe 为“1”,读操作 oe 为“0”。SDRAM 上的数据接口 DQ 是一个双向口,根据 oe 则可以判断数据应该是从主机给 SDRAM 写数据,还是从 SDRAM 读出数据。

5.3.4 产生读写地址自增信号

进入到读写状态之后,这个模块会以 64 为一个单位给控制器外面的地址发生器一个信号,每经过 64 次读写,控制器就会需要读写模块再次给出读写的命令。读(写)时, $R_EN(W_EN)$ 会输

出“1”,地址发生器接收到这个信号之后会根据我们设置的爆发长度 BL 进行地址自增。如设置 $BL=8$,地址发生器就会在经过 8 个周期之后自动加 8 送入到 SDRAM 的地址信号上,具体可见图 6。

5.3.5 产生 FIFO 读和 RAM 写的使能信号

上面已经提到,当 FIFO 存满 64 个数据后,SDRAM 进行写,FIFO 进行读;当 SDRAM 存满 256×64 个数据后,SDRAM 进行读,RAM 进行写。它们之间是紧密联系着的,这个模块将根据 SDRAM 的读写产生 FIFO 读 EN 和 RAM 写的使能信号 EN1。

6 结 论

利用 VHDL 语言和 Verilog HDL 语言对 LED 显示控制系统进行设计^[6,7],最终实现了 LED 显示屏的实时显示,整个系统可以显示 256×64 个像素点的图像。结合 XILINX 公司的 XC3S250E 的硬件结构特征^[8],使整个调试过程免去了寻找控制器与 SDRAM 器件之间的相位差这个繁琐的步骤,缩短了开发周期。系统主频能达到 165 MHz,几乎为 SDRAM 器件的最大频率。在读写过程中使用了比较巧妙的方式,实现了无间隔的读写操作,大幅提高了数据总线的利用率,达到了预期的目标。该 SDRAM 控制器只要稍加修改就可以应用到其它系统中,具有很强的通用性。

参 考 文 献:

- [1] 王骞,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现 [J]. 液晶与显示,2006,21(1):48-52.
- [2] Lattice Semiconductor Corporation. Lattice the Datasheet of the SDR SDRAM Controller of Lattice [R]. 2001: 1-11.
- [3] Samsung Corporation, The Datasheet of the DS_ K4s643232h_ rev14 [R]. 2004:1-12.
- [4] 郝亚茹,丁铁夫,王瑞光. 基于 FPGA 和 SDR SDRAM 的 LED 显示 [J]. 电子器件,2008,31(2):403-405.
- [5] 张林,何春. 高速 SDRAM 控制器设计的 FPGA 实现 [J]. 电子科技大学学报,2008,37:109-112.
- [6] 陈飞. SDRAM 控制器的 VHDL 实现 [J]. 电子产品世界,2002,14(24): 17-20.
- [7] 夏宇闻. Verilog 高级数字系统设计 [M]. 北京:北京航空航天大学出版社,2001.
- [8] 薛小刚,葛毅敏. Xilinx ISE 9. X FPGA/CPLD 设计指南 [M]. 北京:人民邮电出版社,2007.

Design of SDRAM Controller Applied in LED Display Control System

ZHENG Xi-feng¹, YIN Zhu-xia^{1,2}, YAN Fei^{1,2}

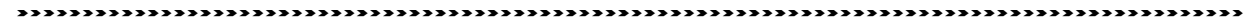
(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China, E-mail: yinzhu-xia316@163.com;
2. Graduat School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract

The SDRAM controller was designed which is applied in LED display control system, the whole system achieved a 256×64 pixels real-time display control, and used XILINX’s FPGA- XC3S250E as the vector hardware. The use of dynamic memory which has the high frequency, low cost and space excellences breaks the limitation of static RAM. The controller was prepared by VHDL language, the core part is composed of the state machine, and the introduction of reading and writing modern methods improved system’s bus utilization, systemic and universal performances.

Key words: LED display control system; SDRAM controller; FPGA; VHDL

作者简介:郑喜凤(1965—),女,黑龙江庆安人,研究员,博士生导师,研究方向为数字信号处理。



规范关键词选择的决定(试行)

- 一、发表在中国科协系统学术期刊中所有学术论文,必须在摘要后列出不少于 4 个关键词。从技术角度考虑,没有关键词的论文应列入非学术论文类。
- 二、这些关键词按以下顺序选择:
 - 第一个关键词列出该文主要工作或内容所属二级学科名称。学科体系采用国家技术监督局发布的《学科分类与代码》(国际 GB/T 13745-92)。
 - 第二关键词列出该文研究得到的成果名称或文内若干个成果的总类别名称。
 - 第三个关键词列出该文在得到上述成果或结论时采用的科学研究方法的具体名称。对于综述和评论性学术论文等,此位置分别写“综述”或“评论”等。对科学研究方法的研究论文,此处不写被研究的方法名称,而写所应用的方法名称。前者出现于第二个关键词的位置。
 - 第四个关键词列出在前三个关键词中没有出现的,但被该文作为主要研究对象的事或物质的名称,或者在题目中出现的作者认为重要的名词。
 - 如有需要,第五、第六个关键词等列出作者认为有利于检索和文献利用的其他关键词。

摘自:中国科协学会学术部 2002.9 通知