

文章编号:1007-2780(2009)01-0093-05

中小屏幕 TFT-LCD 源驱动器电路设计

史刘星,魏廷存*,樊晓桢

(西北工业大学 教育部嵌入式系统集成工程研究中心, 陕西 西安 710072, E-mail: liuxings@yahoo.com)

摘 要: 针对中小屏幕 TFT-LCD 源驱动器电路,提出了一种新型的源驱动器结构,重点设计了一种电流可调、采用零点补偿的轨对轨结构的输出缓冲电路。该电路结构不但满足了系统功能和面积要求,而且能够很好地适应未来 TFT-LCD 芯片的发展趋势。Hspice 仿真表明,在 10 k Ω 电阻,20 pF 电容串连负载模型下的增益为 90.7 dB,相位裕度 75°,静态电流消耗 1.1 μ A,电路面积 400 μ m²,满足了系统要求。

关 键 词: TFT-LCD;源驱动器;轨对轨

中图分类号: TN321⁺.5; TN702 **文献标识码:** A

1 引 言

TFT-LCD(Thin Film Transistor-Liquid Crystal Display)显示屏具有亮度高、画质好、响应速度快和显示信息量大等优点^[1],目前已经成为彩屏手机的首选显示面板,并且呈逐年上升趋势^[2]。TFT-LCD 驱动控制芯片作为手机中 TFT-LCD 显示模组的关键芯片之一,其性能对画面质量和模组功耗有直接的影响^[2]。随着作为显示终端的 TFT-LCD 分辨率的提高,传统 TFT-LCD 驱动芯片的源驱动器结构已经不能满足功耗和速度的要求,因此需要在传统的源驱动器结构的基础上进行改进,在不增加芯片面积和功耗的基础上,重新设计结构合理、性能更好的源驱动器电路。

本文针对自主研发的一款手机用 TFT-LCD 驱动控制芯片,在详细分析该芯片源驱动器功能和功耗要求的基础上,提出并改进了源驱动器的结构,重点设计了一种电流可调、采用零点补偿的轨对轨结构的输出缓冲电路。在采用 SMIC 0.18 μ m 高压 LDMOS 工艺条件下,单个输出缓冲电路的版图面积为 400 μ m²;5.5 V 电源电压下的静态电流为 1.1 μ A;电路的开环增益为 90.7 dB;10 k Ω 电阻,20 pF 电容串连负载模型下的相位裕度为 75°。

2 TFT-LCD 源驱动器功能及电路设计要求

为准确说明源驱动器的性能要求,首先介绍和分析 TFT-LCD 驱动芯片的结构。TFT-LCD 驱动芯片如图 1 所示,包括存储器、电源产生电路、数字接口电路、 γ 校正电路、时钟产生电路、列驱动器和源驱动器。

源驱动器是芯片的显示模块。图 2(a)所示为传统的单条源驱动器结构,它把存储器输出的显示数据进行锁存,并对显示数据进行译码,D/A 转换,从而把显示数据变为对应的灰度电压输出。从整个芯片的面积和功耗上来看,源驱动器为阵列结构,当屏幕每行的像素点为 M 时,则整个源驱动器阵列为 $3 \times M$,源驱动器占据了很大的芯片面积,并消耗了 30% 以上的系统功耗^[3,4]。因此压缩源驱动器面积,降低其动态和静态功耗,可以显著提高源驱动电路性能。

在屏幕分辨率较小的情况下,源驱动器采用直接输出,把灰度电压直接输出到引脚,整个源驱动器的驱动能力由 γ 校正电路来提供。这种传统驱动方式要求 γ 校正电路具备很强的驱动能力。如果屏幕分辨率较大, γ 电路则不能提供足够的驱动能力。图 2(b)所示为新的单条源驱动器

收稿日期:2008-01-01; 修订日期:2008-09-03

基金项目:国家高新技术研究发展计划项目(No. 2005AA1Z1193)

* 通讯联系人, E-mail: weitec@nwpu.edu.cn

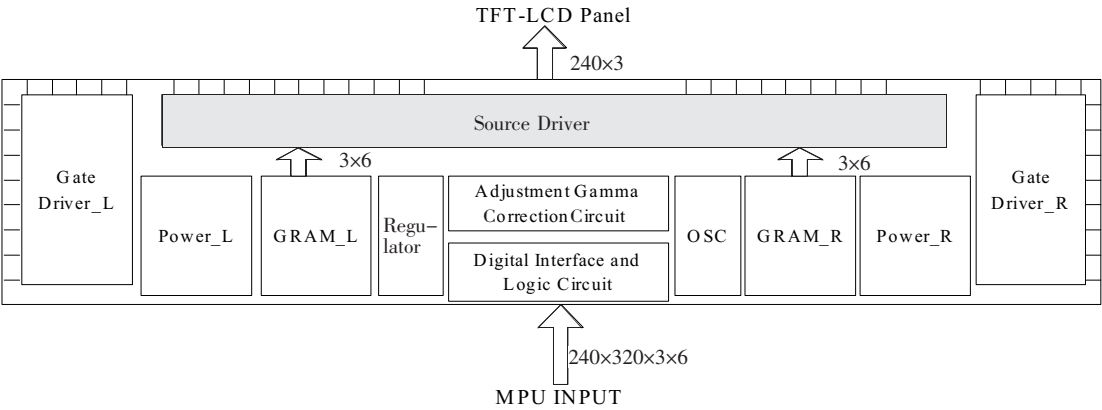


图 1 TFT-LCD 驱动芯片结构图
Fig. 1 Diagram of TFT-LCD driver IC

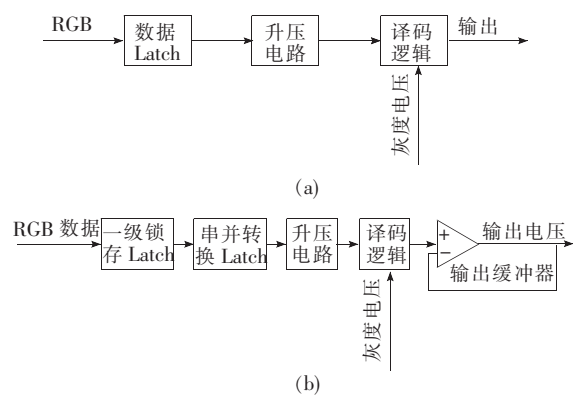


图 2 (a)传统单条源驱动器结构;(b)新型单条源驱动器结构。
Fig. 2 (a)Traditional block diagram of source driver;
(b)Proposed block diagram of source driver.

结构,在原有源驱动器结构的基础上,在 D/A 转换和输出之间增加了一级输入缓冲电路。这种驱动方式适合于大分辨率的 TFT-LCD,使得 γ 校正电路不必具备很强的驱动能力,并且在 D/A 转换时有足够高的转换速率,满足了系统要求。

由于显示电压从最低到最高有一个电压分布范围,因此要求输出缓冲电路的电压范围必须涵盖显示电压的范围。大分辨率的 LCD 显示屏要求缓冲电路必须具有尽可能快的转换速率和尽可能少的稳定时间。根据芯片要求,在电源电压为 5.5 V,负载电阻为 10 k Ω ,负载电容为 20 pF,输入电压范围为 0.1~5 V 时,输出电压需要在 <5 μ s 的时间内达到输入电压的数值,误差不超过 $\pm$ 35 mV。

3 锁存与译码电路设计

芯片的显示数据为串行输入,因此源驱动器要对锁存数据进行串并转换,然后进行 D/A 变换。考虑到面积和功耗的影响,所设计的源驱动器的串并转换采用两级电平锁存 LATCH 实现。其中第一级对显示数据进行串行锁存,第二级 LATCH 在数据串行传输完成后对数据进行二次锁存,从而实现了显示数据的串并转换。

芯片的 D/A 转换由源驱动器和 γ 校正电路共同完成。其中 γ 电路提供基准电压和灰度电压,源驱动器实现译码逻辑,对显示数据进行正确译码。出于节省面积考虑,源驱动器的译码逻辑采用树形译码,在正确实现译码功能的基础上最大程度节省了芯片面积。

4 输出缓冲电路的设计

4.1 传统输出缓冲电路

传统的输出缓冲电路是由运算放大器连接成电压跟随器。其中运算放大器一般包括差动输入级,共源极放大器和输出缓冲级,其结构见图 3。差动输入级把双端输入转换为单端输出,并提供高增益;共源极放大器提供高增益和大摆幅;输入缓冲级隔离小电阻负载,与负载电阻实现有效的匹配,同时在第二级输入与输出之间加补偿电容,以增加缓冲电路的稳定性。但由于 CMOS 工艺的限制,补偿电容会占据相当大的芯片面积。由于源驱动器结构的限制,传统的输入缓冲电路结构难以满足系统对芯片面积的要求^[5]。另外,传

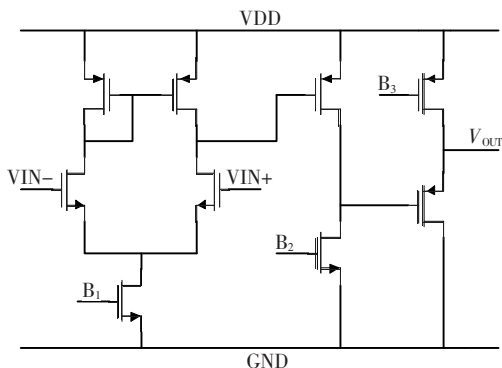


图 3 基本运算放大器结构图

Fig. 3 Basic schematic of OPAMP

统缓冲电路的输入范围较小,仅为 (V_{th}, VDD) 。

在传统输入缓冲电路结构的基础上,本文提出了一种新型的输入缓冲电路。在不显著增加系统功耗的前提下,该电路可以满足系统对输入电平范围、芯片面积、转换速度和建立时间的要求。同时,通过可调节寄存器,该电路可以动态调节电路的动态功耗并在电路不工作时关断,达到减少

功耗的目的。

4.2 轨对轨输出缓冲电路结构

轨对轨输出缓冲电路采用两级运放结构。输入级采用 P/N 差分对实现轨对轨输入,输出级采用 Class AB 结构^[6]并在输出端与负载之间增加补偿电阻 R_F ,电路结构如图 4 所示。

图 4 中, V_{INP} 和 V_{INN} 分别为差分对的正相输入端和负相输入端; $M1$ 、 $M2$ 和 $M3$ 、 $M4$ 分别为 N 差分对和 P 差分对的放大管; $M5$ 、 $M6$ 和 $M7$ 、 $M8$ 分别为 N 差分对和 P 差分对的有源负载; $M9$ 和 $M10$ 为尾电流源,其偏置电压 $IB1$ 和 $IB2$ 为偏置电路提供,并由数字寄存器可调; $M15$ 、 $M16$ 为 Class AB 输出管; $M11$ 、 $M12$ 、 $M13$ 和 $M14$ 为稳压电路,使得 N 差分对和 P 差分对的输出保持恒定的电压差并与 $M15$ 、 $M16$ 共同组成 Class AB 结构,其偏置电压由偏置电路提供; R_F 为零点补偿电阻,与负载电容共同形成补偿零点,对电路的相位裕度进行补偿。电路作为输出缓冲电路时, $M15$ 、 $M16$ 的输出为反馈点。

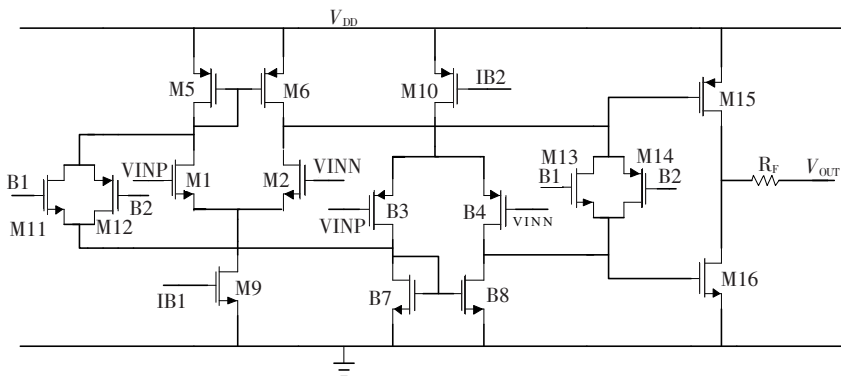


图 4 轨对轨输出缓冲电路

Fig. 4 Schematic of rail-to-rail output buffer

从电路结构可见,在整个输入电平范围内,存在 N 差分对和 P 差分对同时导通的情况,这时电路输入级的跨导为单个输入差分对导通跨导的 2 倍^[7]。但由于 γ 灰度电压不是等压差变化,在中间灰度有更小的灰度电压差,因此利用该运放在中间输入电平的高增益特性,可以更好地实现电平跟随,从而减小输出电平失真。但同时应该注意到,由于运放的输入跨导不恒定,从而会对运放的频率响应造成影响,给采用传统米勒电容的频率补偿增加了难度^[8]。采用下节介绍的零点补偿技术可以更好地解决因为输入跨导不恒定而引起的频率补偿问题。

4.3 轨对轨输出缓冲电路频率补偿

在图 4 中,设第一级输出阻抗为 R_1 ,输出节点的寄生电容为 C_1 ,第二级输出阻抗为 R_2 ,寄生电容为 C_2 ,电路的负载电容为 C_L ,负载电阻为 R_L , C_C 为等效的密勒补偿电容,则电路的等效小信号模型如图 5 所示,其中 $G_1 = 1/R_1$, $G_2 = 1/R_2$ 。

在负载电容 $C_L \gg C_2$, $R_2 \gg R_L$, 电路无补偿时,则电路的极点分别为:

$$P_1 \approx -G_2/G_L \quad (1)$$

$$P_2 \approx -G_1/C_1 \quad (2)$$

其中 $P_1 > P_2$, 即第一主极点由 Class AB 输出级的输出阻抗和负载电容产生,此时考虑无负载条

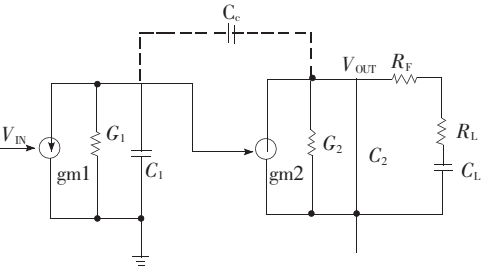


图 5 轨对轨电路等效小信号模型

Fig. 5 Small-signal model of rail-to-rail schematic

件下的密勒补偿,则补偿电容 C_c 在第一级输出的等效电容与输出阻抗 R_1 产生的极点作为第一主极点;分析在带负载条件下的密勒补偿,则此时

$$P_2 \approx -G_2/C_L \tag{3}$$

负载电容越大,第二极点 P_2 就越靠近第一主极点,电路的稳定性就越差。为了使电路在负载模型范围内均可稳定,补偿电容 C_c 设定为 2~4 pF。考虑到整个源驱动器有 720 路输出,因此总的补偿电容约为 1 440~2 880 pF,将占据相当大的芯片面积。因此,在设计中引入了零点补偿技术,通过增加补偿电阻 R_F 与负载电容 C_L 共同产生零点,从而对第二极点进行补偿^[5],最终达到频率补偿的目的。

从小信号等效电路可以看出,在无补偿的情况下电路的第一主极点是由 G_2 和 C_L 共同产生的,电路的第一级输出阻抗和寄生电容产生第二极点。在存在补偿电阻 R_F 的情况下,电路产生一个零点。

$$Z_1 = -1/C_L(R_F + R_L) \tag{4}$$

如果有 $Z_1 = P_2$,则

$$-1/C_L(R_F + R_L) = -G_1/C_1 \tag{5}$$

$$R_F = R_1 C_1/C_L - R_L \tag{6}$$

表 1 不同负载模型下的仿真结果

Table1 Simulation result of different load model

负载模型	增益(dB)	相位裕度(°)	单位增益带宽(MHz)	失调电压(mV)	建立时间(μs)
0 kΩ,5 pF	90.7	19	1.75	1	0.522
5 kΩ,10 pF	90.7	47	1.41	1	1.100
10 kΩ,20 pF	90.7	75	1.46	1	2.440

采用 SMIC 0.18 μm 高压 LDMOS 工艺对输出缓冲电路进行版图实现,其最终版图面积约

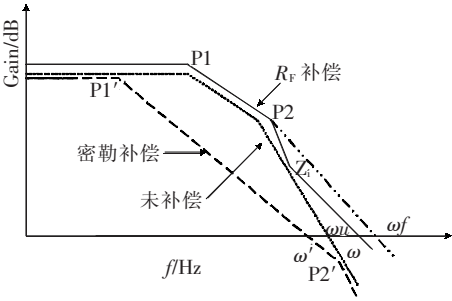


图 6 密勒补偿和 R_F 电阻补偿原理图

Fig. 6 Frequency responses of amplifiers with miller and resistor compensation techniques

由公式 (6) 可以看出,当补偿电阻 $R_F = R_1 C_1/C_L - R_L$ 时, $Z_1 \approx P_2$,零点与极点相互抵消,从而实现频率补偿,频率补偿原理的波特图如图 6 所示。

4.4 输出缓冲电路仿真结果

根据系统设计要求,输出缓冲电路的负载模型范围为 5 pF 负载电容到 10 kΩ 电阻,20 pF 电容,同时补偿电阻大小为 4.4 kΩ。对电路在不同负载模型下进行仿真,结果如图 7 及表 1 所示。

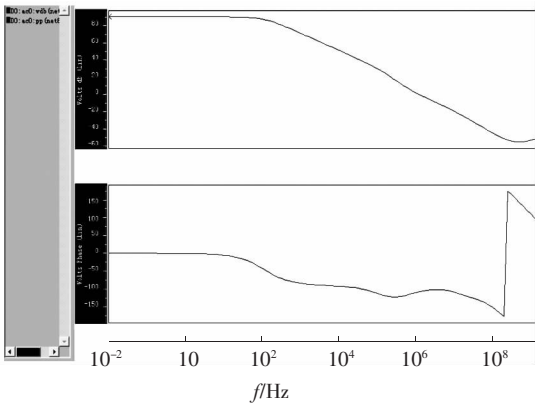


图 7 10 kΩ, 20 pF 负载模型下的幅频响应

Fig. 7 Bode diagram of loop gain with 10 kΩ, 20 pF load model

为 400 μm²,完全达到了系统对电路面积、功耗以及性能的要求。

5 结 论

针对中小屏幕 TFT-LCD 显示芯片的特点,提出了一种能很好适应未来显示芯片性能要求的源驱动器结构,并重点设计了其中关键的输出缓冲电路。该电路采用轨对轨结构和不同于传统密

勒补偿的零点补偿方式,既达到了较好的性能指标,又没有明显增加芯片的面积和功耗,较好地满足了系统的设计要求。该源驱动器结构及输出缓冲电路已成功应用于我们自主研发的手机用 TFT 彩色液晶显示驱动控制芯片——“龙腾 T3”的设计中,并且已经开始试制样品。

参 考 文 献:

[1] [日]堀浩雄,铃木幸治. 彩色液晶显示 [M]. 金振裕,译. 北京:科学出版社,2003:213-235.
[2] 马召钰,手机用 TFT 彩色液晶显示 Source Driver 电路优化设计 [D]. 西安:西北工业大学,2006
[3] 梁茂,魏廷存,魏晓敏,等. 单片集成 TFT-LCD 驱动芯片内置 SRAM 验证技术研究 [J]. 液晶与显示,2008,23(1): 91-95.
[4] 李维 诤,郭强. 液晶显示技术 [M]. 北京:电子工业出版社,2000:195-208.
[5] [日] Tetsuro Itakura, Hironori Minamizaki. A two-gain-stage amplifier without an on-chip miller capacitor in an LCD driver IC [J]. *Ieice Trans. Fundamentals*, 2002,85(8):137-143.
[6] [日] Carrill J M, Carvajal R G, Torralba A, *et al.* Rail-to-rail low-power high-slew-rate CMOS analogue buffer [J]. *Electronics Lett.*, 2004,40(14):78-83.
[7] 张杰伟,柯菁华,赖宗声. 一种新型 Rail-to-Rail 运算放大器的设计于分析 [J]. 半导体技术, 2003,25(1):21-24.
[8] 邓宏贵,曹祥,罗安,等. AB 类功率放大器的设计与仿真研究 [J]. 光电子技术,2004,25(4):36-38.

Design of Small/Medium Size TFT-LCD Source Driver

SHI Liu-xing, WEI Ting-cun, FAN Xiao-ya

(Engineering Research Center of Embedded System Integration, Ministry of Education,
Northwestern Polytechnical University, Xi'an 710072,China, E-mail: liuxings@yahoo.com)

Abstract

A source driver structure used for small or medium size TFT-LCD was proposed, and the rail to rail output buffer of source driver was mainly studied and designed. This structure is especially suitable for the future development for large size TFT-LCD panel, and satisfies the driver IC's requirements for both area and function. This paper mainly describes the design of the rail-to-rail output buffer based on the proposed structure. The Hspice simulation results show that the gain margin is 90.7 dB and phase margin is 75°, and the static current is 1.1 μ A, the buffer area is 400 μ m², which satisfies the system requirements.

Key words: TFT-LCD; source driver; rail-to-rail

作者简介:史刘星(1983—),男,陕西商洛人,硕士研究生,主要研究方向为数模混合信号 VLSI 设计技术以及平板显示驱动芯片技术等。