

文章编号:1007-2780(2009)04-0541-06

基于 CPLD 的 LCOS 场序彩色视频控制器设计

宋丹娜,代永平,刘艳艳,商广辉

(南开大学 光电子薄膜器件与技术研究所;天津市光电子薄膜器件与技术重点实验室;
光电信息技术科学教育部重点实验室(南开大学),天津 300071,E-mail:songdanna@tom.com)

摘 要:针对 VGA 格式的视频输入信号的特性,结合复杂可编程逻辑器件(CPLD)设计了适用于 LCOS 场序彩色显示的信号控制器。以 CPLD 为核心,采用乒乓操作思想协调两片外部静态随机存取存储器(SRAM)对信号进行读写,对数据进行了串并转换,将并行输入的红、绿、蓝视频数据转换为红、绿、蓝子场数据,从而实现场序彩色显示。设计中采用了降低刷新频率的技术,降低了系统功耗。最后运用 EDA 工具进行了综合仿真。

关 键 词:场序彩色显示;复杂可编程逻辑器件;静态随机存取存储器;乒乓操作
中图分类号: TN 27;TP331.1;TP391.9 **文献标识码:** A

1 引 言

硅基液晶(Liquid-Crystal-on-Silicon, LCOS)显示器是一种反射式液晶显示器,其周边驱动器和有源像素矩阵使用 CMOS 技术制作在单晶硅上,并以该晶片为基底封装液晶盒,具有尺寸小和分辨率高的双重特性。

LCOS 显示通常采用的是空间混色法。空间混色法在实际应用中分为两种:一种是像 TFT-LCD 屏那样,利用空间彩色滤色片,把每个彩色像素分成 3 个子像素,每个子像素覆盖红、绿、蓝三基色滤色片,或者是可以起到滤色作用的全息光栅。这种混色方式牺牲了全色显示屏的空间分辨率,特别是在作单色显示时,显示器只有 1/3 的像素参与显示。另一种是使用 3 块微型显示屏,分别调制红、绿、蓝光源,然后再利用光学系统合成一幅彩色图像,常见于投影产品之中。这两种方法无论在成本还是在效果上,都并不理想。

本文介绍了一套针对场序彩色模式 LCOS 显示屏的视频显示控制器,所设计的显示控制器把需要显示的数字信号转换成与 LCOS 芯片显示模式相匹配的场序串行数字信号,由 LED 光源提供相应的红、绿、蓝三基色时序脉冲光。提出了基于 CPLD 实现对 SRAM 乒乓操作的具体方案,并将两片 SRAM 装入 CPLD 进行全面的仿真,验

证了系统的可靠性。

2 场序彩色化原理

图 1 所示为以 LCOS 显示屏为核心的显示系统结构示意图。无论是大屏幕投影显示系统,还是头盔式虚拟微型显示器,整机系统都可划分为 4 部分:LCOS 屏(包括 LCOS 显示芯片)、显示控制器、光学系统以及光源。本文的设计采用三基色 LED 为光源,通过场序显示技术实现彩色显示。场序彩色化模式(Field Sequential Coloration Mode)是将三基色光按一定比例轮流投射到同一屏幕上,只要交替速度足够快,由于人眼的视觉惰性,产生的彩色视觉与三基色直接混合一样,在人眼前呈现丰富多彩的显示画面。采用场序彩色法来实现彩色,不需要彩色滤光膜,亮度损失小,可大幅降低显示器制作成本。

在场序彩色化模式中,LCOS 屏完成一场基色图像所需的时间由 3 部分构成(如图 2 所示)^[1]:

- (1)一场图像信号写满整个屏幕所需时间;
- (2)液晶材料响应时间;
- (3)光脉冲照射时间。

设计中,写入的时钟为 33 MHz,一次可以写入 4 个像素,所以写入一个子场所用的时间为 2.3 ms。如果扫描场频仍为 60 Hz,则每个子场的扫描时间为 5.7 ms,那么留给液晶材料响应和

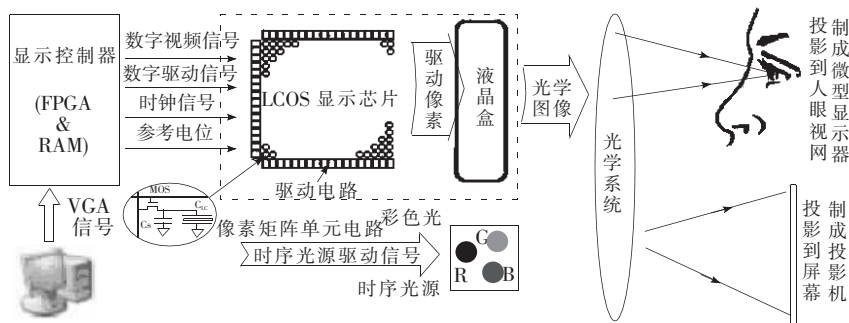


图 1 LCOS 微型显示系统整机结构示意图

Fig. 1 Sketch map of the LCOS MD

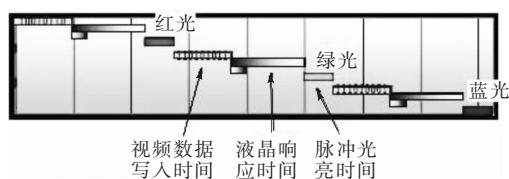


图 2 场序彩色模式中的时间分配

Fig. 2 Time distribution in the field sequential colorization mode

光脉冲照射的时间只有 3.4 ms。目前液晶的快速响应不易实现,而光脉冲照射时间越长则图像质量越好,所以只有 3.4 ms 的时间是不够的。因此,在设计中将场扫描频率从 60 Hz 降低为 40 Hz,这样每一子场扫描的时间可以延长到 8.3 ms,现在默克公司的液晶材料响应时间已经在 2 ms 以下,那么光脉冲照射时间就可以达到 4 ms 以上,基本可以保证图像的显示质量。

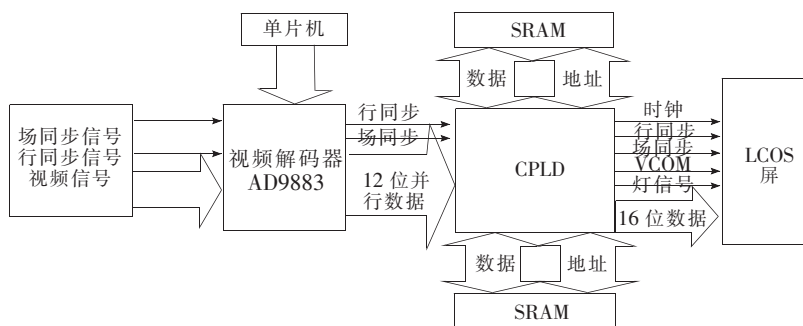


图 3 系统硬件结构框图

Fig. 3 Frame of the system hardware

3.1 CPLD 行为模式设计

显示控制器是以一片 CPLD 芯片为核心来完成视频处理转换等相关功能。CPLD 具有设计

3 场序彩色视频控制器设计^[2]

图 3 是所设计的场序彩色视频控制器硬件的结构框图。设计中, 输入的信号是从 AD9883 中输出的 12 位并行数据(R:G:B=4:4:4)。为实现 LCOS 场序彩色显示, 要将一场分为 3 个子场来扫描, 在每个子场内分别将一帧图像的 R、G、B 视频信号写入 LCOS 屏, 同时点亮 R、G、B 时序光源, 所以要将 12 位并行输入的数据转换为串行数据输出。而对外部的 SRAM, 存入时将其划分为 R、G、B 3 个区分别写入对应的视频信号, 在读出时则顺序地读出 R、G、B 三子场信号^[3]。其中单片机完成对 AD9883 的初始化配置, 使其输出 VGA 分辨率的数字视频信号。

设计中采用 Altera 公司的 MAX II 系列 CPLD (EPM570-144C5) 作为核心部件, 以 ISSI 公司的 IS61LV25616AL 大容量 SRAM 作为显示帧缓冲存储器, 设计出视频信号控制器。

周期短、使用方便、容易修改的优点。Altera 公司的 EPM570-144C5 的电气参数、引脚数目等符合本设计要求,其 I/O 口的电压为 3.3 V,适合与外

部 SRAM 电压相匹配,同时也满足 LCOS 屏的数字电压要求^[4]。

CPLD 实现的主要功能是对并行输入的 12 位 RGB 信号进行转换处理,将 4 组 12 位并行输入数据转换为 16 位的 R、G、B 数据各一组,并在外部缓存中按红绿蓝分区域存储;对两片外部 SRAM 实现乒乓操作控制,同时存储、读取数据;将输入的 60 Hz 视频信号转换为 40 Hz,并同时产生同步信号以及 LCOS 需要的其它信号。另外,在本次设计中,还在 CPLD 中对 SRAM 的读写工作进行了模拟,相当于把整个显示控制系统放在了 CPLD 中^[5,6]。

3.2 外部双 SRAM 行为模式设计

外部缓存采用两片 SRAM,每片可存放一整场图像。两片 SRAM 采用乒乓操作,存储和读取同时进行,可保证刷新率不会降低。两片 SRAM 读写切换的频率为输出信号的场频,当第一片处于写状态时,第二片处于读状态;一场周期后,第一片处于读状态,第二片处于写状态。每片 SRAM 可同时读写 16 位数据,这是因为 LCOS 屏采用 16 位的输入信号总线,4 个相邻像素的数据在 1 个时钟周期内同时写入,这可将芯片工作的时钟频率降低为原来的 1/4。

IS61LV25616AL 是一种高速 CMOS SRAM,容量为 256k×16,其特点如下:

- (1) 读取时间短,最小存取时间小于 10 ns;
- (2) 功耗小,器件在 Standby 状态的维持电流小于 5 mA,运行状态的电流小于 10 mA ;
- (3) 电源电压为 3.3 V,I/O 口 TTL 兼容。

4 CPLD 内部逻辑设计

4.1 内部逻辑结构

如图 4 所示,在 Quartus II 环境下,CPLD 内

部由信号模块、写控制模块、读写操作转换模块等组成。信号模块用来产生 V_{com} ,反场等信号,控制每个子场的时间,并产生 3 个子场的同步信号以及读地址序列;写控制模块实现 60 Hz 到 40 Hz 的转换并产生每场的开始信号,将输入的并行数据转换为串行数据,分别写入红绿蓝存储区;读写操作转换模块用来实现对 SRAM 工作状态的控制,与两片 SRAM 连接,实现数据的存储^[7]。

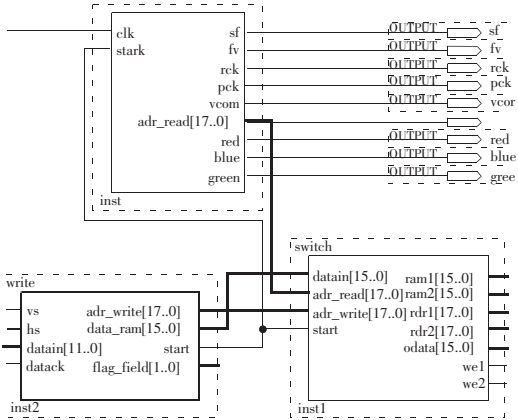


图 4 在 Quartus II 环境下 CPLD 顶层结构的设计

Fig. 4 Top design of CPLD in Quartus II

写控制模块接收输入的数据时钟、视频信号的行同步和场同步以及 12 位的视频信号,在模块内部对场同步信号、每场的行同步信号分别进行计数,在第一场和第二场的中间分别产生一个脉冲信号,将 3 场转换为 2 场,将 60 Hz 的场同步信号转换为 40 Hz。前面已经提到过,这样做是因为快速液晶不易实现,所以必须加长每一场的扫描时间,即把每一场的扫描时间从 16.6 ms 加长到 25 ms,这样每一个子场为 8.3 ms。对于 12 位的视频信号的并行向串行的转换,采用如下代码段完成:

```
always@(posedge dataack)
begin
    {r1,g1,b1}<=datain; // datain 为输入的 12 位 RGB 信号
    {r5,r4,r3,r2}<={r4,r3,r2,r1}; // r5,r4,r3,r2 寄存器中的 4 位 R 信号组成一个 16 位的数据,将占据 SRAM 中一个字节
    {g6,g5,g4,g3,g2}<={g5,g4,g3,g2,g1}; // g6,g5,g4,g3 寄存器中的 4 位 R 信号组成一个 16 位的数据,将占据 SRAM 中一个字节
    {b7,b6,b5,b4,b3,b2}<={b6,b5,b4,b3,b2,b1}; // b7,b6,b5,b4 寄存器中的 4 位 R 信号组成一个 16 位的数据,将占据 SRAM 中一个字节
end
```

信号模块接收输入的时钟以及从写控制模块输出的 start 信号,在内部对时钟进行计数来计时,在达到一个子场的时间时产生灯信号 red、green、blue,并且在每一个子场内,把该子场数据所存放的地址赋给读地址,输出给读写转换模块^[8]。

读写转换模块接收写控制模块输出的 start 信号、并行 16 位数据、写地址以及信号模块输出的读地址,在内部根据两片 SRAM 的写使能信号分别将写地址和 16 位数据赋给正在进行写入操作的 SRAM,将读地址赋给另一片 SRAM,并读出 16 位并行数据,同时将读出的 16 位数据输出。

4.2 SRAM 的乒乓操作

要实现场序彩色显示,即将红绿蓝三子场分别进行扫描寻址,则必须采用两片 SRAM 的乒乓操作方法,而且同时输入的 RGB 信号须在 SRAM 内分开存储,即分别存入 R、G、B 3 个区域^[9]。所以就要将两片 SRAM 分为 3 个区域,在读写时分别用两个控制信号控制读写地址在 3 个区域内变化。在写控制模块内,利用 3 组移位寄存器将并行信号转为串行 16 位数据,在每个时钟内将输入的 12 位数据分为[11..8][7..4][3..0] 3 组(分别为红绿蓝 4 位数据)存入相应的寄存器,每 4 个时钟为一个周期,在下一个周期传送当前周期寄存器组中的 16 位数据(如图 5 所示),并送出 SRAM 的存入地址。在从 SRAM 读出数据时,将其写使能信号赋高电平,并将主要信号模块输出的读地址赋给 SRAM 地址口,就可以读出 16 位数据了。

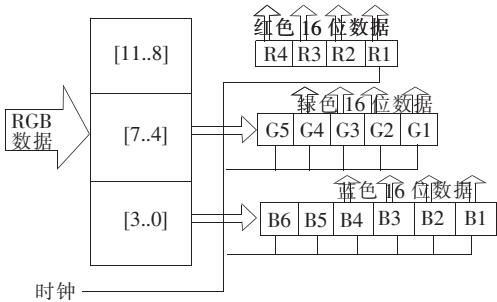


图 5 RGB 数据转换示意图

Fig. 5 Sketch map of RGB data conversion

写控制模块产生的写数据和写地址,信号模块产生的读地址都送入读写转换模块,由读写转

换模块分配给两片 SRAM,同时将要写入的数据送到写入的 SRAM 中,并从另一片 SRAM 中读取数据,传送给 LCOS,也就是实现两片 SRAM 的乒乓操作^[10]。

两片 SRAM 要实现乒乓操作,还需要给 RAM 写使能信号。本设计中采用的是低电平有效,即写使能信号为低时实行写操作,写使能信号为高时实行读操作。我们在 SRAM 中存储的是一场的数据,所以写使能信号应该是在每一个场开始时翻转,来实现读写操作的转换。在设计中将写控制模块产生的 start 信号输入到读写操作转换模块中,从而控制写使能信号的翻转,即控制两片 SRAM 的读写转换。

5 Verilog 实现及仿真

本文所阐述的设计方法采用 Verilog 实现代码。为了验证上述方案的可行性,在仿真时加入了两块 64×16 SRAM,由写使能端控制读写,同样是低电平时实行写操作,把它们的写使能端、数据口和地址口分别接到读写操作转换模块的写使能信号和数据地址 I/O 口上进行整个系统的仿真。在设计中用 verilog 语言实现了 SRAM 模块:

```
if(! we)
begin
store[adress]<= in; //如果写使能端为低电平,则向 SRAM 中存储数据;
end
else out<= store[adress]; //如果写使能端为高电平,则从 SRAM 中向外读数据;
```

由于 CPLD 中逻辑单元的限制,只能对 4×3 的分辨率进行仿真,也就是说只能取每一场中的 3 行,并且在每行中只能取其中的 4 个像素。并在 Quartus II6.0 中进行了功能仿真、综合及布局布线后仿真。仿真结果如图 6 所示。在仿真时,为了方便观察并易于仿真,将每个子场的时间缩短,并将输入数据设定为 123h。

如图 6 可见,在场同步信号 vs 的上升沿开始读数据,并且 sf 产生一个脉冲信号,读出的数据分别是红色子场的数据 1111h,绿色子场的数据 2222h,以及蓝色子场的数据 3333h,并且在每个子场都产生相应的 red、green、blue 脉冲,表示正在扫描红、绿、蓝子场。

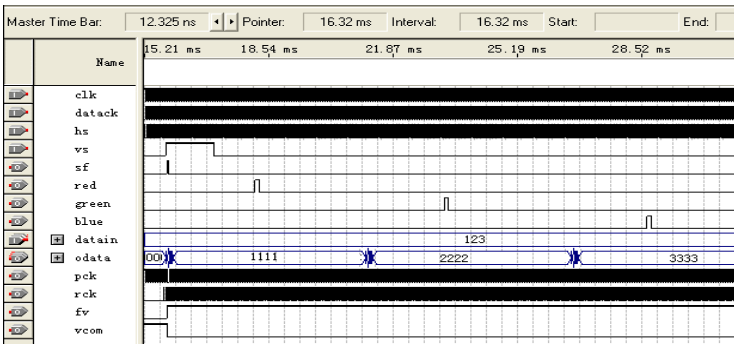


图 6 Quartus II 中仿真结果
Fig. 6 Simulation result in Quartus II

6 结 论

简要介绍了 LCOS 的场序彩色显示控制系统的软硬件设计,提出了基于 CPLD 实现对 SRAM 乒乓操作的具体方案,并将两片 SRAM

装入 CPLD 进行全面的仿真,验证了系统的可靠性。设计中采用了降低刷新频率的技术,使 LCOS 可以更好地工作,降低了功耗。同时,CPLD 技术的应用大幅缩短了开发周期,加强了硬件设计的灵活性和可移植性。

参 考 文 献:

[1] 耿卫东,代永平,任立儒,等. LCoS 场序彩色显示控制器的设计 [J]. 液晶与显示,2003,18(3):188-192.
[2] Rarrell Ronan, Jacob Mark, Maher Roger. A multi-mode video driver for a high resolution LCoS display[C/OL]// System on a chip. London: the IEE, Savoy place, 2000. [2006-10-08]. <http://ieeexplor.ieee.org/ie15/7/144/19241/00888880.pdf>.
[3] 商广辉,代永平,黄茜,等. 场序彩色视频控制系统[J]. 液晶与显示,2007,22(2):186-191.
[4] Altera Corporation. Operating requirements for Altera device [EB/OL]. <http://www.altera.com>, 2002:49-53.
[5] 邹静燕,金笑丛,袁旦,等. 基于单片 LCoS 四基色时序彩色显示的模拟 [J]. 液晶与显示,2007,22(1):55-60.
[6] 黄磊,任德志,徐莉萍. 基于 CPLD 的 LCD 显示缓冲驱动器设计 [J]. 液晶与显示,2007,22(4):202-205.
[7] 王骞,丁铁夫. 基于 FPGA 的液晶显示驱动 IP 核的实现 [J]. 液晶与显示,2005,20(4):324-326.
[8] 张建军,陈钟荣. 基于可编程逻辑器件的 LED 显示屏控制系统设计 [J]. 液晶与显示,2006,21(4):398-400.
[9] 刘艳艳,耿卫东,代永平,等. 时序彩色 LCoS 数据接口的优化设计 [J]. 液晶与显示,2006,21(1):53-57.
[10] 王骞,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现 [J]. 液晶与显示,2006,21(1):48-52.

Design of Controller Based on CPLD for Field-Sequential-Color LCOS Display

SONG Dan-na, DAI Yong-ping, LIU Yan-yan, SHANG Guang-hui

(Tianjin Key Laboratory of Photo-Electronic Thin Film Device and Technology;
Key Laboratory of Photo-Electronic Information Science and Technology, Ministry of Education;
Institute for Photoelectron of Nankai University, Tianjin 300071, China, E-mail: songdanna@tom.com)

Abstract

According to the characters of video signal in form of VGA, the controller for LOCS field-

sequential-color (FSC) display has been designed based on CPLD. Taking CPLD as the core, the design thought of Ping-Pong operation is adopted to harmonize the two pieces of SRAM to operate. In order to realize the FSC display, the series-parallel conversion makes the input video signal into three sub-fields signal—red, green and blue. The design scheme has decreased the refresh frequency. In addition, the whole design has been simulated using EDA tool.

Key words: field-sequential-color; CPLD; SRAM; Ping-Pong operation

作者简介:宋丹娜(1985—),女,河北邢台人,硕士研究生,主要从事 LCOS 技术的研究。



包括 SI 辅助单位在内的具有专门名称的 SI 导出单位

量的名称	名称	符号	SI 导出单位
			用 SI 基本单位和 SI 导出单位表示
[平面]角	弧度	rad	1 rad=1 m/m=1
立体角	球面度	sr	1 sr=1 m ² /m ² =1
频率	赫[兹]	Hz	1 Hz=1 S ⁻¹
力	牛[顿]	N	1 N=1 kg·m/S ²
压力,压强,应力	帕[斯卡]	Pa	1 Pa=1 N/m ²
能[量],功,热量	焦[耳]	J	1 J=1 N·m
功率,幅[射能]通量	瓦[特]	W	1 W=1 J/S
电荷[量]	库[仑]	C	1 C=1 A·S
电压,电动势,电位	伏[特]	V	1 V=1 W/A
电容	法[拉]	F	1 F=1 C/V
电阻	欧[姆]	Ω	1 Ω=1 V/A
电导	西[门子]	S	1 S=1 Ω ⁻¹
磁通[量]	韦[伯]	Wb	1 Wb=1 V·S
磁通[量]密度,磁感应强度	特[斯拉]	T	1 T=1 Wb/m ²
电感	享[利]	H	1 H=1 Wb/A
摄氏温度	摄氏度	℃	1 ℃=1 K
[光]通量	流[明]	lm	1 lm=1 cd·Sr
光照度	勒[克斯]	lx	1 lx=1 lm/m ²
[放射性]活度	贝可[勒尔]	Bq	1 Bq=1 S ⁻¹
吸收剂量	戈[瑞]	Gy	1 Gy=1 J/kg
剂量当量	希[沃特]	Sv	1 Sv=1 J/kg