

文章编号:1007-2780(2009)04-0512-06

保护膜外逸电子发射特性对壁电荷的影响及改进方法

李 青^{1,2}, 朱 笛^{1,2}, TOLNER Harm¹

(1. 东南大学 电子科学与工程学院 显示技术研究中心, 江苏 南京 210096, E-mail: liqing@seu.edu.cn;
2. 江苏省信息显示工程技术研究中心, 江苏 南京 210096)

摘 要: 保护膜的外逸电子发射有利于缩短 PDP 响应时间并使放电稳定进行,但同时也会带来壁电荷的损失。文章评述了保护膜的外逸电子发射特性致使壁电荷损失的因素,并讨论了目前为改善壁电荷损失采用的方法,为合理利用保护膜的外逸电子发射特性提供了良好的研究基础。

关 键 词: 保护膜; 外逸电子发射; 壁电荷; PDP
中图分类号: O46 **文献标识码:** A

1 引 言

为实现低功耗、高分辨率显示, PDP 通常采用高 Xe 比例的混合气体,但同时也带来了着火电压高、响应时间长等问题。改进的保护膜可以提供足够的引发(priming)电子,使统计响应时间缩短、放电稳定,是目前实现高分辨率 PDP 显示的关键技术之一^[1]。

影响寻址速度的因素有两个:一是固定的延迟时间 T_f , 通常是由于空间电场强度不够所致,对大多数 PDP 来说约为 $0.6\ \mu\text{s}$;二是统计放电延迟时间 T_s , 又称为 jitter 时间, 气体放电需要引发电子,才能在电场作用下迅速产生雪崩放电,引发电子不足将使 jitter 时间变长。

为保证放电单元每次都能稳定地产生寻址放电,寻址脉宽必须足够宽。对 PAL 制式来说,一帧 $16.67\ \text{ms}$ 的时间是固定的,寻址时间长意味着显示时间的缩短,在高分辨率的屏中,就会产生亮度不足的缺点。因此,缩短寻址响应时间对于 HDTV 显示有非常重要的意义。对于 PDP 的上述两种寻址延迟而言,固定延迟 T_f 主要受制于器件结构,而 jitter 时间受保护膜(在 PDP 中通常使用的是 MgO 薄膜)的特性影响较大。为了减小 jitter 时间,需要使放电单元能够持续不断地产生 priming 电子,而不依赖自然条件下随机产生的

电子,此时就需要外逸电子作为 priming 电子源来引发放电。

外逸电子发射的作用相当于一把双刃剑,既有利于快速引发放电、使放电稳定进行,也会带来壁电荷的损失,使 PDP 寻址不稳定。如果外逸电子的发射很弱,那么放电就会熄灭,然后重新开始,再熄灭,周而复始。在这种情况下,放电会有很强的峰,两极之间在放电峰前后的电压差可以达到 $10\sim 20\ \text{V}$ 。假设最初在两极之间没有带电粒子,低的外逸电子发射会导致很多分立、不稳定的放电;随着外逸电子发射的增加,离子密度的波动下降,斜坡(ramp)放电变得稳定。但是,如果外逸电子过强,两极的电压就会在雪崩电压之下稳定,在 ramp 放电结束之后,外逸电子的发射就会持续“工作”,使得壁电荷损失^[2]。

本文就保护膜外逸电子发射特性导致的壁电荷损失的问题进行评述,对影响壁电荷损失的因素进行讨论,并且阐述了改善壁电荷损失的方法。

2 壁电荷形成和擦除的模型

图 1 为放电过程中 MgO 表面的反应示意图。在放电发生的过程中,阴极表面的正性电荷是被吸附的正性离子,这些正性离子通常是 MgO 表面的 Ne^+ 和 Xe^+ 离子;而负性电荷则是吸附在 MgO 表面的电子。

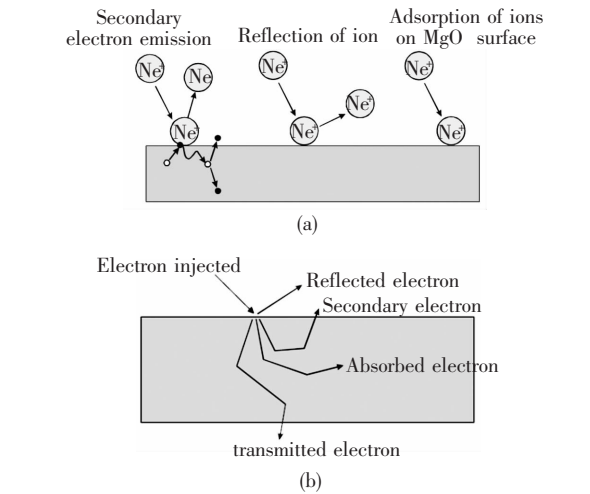


图 1 (a)正离子在 MgO 表面的反应;(b)电子在 MgO 表面的反应.

Fig. 1 (a) Interactions of positive ions on MgO surface; (b) Interactions of electrons on MgO surface.

当正离子接近 MgO 表面的时候,有 3 种可能发生的反应:发射二次电子(γ 过程)、反射和吸收,如图 1(a)所示。大多数正离子都会经过俄歇中和变为中性粒子,几乎不会留下正离子来形成壁电荷。因此可以认为:MgO 在这样的反应过程中所产生的空穴是正性壁电荷的来源。

当电子注入到 MgO 表面的时候,有以下 4 种可能发生的反应:反射、二次电子发射(δ -过程)、吸收和透射,如图 1(b)所示。反射的电子通常少于 10%,因此不能贡献阳极表面上壁电荷;经由 δ -过程发射的二次电子也不可能注入 MgO 而成为壁电荷,因为在 AC-PDP 的辉光放电中,电子的平均能量少于几个电子伏特;基于相同的原因,透射到 800 nm 厚的 MgO 薄膜中的透射电子也是几乎不可能的。因此,注入到 MgO 中最多的电子应当是被 MgO 吸收的电子。

根据这一壁电荷模型,壁电荷的形成和擦除模型可以解释如下:随着维持电极极性的改变,等离子体放电产生的正离子被吸引到阴极表面,在 MgO 薄膜中产生空穴。随后,空穴会与上一周期放电产生的电子复合。在阳极表面,电子注入到 MgO 薄膜中与上一周期放电产生的空穴复合。这一过程见图 2 的第一步。随着放电的进行,由于上面的复合,MgO 薄膜的表面将会变为中性,即为图 2 的第二步。在第二步进行完之后,就会经由俄歇反应和电子注入分别形成阴极 MgO 薄

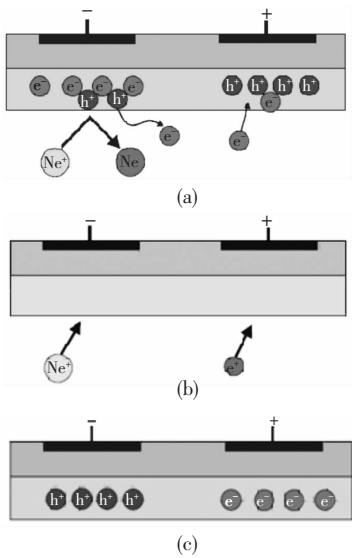


图 2 放电周期中壁电荷的形成和擦除。(a)第一步;(b)第二步;(c)第三步.

Fig. 2 Formation and erasing of wall charge during discharge cycle. (a) Initial stage; (b) Intermediate stage; (c) Final stage.

膜内的空穴与阳极 MgO 薄膜内的电子,形成本周期的壁电荷^[3]。

壁电荷的积累对 AC-PDP 的存储特性至关重要,如果保护膜的外逸电子发射特性过强,虽然改善了响应时间^[4],但同时导致壁电荷损失,使 PDP 的寻址过程不稳定,这样的外逸电子发射特性将使 PDP 的性能改善顾此失彼,因此在获得稳定的保护膜的外逸电子发射特性同时,必须尽量减少壁电荷的损失,综合改善 PDP 器件性能。

3 保护膜的外逸电子发射特性对壁电荷的影响

保护膜是外逸电子发射的惟一来源。因此为了获得较强的外逸电子发射,通常需要对保护膜(通常为 MgO)掺杂或者改变制备的工艺参数来优化外逸电子的发射,从而改善壁电荷的保持特性。

3.1 保护膜的掺杂对壁电荷的影响

韩国弘益大学(Hongik University)的 S. H. Yoon 等人认为,掺杂的 MgO 薄膜可能会降低壁电荷的保持特性^[5]。通常,使用绝缘材料掺杂可以增加电导率和外逸电子的发射。在寻址等待期,增加的壁电荷电导率会减少壁电荷的数量,这是由于 AC-PDP 放电单元中的壁电荷可能会与

MgO 中的移动电子和空穴复合,从而引起壁电荷的减少。

不同类型的掺杂与非掺杂的 MgO 的壁电荷损失与保持时间的变化曲线如图 3 所示。从图中可以看到,对于不掺杂的 MgO,壁电压的损失随保持时间的变化是线性的;对于掺杂的 MgO,不管是使用 H₂ 掺杂、Be 掺杂还是两者的联合掺杂,壁电荷的损失都显著增加,特别是在较短的保持时间内尤其显著。因此可以得出结论:与不掺杂的 MgO 相比,掺杂后的 MgO 在壁电压的保持能力上相对较差。使用上述的元素掺杂,会在导带底附近产生电子施主能级以及/或是在价带顶产生受主能级,因此使得电子以较少的外部能量发射到真空能级或是导带中去。

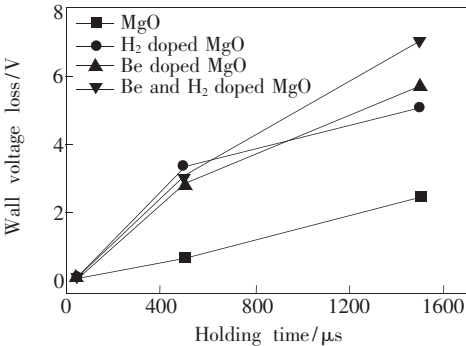


图 3 壁电荷的损失随保持时间的变化曲线
Fig. 3 Effect of holding time on the loss of wall charge measured at ambient temperatures

S. H. Yoon 等人在精确地测出了外逸电流之后发现,与参考曲线相比,MgO:BeSc 的外逸电流要小一些,如图 4 所示^[6]。这是因为,Sc³⁺ 是 MgO:Be 电子-空穴复合发射的“杀手”。Sc 是过渡金属,Sc³⁺ 的电荷转移和内部跃迁可能是上述

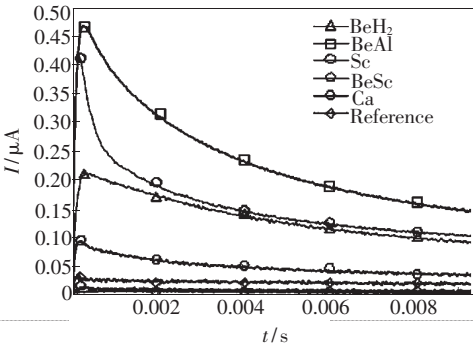


图 4 掺杂的 MgO 薄膜中测量的外逸电流
Fig. 4 Exo-electron currents measured from MgO film doped with various elements

现象发生的原因。实际上,Sc³⁺ 掺杂比 Al³⁺ 掺杂更为常用,因为 Sc³⁺ 的掺杂比 Al³⁺ 掺杂要容易得多,这与离子尺寸、氧化物的形成热(焓)和表面偏析有关。

控制掺杂元素的种类是可以控制 MgO 中外逸电子的发射电流,进而控制壁电荷的损失。在实际的工艺选取中应当根据 PDP 显示屏自身的特性来兼顾选择掺杂元素。

3.2 保护膜 的工艺参数对壁电荷的影响

工艺参数也是影响 MgO 及壁电荷积累的重要因素。韩国 SDI 的 M. S. Lee 和 K. D. Kim 等人比较了通氧量对壁电荷积累的影响^[7]。在 MgO 薄膜的制备中,实验中固定的工艺参数是:本底真空为 4×10^{-3} Pa;工作压强为 8×10^{-2} Pa;基板温度为 250 ℃;沉积速率为 4 nm/s。通氧量为 50 mL/min(样品 B5)和 100 mL/min(样品 B6)条件下壁电荷变化的对比结果如图 5 所示。

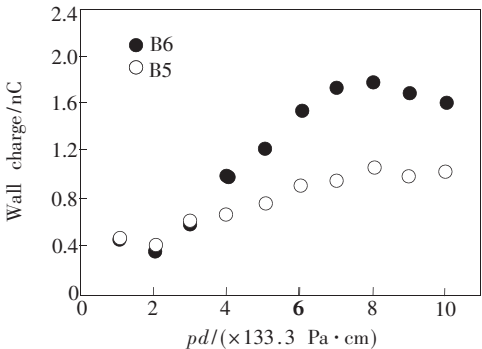


图 5 不同通氧量下壁电荷与 pd 的关系曲线
Fig. 5 Wall charge versus pd under different oxygen condition

虽然两种样品在 SEM 和 XRD 检测下没有显示出任何外形上面的差别,但两者在壁电荷的积累上却显示了很大的差异。结果表明,生长在 100 mL/min 下的 MgO 薄膜更适于壁电荷的积累,从而削弱了外逸电子对壁电荷的擦除作用。

韩国首尔国立大学的 K. H. Seo 等人发现,改变 MgO 表面的粗糙程度也可以减小寻址放电的延迟时间。实验选取的 MgO 厚度为 400 nm, PDP 的分辨率为 VGA,ITO 电极和公共电极的宽度分别是 340 μm 和 80 μm ,ITO 电极的电极间距是 80 μm ,障壁高度为 150 μm 。其中,粗糙的区域为化学腐蚀而成,最凹处与最凸处的厚度差值为 1 μm 。

测量得到的结果如图 6 所示。随着 Xe 含量的增加,相对于平滑的区域,粗糙区域的 T_i 都降低且降低的比例变大。虽然在斜坡放电复位(ramp reset)之后,扫描电极 Y 和寻址电极 A 之间的电压差都被设置为接近雪崩电压的值,但是壁电荷的数量仍然是不同的,这从外部电场线的明显区别就可以看出来。当 Xe 含量较高时,在 ramp reset 之后,Y 电极和 A 电极之间的壁电荷数量也变多。因此 K. H. Seo 等人得出结论:对于光滑和粗糙的区域,壁电荷数目的不同以及由此而导致的壁电压的差异是形成不同寻址响应时间的原因^[8]。

目前国内外关于 MgO 的工艺参数对壁电荷影响的研究还很少,上述实验为该方面的研究提

供了参考依据,对今后 MgO 工艺的发展具有一定的指导意义。

4 改善壁电荷保持特性的方法

4.1 控制气体倍增过程中的增益

对于 PDP 的寻址,气体倍增的增益不能选的太高。当寻址期施加偏置电压时,就会产生放大的外逸电流,外逸电流产生自阴极上的 MgO,导致壁电压的巨大损失和寻址延迟的增加。近期的研究表明^[9],当寻址期使用的偏置电压过高而使外逸电流的放大过强时,由外逸电流引起壁电荷的损失也相当可观。在表面型 AC-PDP 中,寻址期壁电荷的损失并不仅是由于 MgO 的表面导电性造成的,还可能是这一放大了的外逸电流引起的;在荫罩式等离子体显示器(SMPDP)中,这一相同的机制也可能引起壁电荷的损失。

但是,这一问题并非难以解决。图 7 是在 1×10^5 Pa 时,Ne-Xe 气体混合中电子倍增因子(增益)随平行电极电压(K)的变化曲线。通过曲线可以看出,随电压升高,其电子增益增加迅速。因此,只需降低气体电压(改变扫描电极的偏置)10 V 或是 20 V,由外逸电流发射所引起的壁电荷损失可以减少上百倍。

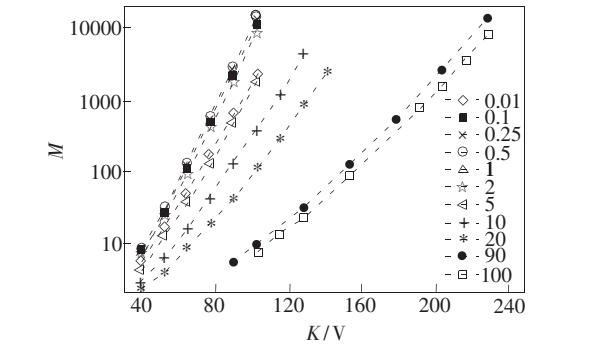


图 7 在 1×10^5 Pa 条件下,Ne-Xe 气体混合中电子倍增因子(增益)随平行电极电压(K)的变化。

Fig. 7 Electron amplification factor (gain) for a gas mixture of neon-xenon at 1×10^5 Pa as a function of the equivalent parallel plate voltage K, for different percentages of xenon.

4.2 控制适宜的工作温度

PDP 是基于气体放电来进行图像显示的器件。由于温度对于气体放电特性影响很大,因此适宜的工作温度控制对于 PDP 就显得非常重要。当温度升高时,壁电荷的积累减少,宏观反应出来

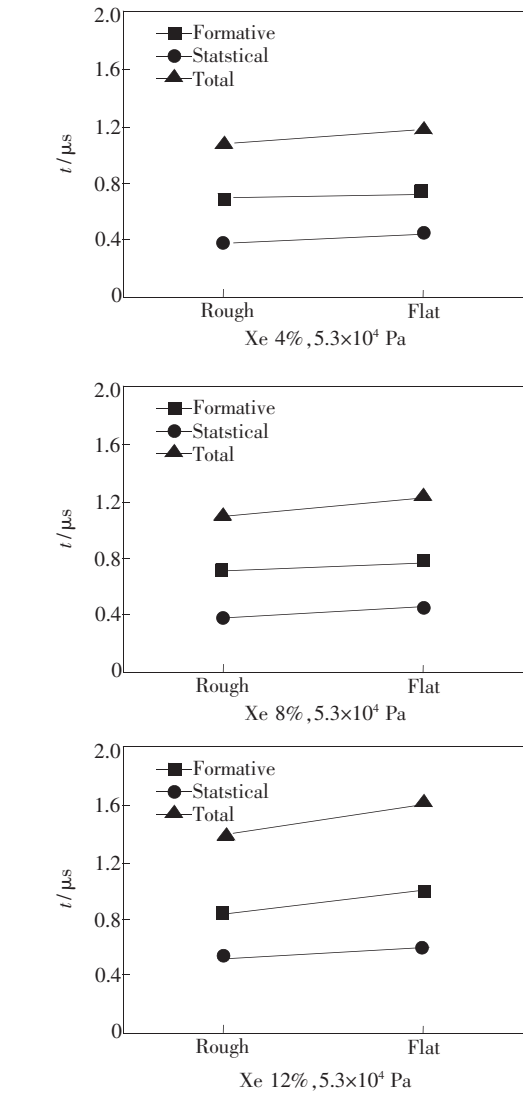


图 6 同一面板、3 种不同充气条件下的放电延迟。
Fig. 6 Discharge delay under three gas conditions in the same panel

的就是最小维持电压的升高以及壁电压的下降；同时，壁电荷在寻址期的损失变大，从而导致在维持期放电的不稳定。

近年来，PDP 面板不断向大尺寸发展。随着 PDP 屏幕尺寸的增加，当工作温度较高时，对于面板底部单元，维持期放电不稳定的问题就变得格外严重。特别是在显示全白场的画面中，寻址脉冲需要施加在全屏的所有单元上，面板的底部单元就会受到持续不断的激励。图 8 是 PDP 的一种测试波形(a)以及该波形下最小寻址电压与外加电压在不同温度下的变化关系(b)。由图 9 可以看出，随着工作温度的增加，在相同的外加电压下，需要的最小寻址电压增加，这是由于随温度升高，放电的不稳定性变大，壁电荷的损失增多从而导致壁电压下降，因此所需的最小寻址电压增加^[10]。

壁电荷减少的原因可能有两点：一方面，温度升高，外逸电流增强；另一方面，温度的升高还会

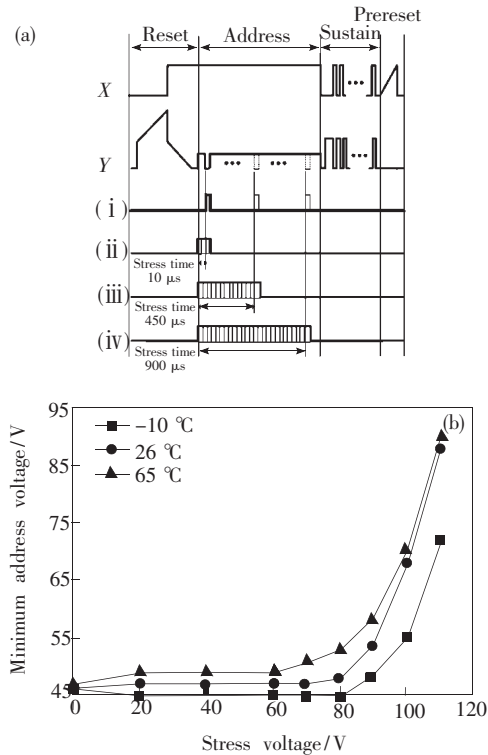


图 8 测试波形和测试结果. (a)测试波形的示意图;(b)最小寻址电压随施加电压的变化曲线.

Fig. 8 Test waveform and the results. (a)Schematic diagram of the test waveform;(b) Variation of minimum address voltage vs. stress voltage.

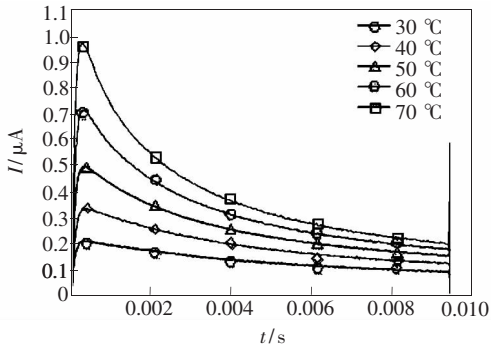


图 9 温度对外逸电流的影响

Fig. 9 Effect of measuring temperature on exo-electron emission currents

增加 MgO 表面传导率。韩国弘益大学(Hongik University)的 S. H. Yoon 等人在精确地测量出外逸电流之后，得出外逸电子的发射过程是热激发过程的结论。图 9 是不同温度下外逸电流随时间的变化关系，从该图结果可见，从 30~70 °C，外逸电流的发射强度增加了 4 倍，其原因是温度的升高导致热激发能增大。

这样的变化对 PDP 的稳定工作同样带来负面影响。随着 PDP 显示器工作时间的变化，面板温度也随之变化，其中 MgO 的外逸电子发射电流处于不稳定状态，当发射电流过大，就会使积累的壁电荷损失增大，将导致显示屏无法维持显示；而发射电流过小，又使 jitter 时间无法满足寻址要求。

研究与温度相依性较小的外逸电子发射是对保护膜研究提出的另一个重要方向，而研究控制 PDP 面板工作时的温度就可以获得相对稳定的外逸电子发射电流。

5 结 论

详细讨论了保护膜的外逸电子的发射特性带来的不利影响——壁电荷的损失，评述了造成壁电荷损失的外逸电子发射特性的影响因素，指出了改进保护膜本身特性以降低壁电荷损失的途径。同时也讨论了从器件方面采取的方法及措施以改善壁电荷的积累特性，为合理利用保护膜的外逸电子发射特性，综合改善 PDP 器件性能提供了良好的研究基础。

参 考 文 献:

- [1] Shiga T, Mori T, Saito A, *et al.* Late-news paper: Exo-electron emission from MgO and ultra-high contrast drive of PDPs [C]//*SID'05 Digest*, Boston, USA;SID,2005;1248-1251.
- [2] Nagorny V P, Khudik V N, Shvydrk A. Statistical instability of the ramp discharge and the role of exoemission [J]. *Plasma Science*, 2006, 34(2):343-350.
- [3] Park K H, Kim Y S. Effects of hydrogen doping in MgO electron emission layer and wall charge model of ac-PDP [C]. *SID'07 Digest*, California, USA;SID,2007;1430-1433.
- [4] Tolner H. MgO-present & future [C]//*41st PDP International Forum*, Takamatsu, Japan;IDW,2005;1-59.
- [5] Yoon S H, Yang H S, Kim Y S. Wall charge holding characteristics of doped MgO thin film for ac-PDP [C]//*IDW'07*, Sapporo, Japan;IDW, 2007;811-812.
- [6] Yoon S H, Ryu H W, Hong C R, *et al.* Measurement of exo-electron emission from MgO thin film of AC-PDP [C]//*SID'2008 Digest*, Las Angeles, USA;SID, 2008;287-290.
- [7] Lee M S, Matulevich Y, Kim K D, *et al.* Correlation between wall charge of a MgO film and discharge delay time [C]//*SID'05 Digest*, Boston, USA;SID,2005;1232-1235.
- [8] Seo K H, Whang K W. Discharge delay reduction by controlling the roughness of dielectric surface in AC PDP [C]//*IMID/IDMC 06 Digest*, Daegu,Korea;IMID,2006;1491-1494.
- [9] Tolner H, Li Q, Shao Q Y, *et al.* Fundamental aspects of exoemission in the PDP protective layer [C]. *ICMAP 2008*,Jeju, Korea;ICMAP, 2008.
- [10] Kim D H, Jeon W J, Song T Y, *et al.* Study on the discharge characteristics in AC PDP at high temperature [C]//*IDW'07*, Sapporo, Japan;IDW,2007;851-854.

Effect of Exo-Electronic Emission from Protective Layer on Wall Charge and Improvement Ways

LI Qing^{1,2}, ZHU Di^{1,2}, TOLNER Harm¹

(1. Display Centre, School of Electronic Science and Engineering, Southeast University,
Nanjing 210096, China, E-mail:liqing@seu.edu.cn;

2. Jiangsu Information Display Engineering Research Center, Nanjing 210096, China)

Abstract

Exo-electronic emission from protective layer can improve the response time and stability of the discharge for PDP. Meanwhile, it also results in the loss of wall charge during the driving. This paper commented on the factors to effect the loss of the wall charge caused by exo-electronic emission and the ways to modify the wall charge accumulating, which provides directions to utilize optimally the exo-electronic emission performance.

Key words: protective layer; exo-electronic emission; wall charge; PDP

作者简介:李青(1963—),女,江苏南京人,博士,主要从事显示技术的研究。