

文章编号:1007-2780(2009)04-0581-05

用于 TFT-LCD 驱动芯片的内置 DRAM 设计

张 斌,张盛兵,梁 茂

(西北工业大学 软件与微电子学院, 陕西 西安 710068, E-mail:phoenixzhh@sina.com)

摘 要: TFT-LCD 驱动芯片中需要较大容量的内置存储器,相对于静态存储电路而言,动态存储电路节省了芯片的面积,有利于芯片成本的降低。文章讨论了用于 TFT-LCD 驱动芯片内置 DRAM 的分块设计方法,结合芯片物理特点将其分为左右对称两块。采用改进的 3-T 结构 DRAM 存储阵列,省去了伪存储单元,节省了面积,降低了功耗。优化了 DRAM 的刷新电路,省略了判断信号与 RAS 和 CAS 先后顺序的仲裁电路。结合芯片本身的特点设计了行、列译码电路。对于芯片的仿真,采用了模拟验证和形式验证相结合的前端设计验证方法,同时又采用了结构化抽取寄生参数和建立关键路径的后仿真。

关 键 词: TFT; DRAM; 3T; 仿真

中图分类号: TP333.8; TP391.9

文献标识码: A

1 引 言

小尺寸薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)的驱动芯片,普遍采用单片集成(One-chip Solution)的方式将电路集成到一块集成电路芯片上。在驱动芯片中,采用单独的内置图像存储器来存储 MPU 送来的显示图像的原始数据。既可以快速地读出数据提供给 LCD 面板,又由于有了单独的图像存储器而减小了 MPU 的负担,降低了 MPU 向驱动芯片送数的频率,进而降低了驱动芯片的功耗。因此,内置存储器作为 TFT-LCD 驱动控制芯片的重要组成部分,其面积和速度的优化设计将对整个芯片的性能和成本起到关键的作用。TFT-LCD 内置存储器大多采用静态随机存储电路,如 6 管 SRAM。静态存储器有控制简单、速度快、功耗低等特点;但是相对于动态存储器(DRAM)较小的存储单元面积,静态存储器的 6 管单元结构占用的芯片面积较大,不利于芯片成本的降低。现在,国外已开始用 DRAM 取代 SRAM。

在对 DRAM 进行了深入研究的基础上,作者完成了用于 TFT-LCD 驱动芯片的内置

DRAM 的设计工作。所设计的 TFT-LCD 驱动芯片内置 DRAM 的存储容量为 $220 \times 176 \times 18$ bits,具有 16 位地址总线、18 位 MPU 数据接口总线和 3 168(176×18 bits)位图像显示数据单向输出总线(输出到列驱动器),能支持 26 万色、 $176\text{RGB} \times 220$ 分辨率的彩色 TFT-LCD。

2 TFT-LCD 驱动芯片内置 DRAM 设计

2.1 DRAM 存储阵列结构

所讨论的 DRAM 结构是针对于手机的 TFT-LCD 驱动芯片而设计。受客观条件的限制,驱动芯片必须采取狭长而扁平的形状,而横向距离过长会使导线寄生电容和电阻变大,严重影响 DRAM 的性能。为避免上述问题并考虑到时序的要求,将 DRAM 分为左右两个部分,分别为 DRAM_L 与 DRAM_R,再将左半部分和右半部分分别划分成两个 BANK,即 DRAM_L 分为 BANK0 和 BANK1,DRAM_R 分为 BANK2 和 BANK3,整个 DRAM 被分为 4 个 BANK。每个 BANK(逻辑上)为 220 行 $\times$ 44 列(字)的阵列。为了减小芯片面积,DRAM_L 与 DRAM_R 各只用一套列译码及预充译码单元电路。采用全局字

电路结构得到优化,从内置 DRAM 角度提高芯片的稳定性。由 Paul S. Lazar 等提出的刷新控制电路^[4],外部接口由原来的 3 个变成了 RAS 1 个,同时省掉了判断信号 RAS 和 CAS 先后顺序的仲裁电路。该刷新控制电路对本设计来说是理想的选择。

图 2 是减少了外部接口的刷新控制电路,整个刷新控制电路只有 RAS 一个输入信号。当 RAS 有效信号先于 RFSH(由振荡器产生的内部信号)有效信号输入到仲裁电路时,仲裁电路输出无效的刷新信号 Sel_RFSH,同时由刷新计数器输出的二选一控制信号选通外部输入的读写地址信号,存储器执行读或写操作;当 RFSH 有效信号先于 RAS 有效信号输入到仲裁电路时,仲裁电路输出有效的字刷新信号 Sel_RFSH,二选一电路选通由刷新计数器产生的刷新地址信号,存储器开始刷新操作;当 RAS 有效信号和 RFSH 有效信号同时到达仲裁电路时,则刷新操作延时单位时间,存储器读或写操作完成后,再执行刷新操作。

2.4 译码电路设计

2.4.1 行地址译码电路设计

对于容量为 $220 \times 176 \times 18$ bit 的 DRAM,由于行数大于列数,所以需要窄而高的空间来放置存储器;同时,为了缩短列译码电路、写驱动电路和输出驱动电路的走线距离,这些电路也应该纵向摆放,即列译码电路和写驱动电路摆放在存储阵列的下方,输出驱动电路摆放在存储阵列的上方。基于以上原因,芯片的纵向面积将非常紧张。为了解决这个问题,采用位线对折技术,将 220 行的阵列折为两个 110 行的阵列,即每一列 220 个存储单元折为相邻的两列,且每列为 110 个存储单元。

以上因素决定了行译码的特殊性。首先需要对 8 位的行译码进行处理,最高位用于选择高 110 行或低 110 行,低 7 位用于选通 110 行的任意一行。预译码采用两个 2-4 译码器和一个 3-8 译码器,3-8 译码器取其低 7 位,译码结果输出给二级译码,二级译码模块译出 110 行。其具体结构如图 3。

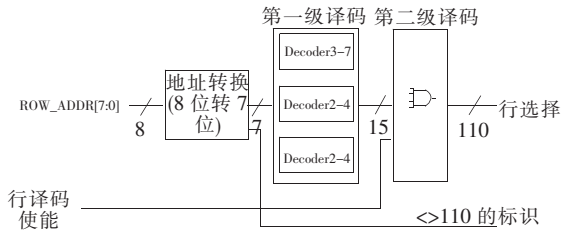


图 3 行译码电路结构
Fig. 3 Row decoder circuit

2.4.2 列地址译码电路设计

由于所设计的内置 DRAM 应用于小屏图像显示驱动芯片,因此该存储器除了一般应具备的读写功能外,还有字掩码、位掩码和行读取 3 种特殊功能,导致其列译码与普通存储器的列译码有很大不同:在预译码中增加了字掩码控制模块^[5];在二级译码输出增加了 B 端口行读控制模块。图 4 为针对 TFT-LCD 驱动芯片内置 DRAM 设计的列译码器的结构图。预译码用了一个 2-4 译码器和一个 4-16 译码器,4-16 译码器取其低 10 位^[6]。当不需要掩码操作时,字掩码控制模块对 2-4 译码器的输出不做任何操作;当需要掩码操作时,字掩码控制模块就会对相应的译码输出做掩码运算,使得被掩码的总线无法将数据写入 DRAM 中。B 端口行读控制模块与字掩码控制模块的设计思想基本相同,B 端口行读控制模块接收到行读请求信号时,使二级译码的全部输出信号有效,

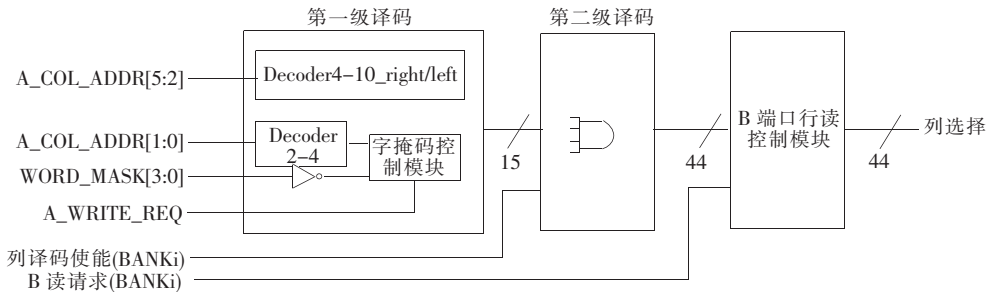


图 4 列译码电路结构
Fig. 4 Column decoder circuit

读出存储阵列一行的数据^[7]。

3 DRAM 仿真

验证是一个重要且费时的环节,通过对电路的模拟,设计者可以确定该设计是否达到了预期的功能和性能的要求。针对 TFT-LCD 驱动芯片内置 DRAM 的特点,从两方面对内置 DRAM 进行了验证:

(1)采用模拟验证和形式验证相结合的前仿真^[8],完成各模块的功能验证及整个 DRAM 的功

能和时序验证。模拟验证技术是利用模拟工具对被测试模块施加测试激励信号,检查输出信号是否符合预期要求,可以同时检查被测试模块的功能及时序方面的响应情况,全面体现电路的行为;形式验证技术是在集成电路设计中通过算法的手段进行等价性检查,比较两种设计之间的功能等价性。

(2)采用结构化抽取寄生参数和建立关键路径的方法,完成 DRAM 性能的评估,即后仿真^[9]。图 5 即为芯片的功能模型的 Modelsim 仿真波形。

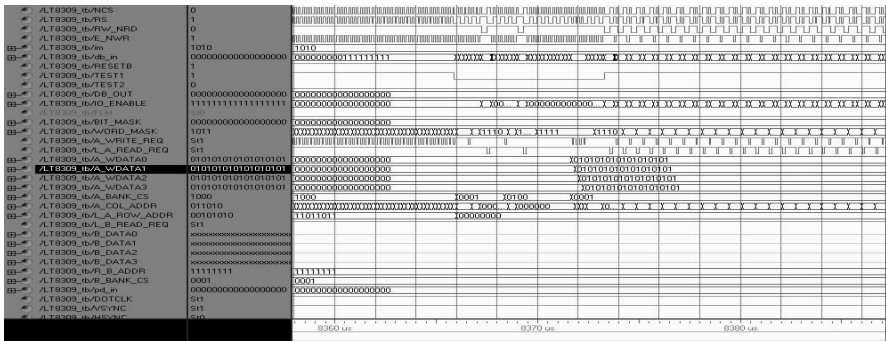


图 5 DRAM 功能模型的 Modelsim 仿真波形

Fig. 5 DRAM Modelism simulation waveforms

4 结 论

对应用于手机 TFT-LCD 驱动芯片的内置 DRAM 进行了设计,详细讨论了 DRAM 的分块设计方法和阵列结构。依照低功耗、小面积的要求选取了 3-T 存储单元结构;为了简化电路,提高

芯片整体性能,在传统刷新电路的基础上设计了单输入信号的 DRAM 刷新电路;依据芯片本身的物理特点,结合芯片的具体读写要求进行了行、列译码电路的优化设计。功能验证的结果表明,所设计的 DRAM 存储器可以满足 TFT-LCD 驱动芯片的要求。

参 考 文 献:

[1] Chang Mutien, Huang Po-Tsang, Wei H W. A 65 nm low power 2T1D embeded DRAM with leakage current reduction [J]. *IEEE International SOC Conference*, 2007, 26-29: 207-210.

[2] Segawa Yuuichi. Refresh circuit for DRAM with three-transistor type memory cells; US, 5812476 [P]. 1998-09-22.

[3] Bruce Jacob, Spencer W Ng, Wang David T. *Memory Systems Cache DRAM Disk* [M]. US: Elsevier Inc, 2008.

[4] Lazar P S. DRAM with total self refresh and control; US, 6741515 [P]. 2004-05-25.

[5] Anadn D, Coivno J, Dreibelbis J. A 1.0 GHz multi-banked embedded DRAM in 65 nm CMOS featuring concurrent refresh and hierarchical BIST [J]. *IEEE Custom Integrated Circuits Conference*, 2007, 16-19: 795-798.

[6] Karandikar A, Parhi K K. Low power SRAM design using hierarchical divided bit-line approach[C]//*International Conference on Computer Design*, Austin: IEEE, 1998: 82-89.

[7] Kaku M, Iwai H, Nagai T. An 833MHz pseudo-two-port embedded DRAM for graphics applications [J]. *IEEE International Solid-State Circuits Conference*, 2008, (3-7): 276-613.

[8] 梁茂,魏廷存,魏晓敏,等. 单片集成 TFT-LCD 驱动芯片内置 SRAM 验证技术研究[J]. *液晶与显示*, 2008, 23(1): 91-95.

[9] 张锋,周玉梅,黄令仪.一种用于 SRAM 的快速仿真模型 [J]. 半导体学报,2005,26(6):1264-1268.

Design of Embedded DRAM Used for TFT-LCD Driver IC

ZHANG Bin, ZHANG Sheng-bing, LIANG Mao

(College of Software and Microelectronics, Northwestern Polytechnical University,
Xi'an 710068, China, E-mail: phoenixzxb@sina.com)

Abstract

Compared with SRAM, DRAM saves chip area. This paper mainly introduce the design method of the built-in DRAM. The improved 3-T DRAM, saves the space and reduces the power consumption. The refresh circuit have been optimized, omitting the arbitration circuit. Combining the features of the chip, row decoder circuit and column decoder circuit are designed. Combining the simulation verification with form verification, the chip simulation is made. Meanwhile, the post-simulation is accomplished using the method of structure extraction of parasitic parameter and setting of circure path.

Key words: TFT; DRAM; 3T; simulation

作者简介:张斌(1981—),男,辽宁锦州人,硕士研究生,主要从事计算机体系结构、ASIC 系统设计和 EDA 设计等方面的研究。

《液晶与显示》诚征广告

《液晶与显示》是中国科学院长春光学精密机械与物理研究所和中国光学光电子行业协会液晶专业分会主办的综合性学术期刊。主要报道国内外液晶学科和显示技术领域中最新科研成果和创新技术,及时反映国内外本学科领域及产业信息动态。刊登的内容包括液晶和各类显示材料及制备方法、各类显示器件物理和制作技术、各类显示新型模式和驱动技术、显示技术应用、显示材料和器件的测试方法与技术等方面,是国内外从事液晶和显示技术工作及相关的广大科技人员必读期刊。本刊不仅是我国专业学术期刊发行量最大的期刊之一,而且参与国内外相关科技展会和交流活动。

《液晶与显示》设有广告专栏,真诚欢迎国内外科研单位、企业、商家来此发布产品、技术和服务信息,刊登仪器、设备、材料等方面的广告。本刊有精美彩页和黑白插页可供选择。

需要刊登广告的客户可电话告知您的 Fax,我们会立即将报价单传真给您,洽商确定后即与您签定正式刊登合同。

联系方式:

地 址:长春市东南湖大路 3888 号 中国科学院长春光学精密机械与物理研究所

《液晶与显示》编辑部

邮 编:130033

http://www.yjyxs.com

电 话:0431-86176059 0431-84613406

传 真:(0431)84695881

E-mail: yjxs@ciomp.ac.cn

联系人:付国柱