

文章编号:1007-2780(2019)01-0007-07

氧化物薄膜晶体管刻蚀阻挡层 PECVD 沉积条件研究

万云海, 邹志翔*, 林 亮, 杨成绍, 黄寅虎, 王章涛
(京东方科技集团股份有限公司合肥鑫晟工厂, 合肥 230012)

摘要:为实现氧化物 TFT(Indium Gallium Zinc Oxide Thin Film Transistor, IGZO TFT)特性的最优化,采用 I - V 数据和 SEM(Scanning Electron Microscope)图片研究蚀阻挡层(Etch-Stop Layer, ESL)沉积条件与氧化物 TFT 特性的关系。通过调整沉积温度、正负极板间距、压力和功率,分析了 PECVD 沉积 ESL SiO_2 的成膜规律,并对所得到的 TFT 进行了特性分析。发现 ESL 膜层致密性过差时,后期高温工艺会造成水汽进入 IGZO 半导体膜层,从而引起 TFT 特性恶化。而采用高温、高压等方法取得高致密性的 ESL 膜层由于高强度等离子体对 IGZO 本体的还原反应也会致使 TFT 特性劣化。结果表明,在保证膜层致密性前提下,等离子体对 IGZO 本体伤害最小的 ESL 沉积条件才是最优化的 ESL 沉积条件。

关键词:氧化物半导体;薄膜晶体管液晶显示器;等离子体增强化学气相沉积法;刻蚀阻挡层

中图分类号: TN141.9 **文献标识码:** A **doi:** 10.3788/YJYXS20193401.0007

Etch-stop layer plasma chemical enhanced vapor deposition for oxide thin-film-transistor

WAN Yun-hai, ZOU Zhi-xiang*, LIN Liang, YANG Cheng-shao,
HUANG Yin-hu, WANG Zhang-tao

(Hefei Xin Sheng Photoelectric Technology Co., Ltd., Hefei 230012, China)

Abstract: In order to optimize the oxide semiconductor TFT character, I - V and SEM data is used to study the dependence of oxide semiconductor TFT character on ESL deposition. The rule of ESL silicon oxide deposition was studied by tuning the temperature, spacing, pressure and power of the deposition. Moreover, the TFT characteristic was also used to analysis ESL silicon oxide deposition. It is found that the TFT will be degraded when the ESL film is loose with multihole structure. The degradation must be attributed to the damage of IGZO semiconductor by the invasion of the vapor caused by later high temperature process. However, the TFT is also bad when the ESL film is dense manufacturing by high temperature or high pressure of deposition because of the reduction reaction between IGZO semiconductor and the enhanced plasma. The most optimization process will be obtained by dense ESL film while the disposition should be minimum damage to IGZO semiconductor.

收稿日期:2018-07-17;修订日期:2018-10-18.

* 通信联系人, E-mail: yangchengshao@boe.com.cn

Key words: oxide semiconductor; TFT-LCD; plasma chemical enhanced vapor deposition; etch-stop layer

1 引言

近十几年来,氧化物 TFT 逐渐成为面板业界的热点研究问题。氧化物 TFT 不仅具有高电子迁移率、高开口率、光学稳定性好等优点,而且无须将传统非晶硅 TFT 产线做太多变动和投注更多的资金购买设备就能得到较高良率的高性能氧化物 TFT 元件。因此,氧化物 TFT 结合了传统非晶硅 TFT 易制作、高良率以及 LTPS (Low Temperature Poly-silicon) TFT 高电子迁移率、低功耗等技术优点,受到了越来越多面板生产厂商和 TFT 研究者的关注^[1-4]。然而,氧化物 TFT 稳定性当前依旧是其产业化推进中的最大障碍。当前有氧化物 TFT-LCD 量产实绩仅有三星、夏普、LG 和京东方 4 家公司,其产品特性正在经历着市场的考验。在氧化物 TFT 的理论和实验验证中,人们发现影响 TFT 稳定性的主要因素有栅极绝缘层缺陷态密度,前沟道界面态密度,氧化物半导体本体缺陷态分布及密度,以及背沟道界面态密度^[5-8]。在我们的研究中,栅极绝缘层以及前沟道界面对 TFT 特性的影响非常有限,其优化方案很容易取得,而 ESL 沉积条件对 TFT 特性的影响非常明显,目前也没有研究确定其优化方向。本研究的目的是通过调整背沟道刻蚀阻挡层 ESL(Etch-Stop Layer) PECVD 沉积条件,找到影响氧化物 TFT 特性相关的关键因素,实现 ESL 沉积条件的优化。

2 实验方法

本实验在 1 397 mm(55 in)超高分辨率产品上,实验在京东方光电科技集团氧化物半导体 IGZO 量产 G8.5 代线完成。图 1 所示为本产品 TFT 截面示意图。本产品采用 ESL 结构的 6 掩膜工艺,相对背沟道刻蚀(Back Channel Etch, BCE)结构,增加一道 ESL 掩膜。ESL 为二氧化硅(SiO_2)薄膜,沉积气体为一氧化二氮(N_2O)和硅烷(SiH_4)。与 BCE 结构相比,ESL 结构可以阻挡漏源极图案形成过程中硫酸系刻蚀药液对于 IGZO

半导体背沟道的刻蚀,因此 TFT 特性更加稳定。然而,ESL 沉积中 N_2O 中解离的 O^{2-} 离子和 H^+ 离子会不可避免地进入到 IGZO 本体,与其发生氧化和还原反应,进而影响 IGZO 半导体的载流子浓度和分布。此外,ESL 本身膜层致密性也会直接关系到后续工艺中水汽等小分子对 IGZO 半导体的侵蚀程度。因此,ESL 沉积条件对氧化物半导体特性状态和长期信赖性有着非常显著的影响。本文将从膜层致密性和 TFT 特性两方面分析 ESL PECVD 最佳沉积条件的选择问题(在本实验中, SiH_4 与 N_2O 气体比率固定为 90 : 1)。

本实验中,ESL 沉积采用了板式 PECVD 设备进行,在我们研究中发现沉积温度,正负电极间距,压力和功率对于膜层致密性和 TFT 特性影响较大。因此,本研究主要从这 4 个方面来研究 ESL 沉积条件对于 TFT 特性的影响。本实验将通过 SEM 分析 ESL 沉积条件下膜层致密性,并使用 Agilent EPM 机台测试 $W = 28\ \mu\text{m}$, $L = 12\ \mu\text{m}$ 的 TFT I - V 曲线(测试点位为 TFT 基板上均匀分布 32 点)。我们将从这两组测试结果综合评估 ESL 沉积条件的优劣。

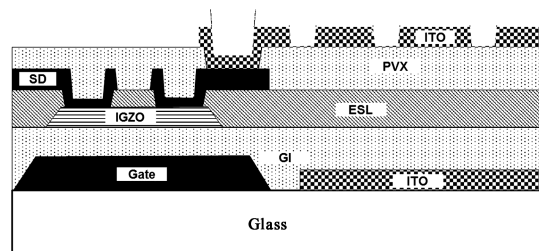


图 1 TFT 器件截面示意图

Fig.1 Crosspicture of TFT

3 实验结果和讨论

3.1 温度

沉积温度是 ESL 成膜条件中非常重要的一环。温度升高, SiH_4 解离生成的 SiH_3 和 O 自由基会获得足够的能量,其迁移能力和被吸附到基体表面弛豫能力都会增强^[8-9]。此外,温度提高,弱 Si-H , O-H 比率将会减少, SiO_2 膜层致密性和膜质均一性会在一定程度内得到增强。然而,

温度提高,腔体内的等离子体强度提升,对于 IGZO 背沟道的侵蚀力度加大,这种侵蚀主要为游离 H^+ 离子与 IGZO 的还原反应,造成 TFT I - V 曲线左移。另一方面,温度增加到一定程度后,基板表面的温度均一性变差,IGZO 膜层的不均一性也被体现出来,总体的结果就是基板不同位置处等离子体与 IGZO 背沟道之间产生的物理及化学反应程度的差异性扩大。因此,沉积温度提高, I - V 曲线均一性变好,但是增加到临界值以后, I - V 曲线向左漂移,且曲线发散。

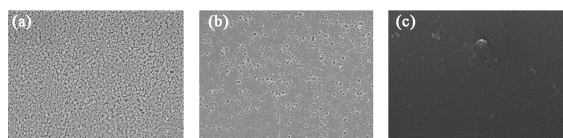


图2 不同 ESL 沉积温度下膜层致密性。(a)170 °C; (b)200 °C;(c)230 °C。

Fig.2 Densification of ESL film with different temperature. (b)170 °C;(b)200 °C;(c)230 °C。

图2所示为沉积温度为170,200,230 °C下,ESL SiO_2 膜层 Top 面 SEM 图(反应条件为:正负电极间距 850 mm,压力 133 Pa,功率 12 kW)。170 °C 沉积温度下,膜层致密性较差,可以看到明显的孔状结果,且大小孔分布不均一。这种膜层结构无法阻断后续的退火工艺,成膜工艺和刻蚀工艺环境气氛对于 IGZO 背沟道的影响,因此 TFT 稳定性较差。提高沉积温度到 200 °C 后,膜层均一性和致密性明显提升,因此 I - V 曲线均一性变好。继续提高温度到 230 °C,膜层致密性进一步提高,但是 ESL 沉积造成的 IGZO 本身的物理性刻蚀,以及 ESL 与 IGZO 之间的氧平衡在基板上的均一性变差。因此, I - V 曲线的均一性明显变差,如图3所示。

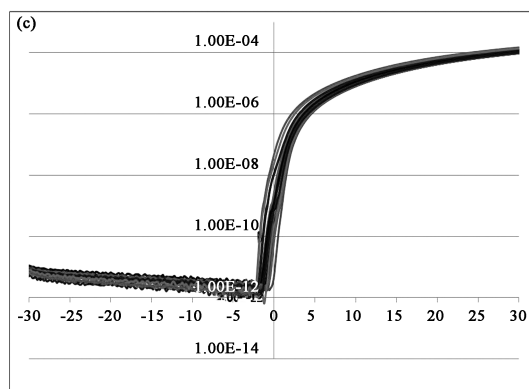
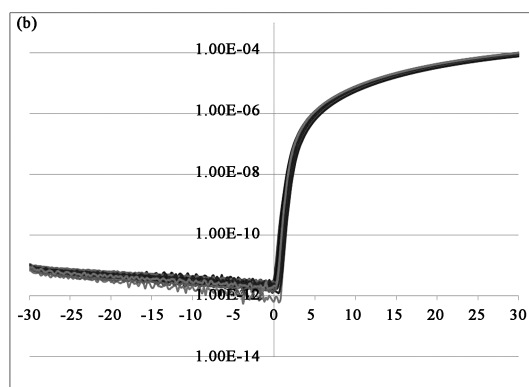
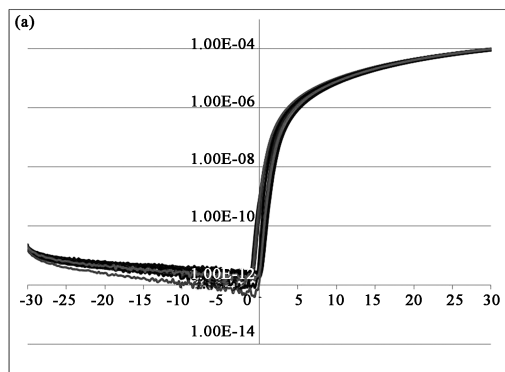


图3 不同 ESL 沉积温度下的 I - V 曲线。(a)170 °C; (b)200 °C; (c)230 °C。

Fig.3 I - V curve of ESL film with different temperature. (a)170 °C;(b)200 °C;(c)230 °C。

表1所示为不同温度下 TFT 的开启电压 I_{on} 、漏电流 I_{off} 、阈值电压 V_{th} 。如表1所示,可以看到沉积温度在 200 °C 在 V_{th} 上存在一个明显拐点。 $\Delta V_{th} = V_{th\max} - V_{th\min}$ 为 32 个 I - V 曲线监控点阈值电压最大值和最小值的差,用来表征 TFT 特性的均一性,数值越大表示 TFT 特性越发散,越不稳定。

表1 不同沉积温度下的 I - V 特性数据比较

Tab.1 Comparison of I - V data of different temperature

沉积温度/°C	I_{off}/pA	$I_{on}/\mu A$	V_{th}/V	$\Delta V_{th}/V$
170	2.58	22.3	1.9	1.92
200	2.91	18.6	2.9	1.87
230	2.58	26.9	1.6	2.09

3.2 正负电极间距

正负电极间距是调整等离子体形状和密度的有效手段。正负电极间距越小,气体在腔体内的

迟留时间越短,反应性气体到达衬底基板的解离时间缩短,但是等离子体密度增加,反应基团到达衬底的能量急剧增加^[10]。总体的结果是:随正负电极间距减少,膜层致密性增强,沉积速度未明显提升。但是正负电极间距降低到一定程度后,反应活性基团对氧化物半导体背沟道的侵蚀会逐渐加剧,会恶化 TFT 的特性稳定性以及均一性。图 4 和图 5 分别为正负电极间距为 550,700,850 mm 下膜层 SEM Top 面, I - V 曲线(反应条件为:温度 200 °C,压力 133 Pa,功率 12 kW)。

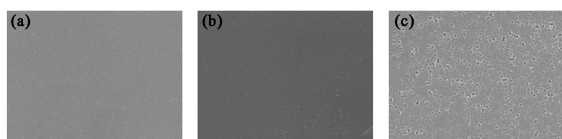


图 4 不同 ESL 沉积正负电极间距下膜层致密性。

(a)550 mm;(b) 700 mm;(c) 850 mm。

Fig.4 Densification of ESL Film with Different Spacing.

(a) 550 mm; (b) 700 mm; (c) 850 mm.

如图 4 所示,当正负电极间距设置为 550 mm 时,膜层致密性最佳,但是正负电极间距过小,等离子体对于 IGZO 背沟道轰击强度会比较强,造成 IGZO 内部氧含量减少。因此,伴随着氧空穴明显减少, V_{th} 出现向左漂移的情况。更严重

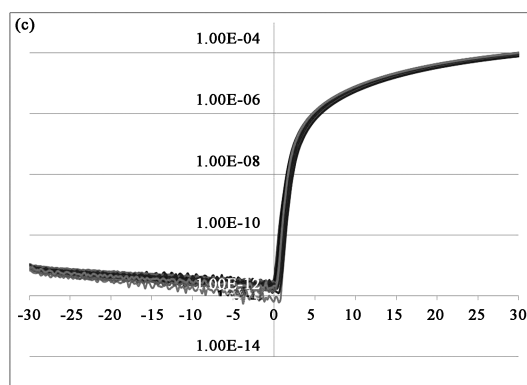
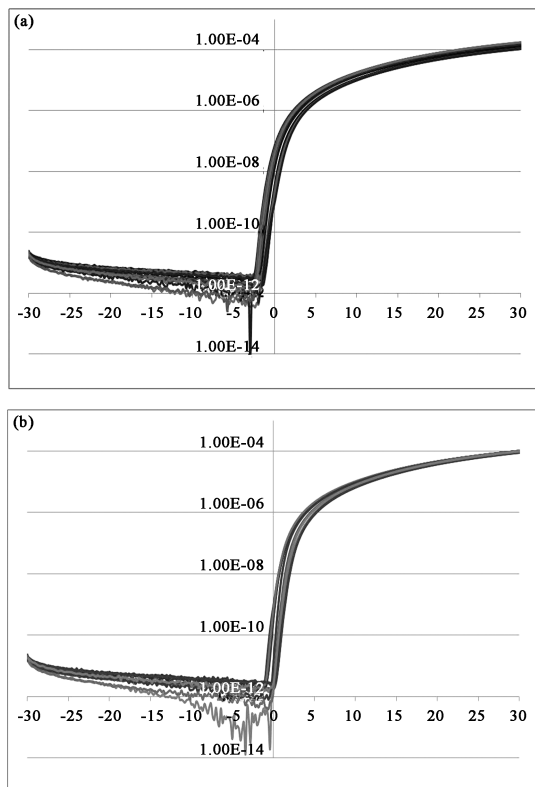


图 5 不同 ESL 沉积正负电极间距下的 I - V 曲线。

(a)550 mm;(b)700 mm;(c)850 mm。

Fig.5 I - V curve of ESL film with different spacing.

(a)550 mm;(b) 700 mm;(c) 850 mm.

的是 IGZO 成膜不均一或者 ESL 沉积等离子体强度不均一,还会引起 IGZO 膜层氧含量均一性变差,最终导致 I - V 曲线的发散。在以前的研究中, V_{th} 左移表明 IGZO 半导体掺杂浓度增加,IGZO 解离电子的能力增强,费米能级向导带附近迁移。因此,TFT 在光照和温度影响下的正向偏置电压稳定性增强,而光照和温度影响下的负向偏置电压稳定性减弱。负向偏置电压稳定性减弱,产品出现沙粒 Mura 风险将会增加,在我们的实验中也得到了证实。当正负电极间距逐步增加,膜层致密性也逐渐变差。

表 2 不同沉积间距下的 I - V 特性数据比较

Tab.2 Comparison of I - V data of different spacing

沉积 Spacing /mm	I_{off} /pA	I_{on} / μ A	V_{th} /V	ΔV_{th} /V
550	2.8	33.4	1.95	3.32
700	2.48	22.6	1.9	1.92
850	2.91	18.6	2.9	1.87

3.3 压力

反应压力增加,等离子体离子浓度提升,因而膜层沉积速率显著增加。在本实验中,随着压力的提高,膜层致密性也逐渐变好,如图 6 所示(反应条件为:温度 200 °C,正负电极间距 700 mm,功率 12 kW)。致密性的提升一方面是由于压力提升,反应离子之间结合更加紧密;另一方面,高压下 H 原子更易进入到沉积膜层内部,与膜层

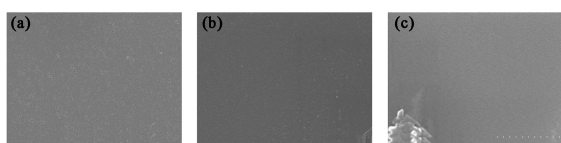


图 6 不同沉积压力下的 ESL 膜层致密性。(a)66 Pa; (b)200 Pa; (c)266 Pa。

Fig.6 Densification of ESL film with different pressure.(a)66 Pa.(b)200 Pa. (c)266 Pa.

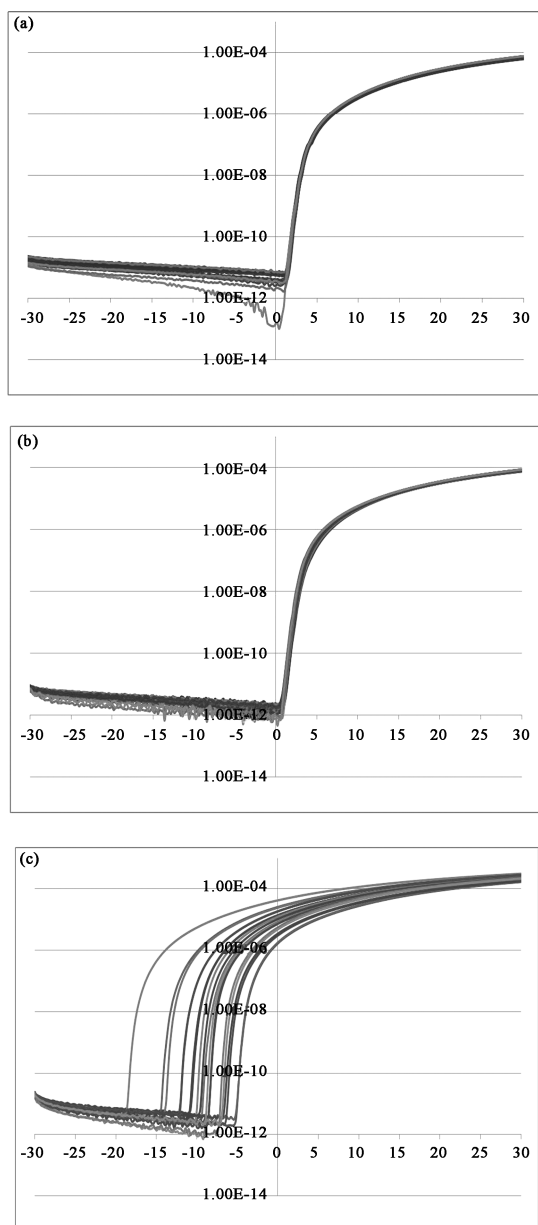


图 7 不同 ESL 沉积压力下的 I-V 曲线。(a)66 Pa; (b)200 Pa;(c)266 Pa。

Fig.7 I-V curve of ESL film with different pressure. (a)66 Pa;(b)200 Pa;(c)266 Pa.

内部的悬挂键和缺陷结合,进一步提升了膜层致密性。图 7 中的 $I-V$ 可以解释这一观点,在较大的沉积压力下,H 原子更易进入膜层,还原氧化物半导体造成 $I-V$ 左移。当气压增加到 266 Pa 时,氧化物半导体直接导体化,TFT 开关失效。然而,压力为 66 Pa 时,SEM 图可见此反应压力下的膜层较 200 Pa 的膜层疏松,孔状结构明显, $I-V$ 曲线也较差。考虑到膜层疏松对于后期工艺过程的耐受性以及产品的信赖性,过低的反应压力也是不可取的。表 3 所示,可知沉积压力为 66 Pa 和 200 Pa 的 $I-V$ 数据未见太明显差异,综合考虑,我们选择 200 Pa 为最优沉积压力。

表 3 不同沉积压力下的 $I-V$ 特性数据比较

Tab.3 Comparison of $I-V$ data of different pressure

沉积 压力/Pa	I_{off}/pA	$I_{on}/\mu A$	V_{th}/V	$\Delta V_{th}/V$
66	6.4	12.5	4.25	0.49
200	2.2	15.7	3.68	0.93
266	1.2E6	97.8	-7.63	12.4

3.4 反应功率

反应功率对膜层均匀性,沉积速度有着至关重要的作用。反应功率直接决定了腔体内等离子体形状,反应性离子浓度以及其到达基底的速度。在我们的实验中,沉积功率对 TFT 器件稳定性影响明显。

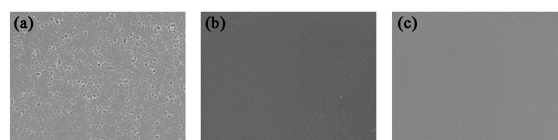


图 8 不同 ESL 沉积功率下膜层 SEM 图片。(a) 6 kW;(b)12 kW;(c)18 kW。

Fig.8 SEM pic of ESL film with different power.(a) 6 kW;(b)12 kW;(c)18 kW.

表 4 不同沉积功率下的 $I-V$ 特性数据比较

Tab.4 Comparison of $I-V$ data of different power

沉积 功率/kW	I_{off}/pA	$I_{on}/\mu A$	V_{th}/V	$\Delta V_{th}/V$
6	7.6	6.0	5.98	0.49
12	2.2	15.7	3.68	0.93
18	5.9	17.6	3.04	1.06

如图 8 所示,当沉积功率为 6 kW 时, I - V 曲线存在明显的驼峰效应, V_{th} 明显较大。据表 4 所示 I - V 数据可知,沉积功率逐步增加, V_{th} 随之也逐步减少。然而,功率提升到 18 kW 时, I - V 曲线的均匀性变差,说明反应功率增加而带来的等离子体强度增加也会造成 TFT 特性的不均。我

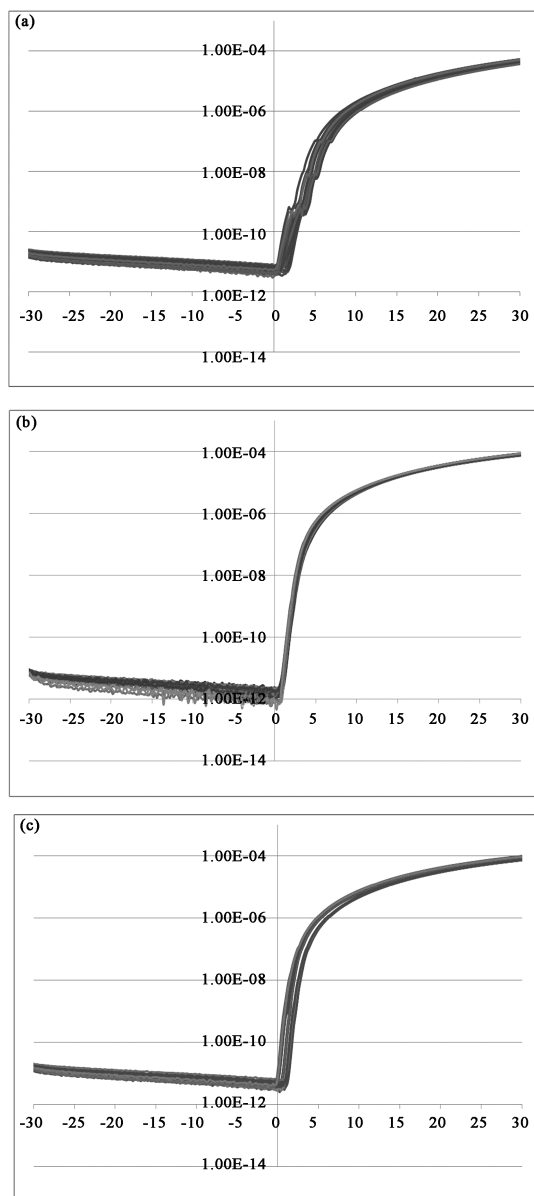


图 9 不同 ESL 沉积正负电极间距下的膜层致密性。

(a) 6 kW; (b) 12 kW; (c) 18 kW

Fig.9 I - V curve of ESL film with different power.

(a) 6 kW; (b) 12 kW; (c) 18 kW

参 考 文 献:

- [1] 王中健,王龙彦,马仙梅,等.透明非晶态氧化物半导体薄膜晶体管的研究进展[J].液晶与显示,2009,24(2): 210-216.

们分析为功率增加,正负电极间距维持不变的情况下,等离子体对于 IGZO 背沟道以及本体的轰击强度会逐步增强,对于 H^+ 或者 OH^- 这种小离子很容易进入 IGZO 本体而还原 IGZO,造成 IGZO 导电性增加,致使 TFT 稳定性变差。反应功率增加,离子反应活性增加,亚稳结构含量减少,膜层致密性增加。也就是说当 ESL 沉积功率较小时,等离子体强度不够, SiH_4 解离出来的 H^+ 对 IGZO 还原能力减弱, N_2O 解离得到的 O 与 IGZO 中的金属离子结合比与 Si 原子结合更加容易,因而 IGZO 半导体处于一个富氧的状态。因而,ESL 沉积功率较低时,TFT 的开启电压会明显较高。图 8 和图 9 分别为反应功率为 6,12,18 kW 下 ESL 膜层的 SEM 图片和 I - V 曲线(反应条件为:温度 200 $^{\circ}C$, 压力 200 Pa, 正负电极间距 700 mm)。

4 结 论

本实验在 BOE LCD IGZO 半导体 G8.5 代量产线进行,通过分析不同背沟道刻蚀阻挡层的沉积温度,正负电极间距,压力和功率下膜层的致密性和 I - V 曲线,确立了 ESL 沉积优化的方向。我们发现 ESL 膜层致密性过差时,后期高温工艺造成的水汽进入会使 TFT 特性恶化。而采用高温、高压等方法取得高致密性的 ESL 膜层由于高强度等离子体对于 IGZO 本体的还原反应也会致使 TFT 特性劣化。因此,ESL 沉积条件要考虑膜层致密性的同时,要减少沉积过程中等离子体对于 IGZO 半导体的损伤。

ESL 沉积条件的优化,不仅仅要考虑 ESL 本身的致密性,以及对 IGZO 本体的损伤,还需要综合考虑前沟道 GI 与 IGZO 界面态氧平衡,更需要重点关注 IGZO 的沉积氧分压以及高温后处理工艺。这些关键工艺虽然不会改变 ESL 沉积条件对于 TFT 特性的影响规律,但会直接决定其沉积条件最佳中心值范围。因此,如果需要根据本研究确立实际生产条件,还需要结合自身设备和其它工艺能力来确定 ESL 的最佳沉积条件。

- WANG Z J, WANG L Y, MA X M, *et al.* Research and progress in transparent amorphous oxide semiconductor thin film transistors [J]. *Chinese Journal of Liquid Crystals and Displays*, 2009, 24(2):210-216. (in Chinese)
- [2] 刘翔, 薛建设, 贾勇, 等. 金属氧化物 IGZO 薄膜晶体管的最新研究进展[J]. 现代显示, 2010, 21(10):28-32.
LIU X, XUE J S, JIA Y, *et al.* The recent research progress of amorphous indium gallium zinc oxide thin film transistors [J]. *Advanced Display*, 2010, 21(10):28-32. (in Chinese)
- [3] 楼均辉, 姜姝, 吴天一, 等. 金属氧化物 TFT 阈值对 LCD 显示屏可靠性的影响[J]. 发光学报, 2018, 39(3):383-387.
LOU J H, JIANG S, WU T Y, *et al.* Effect of threshold-voltage of oxide-TFT on the reliability of LCD display [J]. *Chinese Journal of Luminescence*, 2018, 39(3):383-387.
- [4] 王韬, 张希清. 非晶镁锡氧薄膜晶体管的制备及退火对其性能的影响[J]. 发光学报, 2017, 38(11):1539-1544.
WANG T, ZHANG X Q. Fabrication and effect of annealing treatment on performance of Amorphous Mg-In-Sn-O thin film transistor [J]. *Chinese Journal of Luminescence*, 2017, 38(11):1539-1544.
- [5] KIM S J, LEE S Y, LEE Y W, *et al.* Effect of charge trapping/detrapping on threshold voltage shift of IGZO TFTs under AC bias stress [J]. *Electrochemical and Solid-State Letters*, 2012, 15(4):H108-H110.
- [6] HUANG S Y, CHANG T C, YANG M C, *et al.* Photoelectric heat effect induce instability on the negative bias temperature illumination stress for InGaZnO thin film transistors [J]. *Applied Physical Letters*, 2012, 101(25):253502.
- [7] OH H C, YOON S M, RYU M K, *et al.* Transition of dominant instability mechanism depending on negative gate bias under illumination in amorphous In-Ga-Zn-O thin film transistor [J]. *Applied Physical Letters*, 2011, 98(3):033504.
- [8] 亢喆, 黎威志, 袁凯, 等. PECVD 淀积 SiO_2 薄膜工艺研究[J]. 微处理机, 2010, 31(1):23-26.
KANG Z, LI W Z, YUAN K, *et al.* Study of SiO_2 thin film deposition by PECVD [J]. *Microprocessors*, 2010, 31(1):23-26. (in Chinese)
- [9] 郭文涛, 谭满清, 焦健, 等. PECVD 提高 SiO_2 薄膜致密性的研究[J]. 人工晶体学报, 2013, 42(4):577-581.
GUO W T, TAN M Q, JIAO J, *et al.* Study on improving the compactness of SiO_2 thin film by PECVD [J]. *Journal of Synthetic Crystals*, 2013, 42(4):577-581. (in Chinese)
- [10] 韩晓艳, 耿新华, 郭群超, 等. 电极间距对微晶硅薄膜生长速率及其性能的影响[C]//中国太阳能光伏进展, 成都: 中国可再生能源学会, 四川大学, 2006.
HAN X Y, GENG X H, GUO Q C, *et al.* Influence of the electrode distance on the deposition rate and performance of microcrystalline silicon thin films [C]// *Proceeding of The Ninth Chinese Solar Photovoltaic Conference*, Chingdu: China Renewable Energy Society, Sichuan University, 2006. (in Chinese)

作者简介:



万云海(1988—),男,安徽芜湖人,工程师,2014年于南京理工大学获得硕士学位,主要从事 TFT 工艺开发的研究工作。E-mail: wanyunhai@boe.com.cn



杨成绍(1984—),男,安徽合肥人,工程师,2009年于中科院近代物理研究所获得硕士学位,主要从事 TFT 工艺开发。E-mail: yangchengshao@boe.com.cn