

## 电子纸的2W2D工艺改善研究

佟月, 佟硕, 王凤涛, 曹洪韬, 刘艳葵, 耿红帅, 李森, 张鹏曲, 卢凯, 孙亮, 张磊, 陈思, 王威

引用本文:

佟月, 佟硕, 王凤涛, 等. 电子纸的2W2D工艺改善研究[J]. 液晶与显示, 2020, 35(4): 306–314.

TONG Yue, TONG Shuo, WANG Feng-tao, et al. Improvement of 2W2D method on electronic paper[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(4): 306–314.

在线阅读 View online: <https://doi.org/10.3788/YJYXS20203504.0306>

## 您可能感兴趣的其他文章

Articles you may be interested in

### 不同双栅极设计对a-Si:H TFT特性影响

Effect of different dual gate design on A-Si:H TFT electrical characteristics

液晶与显示. 2016, 31(5): 460–463 <https://doi.org/10.3788/YJYXS20163105.0460>

### 基于柔性PI基底的氧化物IGZO TFT器件工艺及特性研究

Process and properties of oxide IGZO TFT device based on flexible PI substrate

液晶与显示. 2015(5): 796–800 <https://doi.org/10.3788/YJYXS20153005.0796>

### a-Si剩余膜厚对TFT特性的影响

Effect of thickness of a-Si remain on TFT characteristics

液晶与显示. 2019, 34(7): 646–651 <https://doi.org/10.3788/YJYXS20193407.0646>

### 排气方式及工艺参数对等离子体刻蚀a-Si 均一性的影响

Influence of exhaust mode and process on uniformity of plasma etching a-Si

液晶与显示. 2016, 31(12): 1112–1117 <https://doi.org/10.3788/YJYXS20163112.1112>

### ITO退火工艺对HADS型TFT-LCD透过率的影响

Influence of ITO anneal on the transmittance property of HADS TFT-LCD

液晶与显示. 2019, 34(5): 482–488 <https://doi.org/10.3788/YJYXS20193405.0482>

文章编号:1007-2780(2020)04-0306-09

## 电子纸的 2W2D 工艺改善研究

佟 月\*, 佟 硕, 王凤涛, 曹洪韬, 刘艳葵, 耿红帅, 李 森,  
张鹏曲, 卢 凯, 孙 亮, 张 磊, 陈 思, 王 威  
(北京京东方光电科技有限公司, 北京 100176)

**摘要:**在电子纸行业中,为了减少光刻次数、降低成本,部分产品的 TFT 基板会采用半色调掩膜工艺,传统的一次湿刻一次干刻(1W1D)方法要求半色调掩膜光刻胶厚度与均一性同时满足较高要求,管控难度大,导致曝光多次返工浪费产能;而且,1W1D 的刻蚀均一性很差,使玻璃四周沟道 a-Si 过薄,影响良率。为了改善这两方面的问题,我们参考了非电子纸产品的两次湿刻两次干刻(2W2D)工艺。然而非电子纸的 2W2D 工艺会产生较长的 a-Si 拖尾现象,导致较大的寄生电容,造成良率损失;此外,a-Si 残留和沟道特性问题也阻碍了电子纸良率的进一步提升。因此,我们通过降低两次湿刻时间,改善灰化条件,减小 a-Si 拖尾长度;建立 a-Si 处理工序,消除 a-Si 残留;调整 a-Si 成膜条件和钝化层成膜前处理条件,改善沟道特性。实验结果表明:采用改善后的 2W2D 工艺可以完全满足电子纸的特性要求,并且相比于 1W1D 方法,得到的沟道厚度均一性提升 50%,阵列检测良率提升 4%~10%;同时无需管控半色调掩膜光刻胶的均一性,仅满足光刻胶厚度的管控要求即可,使曝光返工比例降低 60%。改善后的 2W2D 工艺有效改善了电子纸产品的沟道特性与刻蚀均一性,提升了产品良率,减少了产能浪费,降低了成本,对 4 次光刻电子纸产品具有重要指导意义。

**关键词:**电子纸;半色调掩膜;两次湿刻两次干刻;沟道厚度;沟道特性

**中图分类号:**TN27;TB 34 **文献标识码:**A **doi:**10.3788/YJYXS20203504.0306

## Improvement of 2W2D method on electronic paper

TONG Yue\*, TONG Shuo, WANG Feng-tao, CAO Hong-tao, LIU Yan-kui, GENG Hong-shuai,  
LI Sen, ZHANG Peng-qu, LU Kai, SUN Liang, ZHANG Lei, CHEN Si, WANG Wei

(Beijing BOE Optoelectronics Technology Co., Ltd., Beijing 100176, China)

**Abstract:** In the electronic paper industry, the TFT substrates of some products use halftone mask process to reduce the number of mask. After halftone masking, the conventional single wet etching and single dry etching method (1W1D) requires both the thickness and uniformity of the halftone photoresist under control. The high requirements result in multiple rework in photo process, which leads to waste of capacity. Furthermore, the poor etching uniformity of 1W1D results in the thin channel thickness around the glass, which reduces the yield. To solve these two problems, we referred to double wet etching and double dry etching method (2W2D) for non-electronic paper. However, the 2W2D process for non-electronic paper produces a large a-Si tail, resulting in a large parasitic capacitance, which results in product yield loss. In addition, the problems of a-Si residue and channel

收稿日期:2019-07-31;修订日期:2020-03-10.

\* 通信联系人, E-mail: tongy@boe.com.cn

characteristics also hinder the further improvement of the electronic paper yield. Therefore, we reduced the a-Si tail by reducing the time of both wet etching processes and optimizing the ashing conditions; eliminated a-Si residue by establishing the a-Si treatment process; improved the channel characteristics by adjusting the deposition condition of a-Si film and the pretreatment condition of passivation film. The experimental results show that the improved 2W2D method can fully meet the characteristics of electronic paper. Compared with the 1W1D method, the uniformity of channel thickness was increased by 50% and array test yield was improved by 4%~10%. Moreover, the new 2W2D etching process only needs to meet the standard thickness of photoresist, which reduced the ratio of rework in photo process by 60%. In a word, this improved 2W2D process method effectively improves the channel characteristics and etching uniformity of the electronic paper products, improves product yield, reduces productivity waste, and reduces cost, which plays an important role in 4 mask electronic paper products.

**Key words:** electronic paper; halftone mask; 2W2D; channel thickness; channel characteristics

## 1 引言

借鉴成熟的薄膜晶体管液晶显示(TFT-LCD)技术,新兴的电子纸行业也开始了飞速发展<sup>[1-4]</sup>,电子纸的 TFT 基板设计越来越注重精简工艺,以实现生产成本的降低。其中,最有效的精简方式是减少掩膜数量,于是发展了半色调掩膜工艺<sup>[5-7]</sup>,实现了由 5 次光刻减少为 4 次光刻工艺。半色调掩膜工艺是通过将 5 次光刻产品的有源半导体层和源漏极层光刻合二为一,通过一次曝光,形成有源半导体层和源漏极层两层的图形,除正常的完全曝光外,在 TFT 沟道处需进行部分曝光,留有部分光刻胶,以实现 TFT 沟道处  $n^+$  a-Si 的刻蚀。由于同时涉及金属层和非金属层的刻蚀,因此半色调掩膜后同时需要湿刻和干刻两道工序。

传统的半色调掩膜后的刻蚀工艺采用的是一次湿刻一次干刻(1W1D)工艺,其中干刻过程包括刻蚀 a-Si 形成 a-Si 图形<sup>[8-11]</sup>,灰化沟道处的光刻胶暴露沟道,刻蚀沟道处金属 Mo 和  $n^+$  a-Si 层。由于干刻过程刻蚀膜层多,刻蚀时间长,因此刻蚀均一性差,导致玻璃四周的沟道厚度过薄,影响 TFT 特性,损失良率。此外,采用 1W1D 的刻蚀方法对半色调掩膜光刻胶的厚度和均一性都有较高的要求,管控难度大,生产过程中经常出现未达管控标准返工重新进行曝光的情况,严重浪费了产能。

为了改善 1W1D 带来的问题,我们参考了非

电子纸产品的两次湿刻两次干刻(2W2D)的工艺方法。然而非电子纸的 2W2D 工艺会产生较长的 a-Si 拖尾,导致较大的寄生电容,对像素电压造成扰动,产生良率损失;此外,a-Si 残留和沟道特性问题也阻碍了电子纸良率的进一步提升。

因此,本文对非电子纸产品的 2W2D 工艺进行了改善,开发适合电子纸产品的 2W2D 工艺。通过降低两次湿刻时间,改善灰化条件,减小 a-Si 拖尾现象;建立 a-Si 处理工序,消除 a-Si 残留;调整 a-Si 成膜条件和钝化层成膜前处理条件,改善沟道特性,使其可以完全满足电子纸的特性要求。相比于 1W1D 方法,改善后的 2W2D 方法得到的沟道厚度均一性提升了 50%,阵列检测良率提升了 4%~10%;同时无需管控半色调掩膜光刻胶的均一性,仅满足光刻胶厚度的管控要求即可,使曝光返工比例降低 60%,有效地改善了电子纸产品的沟道特性与刻蚀均一性,提升了产品良率,减少了产能浪费,降低了成本,对 4 次光刻电子纸产品具有重要指导意义。

## 2 实验方法

图 1 为传统的 1W1D、非电子纸 2W2D 和本文提出的电子纸 2W2D 工序流程图。图中自下而上的膜层分别为玻璃基板,栅极金属层,栅绝缘层,a-Si 有源层, $n^+$  a-Si 层和源漏极金属层。传统的 1W1D 工艺流程为:在半色调掩膜曝光显影后,首先通过湿刻法刻蚀源漏极走线图案;再通过干刻法刻蚀 a-Si 形成 a-Si 图形,灰化沟道处的半

色调掩膜光刻胶暴露沟道,刻蚀沟道处金属 Mo 和  $n^+$  a-Si 层。非电子纸 2W2D 工艺流程为:首先通过第一次湿刻形成源漏极层走线图形;再通过第一次干刻进行 a-Si 层刻蚀,并灰化沟道处的光刻胶;然后通过第二次湿刻去除沟道处的金属;最后通过第二次干刻完成沟道处  $n^+$  a-Si 的刻蚀。

本文提出的电子纸 2W2D 工艺流程相比非电子纸 2W2D 工艺,主要变更在第一次干刻过程,增加 a-Si 处理步骤,改善 a-Si 残留问题。此外,参数方面降低了两次湿刻时间,变更灰化工艺条件,共同改善 a-Si 拖尾现象;调整了 a-Si 膜层的沉积条件和钝化层沉积前处理条件,改善沟道特性。

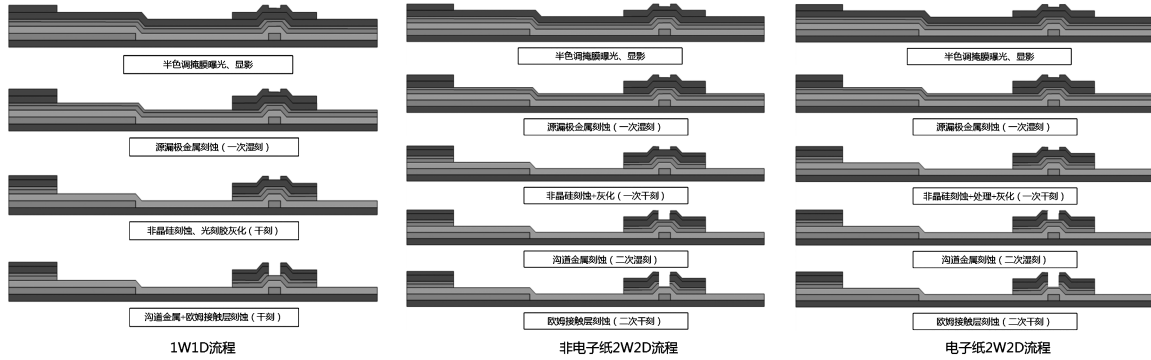


图 1 1W1D、非电子纸 2W2D 和电子纸 2W2D 刻蚀工序流程图。

Fig.1 Flowcharts of 1W1D, 2W2D for non-electronic paper and 2W2D for electronic paper.

### 3 电子纸 2W2D 工艺改善验证

#### 3.1 a-Si 拖尾现象改善

##### 3.1.1 a-Si 拖尾现象不良原因

在电子纸产品开发过程中,采用传统 1W1D 工艺的 a-Si 拖尾距离较长,长度约  $1.5 \mu\text{m}$ ,SEM 图如图 2 所示。而直接参考非电子纸 2W2D 方法,得到的图形 a-Si 拖尾比 1W1D 更大,长度约  $1.8 \mu\text{m}$ 。

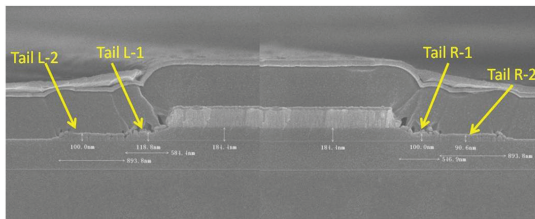


图 2 1W1D 的 a-Si 拖尾现象 SEM 图

Fig.2 SEM image of a-Si tail by 1W1D

由于 a-Si 拖尾区域下方无金属遮挡,当有光照时,该区域也会存在微弱的电荷传输,产生的作用等同于源漏极走线变宽,这时源漏极走线与像素之间的横向距离  $d$  减小,根据公式(1),源漏极走线与像素之间的寄生电容  $C_{pd}$  增大。

$$C_{pd} = \epsilon \times \epsilon_0 \frac{S}{d}, \quad (1)$$

根据公式(2),寄生电容增加会导致像素电压  $V_p$  降低,对像素电压造成扰动,产生产品良率损失。

$$V_p = V_D - (V_t - V_0) \times \frac{C_{pd}}{C_{st} + C_{pd}}. \quad (2)$$

##### 3.1.2 a-Si 拖尾现象改善方法

为改善 a-Si 拖尾现象,我们在保证源漏极金属无残留的情况下,降低两次湿刻时间,并改善灰化工艺条件,来减小 a-Si 拖尾长度。图 3 为 1W1D、非电子纸 2W2D 和本文提出的电子纸 2W2D 工艺 a-Si 拖尾现象形成机理图。

在 1W1D 工艺中,由于湿刻具有同向性,源漏极走线单边会较光刻胶内缩  $1.5 \mu\text{m}$  左右,而 a-Si 干刻具有异向性,因此 a-Si 与光刻胶的边缘相齐。经过灰化后,光刻胶的横向和纵向均有内缩,此时会露出部分 a-Si 边缘,经过沟道 Mo 和  $n^+$  a-Si 的干刻,露出的 a-Si 边缘上层部分被刻蚀,但底部仍有残余,而 a-Si 层较源漏极走线宽出的区域均为 a-Si 拖尾部分。非电子纸工艺之所以比 1W1D 的 a-Si 拖尾长度更长,是因为第二次湿刻过程源漏极走线进一步内缩。本文提出的改善措施主要有两方面,一是保证无金属残留情况下,尽可能降低两次湿刻时间,减小源漏极走线边缘内缩程度;另一方面是变更灰化工艺参数,配合光刻胶涂胶厚度趋势,提高胶厚处灰化速率,降低胶薄处灰化速率,减小光刻胶的横向内缩程度。

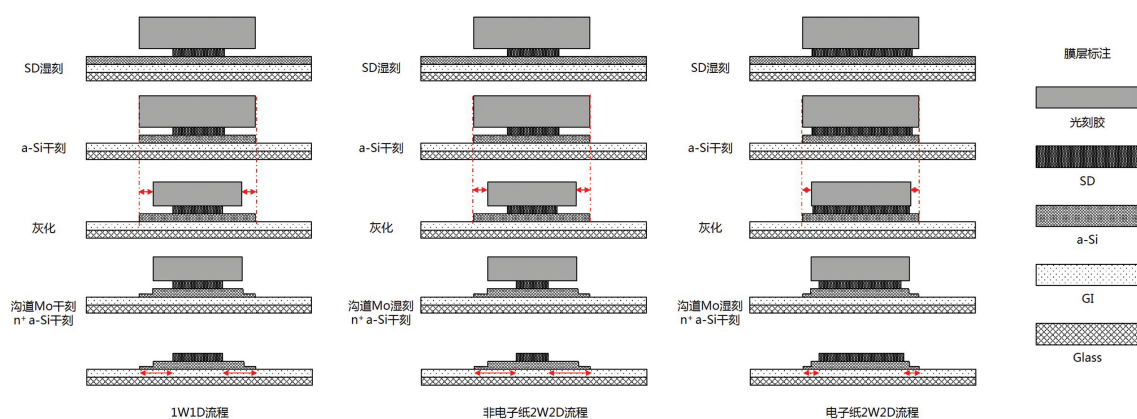


图3 1W1D、非电子纸的2W2D和电子纸的2W2D刻蚀工序的a-Si拖尾现象形成机理图。

Fig.3 Mechanism diagrams of a-Si tail by 1W1D, 2W2D for non-electronic paper and 2W2D for electronic paper.

根据测试结果,光刻胶的厚度等值线分布如图4所示,边缘的光刻胶偏厚,中心的光刻胶偏薄。

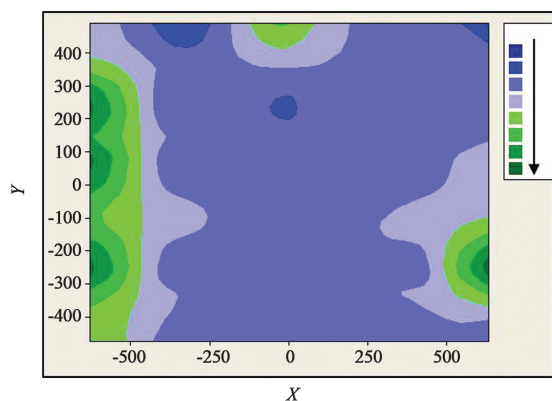


图4 光刻胶的厚度等值线分布图

Fig.4 Thickness contour map of photoresist

常规的灰化条件、灰化速率等值线分布如图5所示,灰化速率最快的位置靠近玻璃内部,导致玻璃内部的光刻胶横向内缩严重,a-Si拖尾偏长。

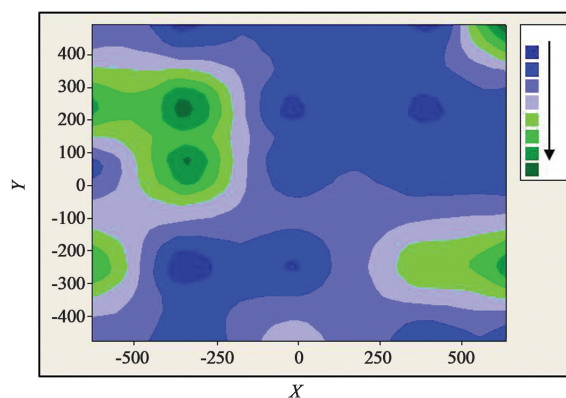


图5 常规灰化条件灰化速率等值线分布图

Fig.5 Ashing rate contour map of traditional ashing condition

因此,我们对灰化工序的功率、压强、 $\text{SF}_6$ 、 $\text{O}_2$ 气体流量开展了4因子2水平的实验设计,其中 $W_1 < W_2, P_1 < P_2, G_1 < G_2, G_1' < G_2'$ ,实验参数如表1所示,实验中对这8组条件不同位置的灰化速率进行了测试,测试结果的等值线分布如图6所示。

表1 灰化条件实验设计

Tab.1 Experiment design of ashing condition

| 条件 | 功率/W  | 压强/Pa | $\text{SF}_6 / (\text{cm}^3 \cdot \text{min}^{-1})$ | $\text{O}_2 / (\text{cm}^3 \cdot \text{min}^{-1})$ |
|----|-------|-------|-----------------------------------------------------|----------------------------------------------------|
| 1  | $W_1$ | $P_1$ | $G_1$                                               | $G_1'$                                             |
| 2  | $W_2$ | $P_1$ | $G_1$                                               | $G_2'$                                             |
| 3  | $W_1$ | $P_2$ | $G_1$                                               | $G_2'$                                             |
| 4  | $W_2$ | $P_2$ | $G_1$                                               | $G_1'$                                             |
| 5  | $W_1$ | $P_1$ | $G_2$                                               | $G_2'$                                             |
| 6  | $W_2$ | $P_1$ | $G_2$                                               | $G_1'$                                             |
| 7  | $W_1$ | $P_2$ | $G_2$                                               | $G_1'$                                             |
| 8  | $W_2$ | $P_2$ | $G_2$                                               | $G_2'$                                             |

结果表明,增加功率和压强,降低 $\text{SF}_6$ 和 $\text{O}_2$ 气体流量,灰化速率呈现边缘快内部慢的趋势,即条件4的灰化速率分布情况与光刻胶厚度分布情况最为接近,因此我们选用条件4(功率 $W_2$ 、压强 $P_2$ 、 $\text{SF}_6$ 流量 $G_1$ 、 $\text{O}_2$ 流量 $G_1'$ )为电子纸2W2D的灰化条件。

综合降低两次刻蚀时间和变更灰化条件改善方法,进行了a-Si拖尾长度的测试,电子纸2W2D

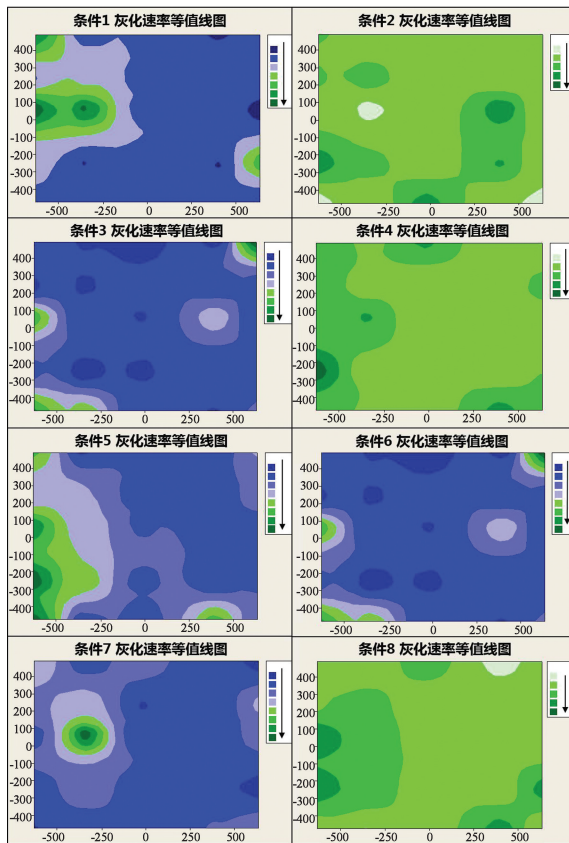


图 6 实验设计灰化速率等值线图

Fig.6 Ashing rate contour map of experimental design

工艺可使 a-Si 拖尾长度降低至  $0.5 \mu\text{m}$  左右, SEM 图如图 7 所示。

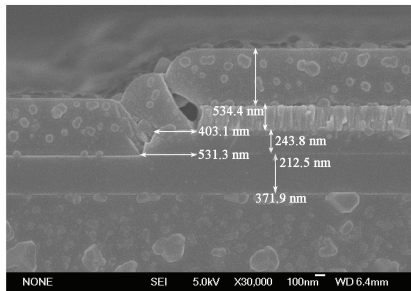


图 7 电子纸 2W2D 的 a-Si tail SEM 图

Fig.7 SEM image of 2W2D for electronic paper

3 种工艺的 a-Si 拖尾长度测试结果如图 8, 采用电子纸 2W2D 工艺的 a-Si 拖尾长度较 1W1D 和非电子纸 2W2D 分别减少 67% 和 72%, 因此, 电子纸的 2W2D 工艺对 a-Si 拖尾现象改善明显。

### 3.2 a-Si 残留改善

#### 3.2.1 a-Si 处理工序建立

尽管降低两次湿刻时间、变更灰化条件改善

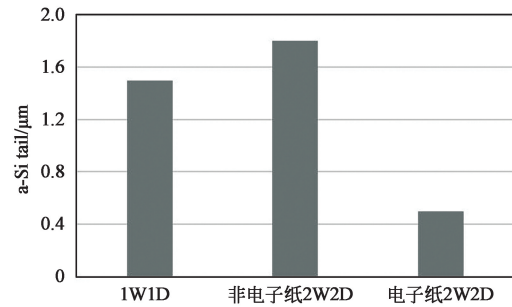


图 8 不同工艺 a-Si 拖尾长度测试结果

Fig.8 Results of a-Si tail length for different processes

了 a-Si 拖尾现象, 但是 TFT 基板沟道特性仍然存在问题, 漏电流 ( $I_{\text{off}}$ ) 异常偏大, 严重损害产品良率。无论是采用传统的 1W1D 工艺方法, 还是采用改善 a-Si 拖尾现象后的 2W2D 方法, 这种电子纸产品的  $I_{\text{off}}$  都无法满足正常标准。

这主要是由于与常规 LCD 显示产品相比, 电子纸产品的源漏极金属面积较大, 在半色调掩膜曝光后, 源漏极金属图形上方均覆盖有光刻胶, 因此光刻胶的面积较大, 在干刻刻蚀 a-Si 图形时, 刻蚀环境同时具有刻蚀光刻胶的能力, 因此光刻胶会分散 a-Si 刻蚀能力, 导致栅极金属边缘出现 a-Si 残留, SEM 图如图 9, 造成漏电流偏大, 无法维持正常像素电压。尽管增加 a-Si 刻蚀时间, a-Si 残留问题有部分改善, 但仍然无法彻底解决 a-Si 残留问题。

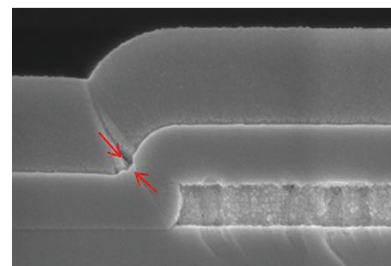


图 9 a-Si 残留 SEM 图

Fig.9 SEM image of a-Si residue

因此, 在 a-Si 刻蚀后我们增加了对残留 a-Si 的处理工序, 并对该工序的功率、压强、 $\text{SF}_6$ 、 $\text{O}_2$ 、He 气体流量开展了 5 因子 2 水平的实验设计, 其中  $W_3 < W_4$ ,  $P_3 < P_4$ ,  $G_3 < G_4$ ,  $G_3' < G_4'$ ,  $G_3'' < G_4''$ , 实验过程均采用相同的 a-Si 处理时间, 根据阵列检测良率测试反映该工序对残留 a-Si 的处理能力, 良率测试结果如表 2 所示。

表 2 a-Si 处理实验测试结果  
Tab.2 Results of a-Si experimental treatment

| 条件 | 功率/W           | 压强/Pa          | SF <sub>6</sub> /<br>(cm <sup>3</sup> · min <sup>-1</sup> ) | O <sub>2</sub> /<br>(cm <sup>3</sup> · min <sup>-1</sup> ) | He /<br>(cm <sup>3</sup> · min <sup>-1</sup> ) | 阵列检测<br>良率           |
|----|----------------|----------------|-------------------------------------------------------------|------------------------------------------------------------|------------------------------------------------|----------------------|
| 1  | W <sub>3</sub> | P <sub>3</sub> | G <sub>3</sub>                                              | G <sub>3</sub> '                                           | G <sub>4</sub> ''                              | 0.877Y <sub>1</sub>  |
| 2  | W <sub>4</sub> | P <sub>3</sub> | G <sub>3</sub>                                              | G <sub>3</sub> '                                           | G <sub>3</sub> ''                              | 0.930 Y <sub>1</sub> |
| 3  | W <sub>3</sub> | P <sub>4</sub> | G <sub>3</sub>                                              | G <sub>3</sub> '                                           | G <sub>3</sub> ''                              | 0.924 Y <sub>1</sub> |
| 4  | W <sub>4</sub> | P <sub>4</sub> | G <sub>3</sub>                                              | G <sub>3</sub> '                                           | G <sub>4</sub> ''                              | 0.899 Y <sub>1</sub> |
| 5  | W <sub>3</sub> | P <sub>3</sub> | G <sub>4</sub>                                              | G <sub>3</sub> '                                           | G <sub>3</sub> ''                              | 0.985 Y <sub>1</sub> |
| 6  | W <sub>4</sub> | P <sub>3</sub> | G <sub>4</sub>                                              | G <sub>3</sub> '                                           | G <sub>4</sub> ''                              | 0.962 Y <sub>1</sub> |
| 7  | W <sub>3</sub> | P <sub>4</sub> | G <sub>4</sub>                                              | G <sub>3</sub> '                                           | G <sub>4</sub> ''                              | 0.711 Y <sub>1</sub> |
| 8  | W <sub>4</sub> | P <sub>4</sub> | G <sub>4</sub>                                              | G <sub>3</sub> '                                           | G <sub>3</sub> ''                              | 0.949 Y <sub>1</sub> |
| 9  | W <sub>3</sub> | P <sub>3</sub> | G <sub>3</sub>                                              | G <sub>4</sub> '                                           | G <sub>3</sub> ''                              | 0.898 Y <sub>1</sub> |
| 10 | W <sub>4</sub> | P <sub>3</sub> | G <sub>3</sub>                                              | G <sub>4</sub> '                                           | G <sub>4</sub> ''                              | 0.952 Y <sub>1</sub> |
| 11 | W <sub>3</sub> | P <sub>4</sub> | G <sub>3</sub>                                              | G <sub>4</sub> '                                           | G <sub>4</sub> ''                              | 0.727 Y <sub>1</sub> |
| 12 | W <sub>4</sub> | P <sub>4</sub> | G <sub>3</sub>                                              | G <sub>4</sub> '                                           | G <sub>3</sub> ''                              | 0.939 Y <sub>1</sub> |
| 13 | W <sub>3</sub> | P <sub>3</sub> | G <sub>4</sub>                                              | G <sub>4</sub> '                                           | G <sub>4</sub> ''                              | 0.879 Y <sub>1</sub> |
| 14 | W <sub>4</sub> | P <sub>3</sub> | G <sub>4</sub>                                              | G <sub>4</sub> '                                           | G <sub>3</sub> ''                              | Y <sub>1</sub>       |
| 15 | W <sub>3</sub> | P <sub>4</sub> | G <sub>4</sub>                                              | G <sub>4</sub> '                                           | G <sub>3</sub> ''                              | 0.758 Y <sub>1</sub> |
| 16 | W <sub>4</sub> | P <sub>4</sub> | G <sub>4</sub>                                              | G <sub>4</sub> '                                           | G <sub>4</sub> ''                              | 0.947 Y <sub>1</sub> |

根据实验结果,功率增加,压强降低,SF<sub>6</sub> 流量增加,O<sub>2</sub> 流量增加,He 流量降低时,残留 a-Si 的处理能力更好,阵列检测良率更高。因此,我们采用功率 W<sub>4</sub>、压强 P<sub>3</sub>、SF<sub>6</sub> 流量 G<sub>4</sub>、O<sub>2</sub> 流量 G<sub>4</sub>'、He 流量 G<sub>3</sub>'',即条件 14,作为电子纸的 2W2D 工艺 a-Si 处理条件。经 SEM 测试证明,该条件刻蚀后无 a-Si 残留,SEM 结果如图 10 所示。与 a-Si 刻蚀条件相比,残留 a-Si 处理条件增加了压强,提升了 SF<sub>6</sub> 和 O<sub>2</sub> 气体流量,说明增加压强,提升 SF<sub>6</sub> 和 O<sub>2</sub> 的流量对残留 a-Si 处理能力更强。

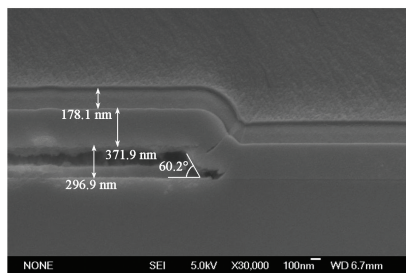


图 10 采用残留 a-Si 处理工序的 SEM 图  
Fig.10 SEM image using residual a-Si treatment

### 3.2.2 a-Si 刻蚀与残留 a-Si 处理时间优化

由于 a-Si 刻蚀与残留 a-Si 处理工序均是对 a-Si 层的刻蚀,如果刻蚀时间较短,会导致 a-Si 残留无法完全消除;而刻蚀时间较长,则会导致一定程度的栅绝缘层过刻,影响良率。因此,我们对 a-Si 刻蚀与残留 a-Si 处理时间进行了不同组合的实验验证,其中  $T_1 < T_2 < T_3 < T_4$ ,  $t_1 < t_2 < t_3$ , 并通过阵列检测良率测试来反映刻蚀条件的优化程度,结果如表 3 所示。

表 3 不同 a-Si 刻蚀时间的测试结果

Tab.3 Results of different etch time of a-Si

| 条件 | a-Si 刻蚀时间/s    | a-Si 处理时间/s    | 阵列检测良率               |
|----|----------------|----------------|----------------------|
| 1  | T <sub>4</sub> | 0              | 0                    |
| 2  | T <sub>1</sub> | t <sub>1</sub> | 0.961Y <sub>2</sub>  |
| 3  | T <sub>2</sub> | t <sub>1</sub> | 0.957 Y <sub>2</sub> |
| 4  | T <sub>3</sub> | t <sub>1</sub> | 0.992 Y <sub>2</sub> |
| 5  | T <sub>4</sub> | t <sub>1</sub> | 0.996 Y <sub>2</sub> |

续 表

| 条件 | a-Si 刻蚀时间/s | a-Si 处理时间/s | AT 良率       |
|----|-------------|-------------|-------------|
| 6  | $T_1$       | $t_2$       | $Y_2$       |
| 7  | $T_2$       | $t_2$       | 0.996 $Y_2$ |
| 8  | $T_3$       | $t_2$       | 0.987 $Y_2$ |
| 9  | $T_4$       | $t_2$       | 0.983 $Y_2$ |
| 10 | $T_1$       | $t_3$       | 0.979 $Y_2$ |
| 11 | $T_2$       | $t_3$       | 0.961 $Y_2$ |
| 12 | $T_3$       | $t_3$       | 0.953 $Y_2$ |
| 13 | $T_4$       | $t_3$       | 0.935 $Y_2$ |

当无残留 a-Si 处理过程时,即使 a-Si 刻蚀时间在可选范围内已达到最高,也存在 a-Si 残留,良率为 0。当增加 a-Si 处理过程后,随着 a-Si 处理时间的加长,阵列检测良率均呈现先增加后减小的趋势,a-Si 处理工序时间过长会导致栅绝缘层过刻,影响良率。实验结果显示,当 a-Si 刻蚀时间为  $T_1$ ,残留 a-Si 处理时间为  $t_2$ ,即条件 6,阵列检测良率最高。因此选用条件 6 为电子纸的 2W2D 刻蚀条件。

3.3 TFT 特性改善

为了进一步提升电子纸的良率,我们对产品的 TFT 特性进行了改善,即提升  $I_{on}$ ,降低  $I_{off}$ 。TFT 特性主要与 a-Si 膜层的膜质和背沟道的界面有关,因此,我们分别对 a-Si 成膜条件和钝化层前处理条件进行了改善与优化。

3.3.1 a-Si 成膜条件改善

不同的 a-Si 成膜条件会影响膜层的致密程度与缺陷程度,产生不同的电子迁移率,对沟道特性有着至关重要的影响。因此,本实验选用不同的 a-Si 成膜条件(条件 1 和条件 2)进行验证,采用相同的刻蚀条件,测试 TFT 特性和阵列检测良率,结果如表 4 所示。两种成膜条件的工作电流  $I_{on}$  水平接近,但条件 2 较条件 1 相比,暗态和光态的漏电流( $I_{off}$ )均降低 43%,阵列检测良率提升 4%。这主要是由于条件 2 的 a-Si 膜层较条件 1 的膜层相对疏松,更有利于消除 a-Si 残留,降低暗态和光照条件下的  $I_{off}$  特性,实现良率的进一步提升。

表 4 不同成膜条件的测试结果

Tab.4 Results of different film conditions

| 成膜条件 | 暗态 $I_{on}/\mu A$ | 暗态 $I_{off}/pA$ | 光态 $I_{off}/pA$ | 阵列检测良率     |
|------|-------------------|-----------------|-----------------|------------|
| 1    | $I_1$             | $I_1'$          | $I_1''$         | $Y_3$      |
| 2    | 0.94 $I_1$        | 0.57 $I_1'$     | 0.57 $I_1''$    | 1.04 $Y_3$ |

3.3.2 钝化层成膜前处理条件改善

产生漏电流( $I_{off}$ )的一个重要因素是 TFT 器件的背沟道效应,背沟道形成于 a-Si 和钝化层接触的界面,因此在钝化层成膜前需要对沟道的 a-Si 表面进行化学处理,以降低背沟道的导电能力,从而降低  $I_{off}$ ,提升良率。其中,钝化层前处理的功率是影响特性的主要参数,因此,本实验对钝化层成膜前处理的功率进行了实验验证( $W_5 < W_6 < W_7$ ),采用相同的 a-Si 成膜条件和刻蚀条件,得到的阵列检测良率测试结果如表 5 所示。

表 5 不同钝化层成膜前处理功率的测试结果

Tab.5 Results of different power before passivation deposition

| 条件 | 功率/W  | 暗态 $I_{off}/pA$ | 光态 $I_{off}/pA$ | 阵列检测良率     |
|----|-------|-----------------|-----------------|------------|
| 1  | $W_5$ | $I_2'$          | $I_2''$         | $Y_4$      |
| 2  | $W_6$ | 0.78 $I_2'$     | 0.71 $I_2''$    | 1.03 $Y_4$ |
| 3  | $W_7$ | 0.63 $I_2'$     | 0.59 $I_2''$    | 1.06 $Y_4$ |

增大钝化层前处理功率,暗态和光照条件下的  $I_{off}$  均有降低,其中  $W_7$  条件最佳,暗态和光照条件下的  $I_{off}$  分别降低 37%和 41%,阵列检测良率提升 6%。

3.4 均一性改善验证

我们选用最佳 a-Si 成膜条件 2;电子纸 2W2D 刻蚀条件,即降低两次湿刻时间并搭配灰化条件 4,a-Si 处理条件 14,a-Si 刻蚀时间条件 6;钝化层成膜前处理条件 3,对刻蚀后沟道厚度的均一性进行了验证,与增加了残留 a-Si 处理工艺的 1W1D 工艺对比,测试结果如表 6 所示。电子纸的 2W2D 工艺在无需管控半色调掩膜胶厚均一性的条件下,刻蚀后沟道均一性较传统 1W1D

提升50%,使曝光工序的返工发生率降低60%,减少了产能浪费,四周沟道过刻现象彻底改善,阵列检测良率得到了4%的提升。

表6 刻蚀均一性测试结果

Tab.6 Results of etching uniformity

| 条件   | 胶厚    | 胶厚均一性 | 返工发生率     | 沟道厚度  | 沟道均一性     | 阵列检测良率     |
|------|-------|-------|-----------|-------|-----------|------------|
| 1W1D | $H_1$ | 有要求   | $R_1$     | $H_2$ | $U_1$     | $Y_5$      |
| 2W2D | $H_1$ | 无要求   | 0.4 $R_1$ | $H_2$ | 0.5 $U_1$ | 1.04 $Y_5$ |

### 3.5 不同型号产品改善效果验证

我们选用最佳 a-Si 成膜条件 2; 电子纸 2W2D 刻蚀条件, 即降低两次湿刻时间并搭配灰化条件 4, a-Si 处理条件 14, a-Si 刻蚀时间条件 6; 钝化层成膜前处理条件 3, 对 3 款 4 次光刻电子纸产品进行了改善验证, 与增加残留 a-Si 处理工艺的 1W1D 刻蚀及其配套成膜条件的 TFT 特性与阵列检测良率进行对比, 结果如表 7 所示。两种刻蚀工艺相比, 电子纸的 2W2D 工艺对  $I_{on}$  特性略有提升, 对  $I_{off}$  特性降低明显, 使电子纸 TFT 特性得到了显著提升; 同时由于 2W2D 工艺对 a-Si 拖尾现象和刻蚀均一性改善明显, 使得阵列检测良率提升了 4%~10%, 这也进一步表明本文提出的电子纸 2W2D 工艺对 4 次光刻电子纸产品具有普适性, 且较单纯增加 a-Si 处理条件的 1W1D 方法均有明显的改善效果。

表7 1W1D与2W2D工艺结果对比

Tab.7 Comparisons of 1W1D and 2W2D results

| 产品 | 工艺   | 暗态 $I_{on}/\mu A$ | 暗态 $I_{off}/pA$ | 光照 $I_{off}/pA$ | 阵列检测良率     |
|----|------|-------------------|-----------------|-----------------|------------|
| 1  | 1W1D | $I_3$             | $I_3'$          | $I_3''$         | $Y_5$      |
| 1  | 2W2D | 1.28 $I_3$        | 0.35 $I_3'$     | 0.56 $I_3''$    | 1.04 $Y_5$ |
| 2  | 1W1D | $I_4$             | $I_4'$          | $I_4''$         | $Y_6$      |
| 2  | 2W2D | 1.05 $I_4$        | 0.59 $I_4'$     | 0.32 $I_4''$    | 1.10 $Y_6$ |
| 3  | 1W1D | $I_5$             | $I_5''$         | $I_5''$         | $Y_7$      |
| 3  | 2W2D | 1.10 $I_5$        | 0.74 $I_5'$     | 0.69 $I_5''$    | 1.10 $Y_7$ |

## 4 结 论

本文通过对非电子纸产品的 2W2D 工艺进行改善, 开发了适合电子纸产品的 2W2D 工艺。通过降低两次湿刻时间, 改善灰化条件, 使 a-Si 拖尾长度降低至 0.3  $\mu m$ ; 建立 a-Si 处理条件, 消除 a-Si 残留; 调整 a-Si 成膜条件和钝化层成膜前处理条件, 改善 TFT 特性, 最终得出电子纸的最佳 2W2D 工艺。相比于 1W1D 方法, 改善后的 2W2D 方法得到的沟道厚度均一性提升了 50%, 阵列检测良率提升了 4%~10%; 同时无需管控半色调掩膜光刻胶的均一性, 仅满足光刻胶厚度的管控要求即可, 使曝光返工比例降低 60%, 有效地改善了电子纸产品的沟道特性与刻蚀均一性, 提升了产品良率, 减少了产能浪费, 降低了成本, 对 4 次光刻电子纸产品具有重要指导意义。

## 参 考 文 献:

- [1] 杨澍, 荆海, 廖燕平, 等. 驱动电子墨水电子纸的柔性 TFT 背板制造技术 [J]. 液晶与显示, 2007, 22(2): 167-175.  
YANG S, JING H, LIAO Y P, et al. Flexible TFT backplane fabricating technologies for E-ink based electronic paper driving [J]. *Chinese Journal of Liquid Crystals and Displays*, 2007, 22(2): 167-175. (in Chinese)
- [2] 李文波, 徐征, 张卓, 等. 微胶囊电泳显示与 TFT-LCD 之比较分析 [J]. 液晶与显示, 2010, 25(4): 576-581.  
LI W B, XU Z, ZHANG Z, et al. Comparative analysis of microencapsulated electrophoretic display and traditional TFT-LCD display [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(4): 576-581. (in Chinese)
- [3] 刘皓月, 刘忠, 惠岚峰. 电子纸的研究进展及应用 [J]. 天津造纸, 2017, 39(4): 27-29.  
LIU H Y, LIU Z, HUI L F. Research progress and application of electronic paper [J]. *Tianjin Paper Making*, 2017, 39(4): 27-29. (in Chinese)
- [4] 葛雷雨. 基于 PDLC 材料的柔性电子纸显示器件的研究 [D]. 南京: 南京大学, 2018.  
GE L Y. Research on flexible electronic paper display devices based on PDLC materials [D]. Nanjing: Nanjing University, 2018. (in Chinese)
- [5] 马亮. 薄膜晶体管液晶显示器四次光刻工艺研究 [D]. 天津: 天津大学, 2010.

- MA L. *Research of TFT-LCD four mask process* [D]. Tianjin: Tianjin University, 2010. (in Chinese)
- [6] CHO A T, HSU J, ZHOU J, *et al.* Advanced halftone photolithography using four-mask process architecture for G8.6 TFT-LCDs [J]. *SID Symposium Digest of Technical Papers*, 2018, 49(1): 1471-1474.
- [7] GUO J, KIM K Y, RIM S M, *et al.* Analysis and experiment result of diffraction and interference phenomenon in halftone mask fine pattern forming process [J]. *Chinese Journal of Liquid Crystals and Displays*, 2008, 23(3): 327-333.
- [8] 霍晓迪, 陈兵, 李知勋, 等. 过孔的不同干法刻蚀工艺对 TFT-LCD 性能的影响研究 [J]. *液晶与显示*, 2016, 31(1): 58-61.
- HUO X D, CHEN B, LEE J H, *et al.* Influence of different dry etching process of contact hole on TFT-LCD performance [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(1): 58-61. (in Chinese)
- [9] 李田生, 谢振宇, 李婧, 等. 有源层刻蚀工艺优化对 TFT-LCD 品质的影响 [J]. *液晶与显示*, 2013, 28(5): 720-725.
- LI T S, XIE Z Y, LI J, *et al.* Effect of active layer etch conditions improvement on TFT-LCD quality [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(5): 720-725. (in Chinese)
- [10] 范学丽, 靖瑞宽, 王晏韶, 等. TFT-LCD 制造工艺中金属或金属复合膜层坡度角的研究 [J]. *液晶与显示*, 2018, 33(3): 208-212.
- FAN X L, JING R K, WANG Y M, *et al.* TFT-LCD manufacture technology metal or metal composite film layer profile [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(3): 208-212. (in Chinese)
- [11] 蒋会刚, 高建剑, 王晏韶, 等. RIE 模式干法刻蚀 ADS 产品铝腐蚀改善研究 [J]. *液晶与显示*, 2017, 32(7): 518-525.
- JIANG H G, GAO J J, WANG Y M, *et al.* Improvement of aluminum corrosion of ADS products by RIE etching mode dry etching [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(7): 518-525. (in Chinese)

#### 作者简介:



佟月(1993—),女,辽宁本溪人,硕士,2018年于清华大学获得硕士学位,主要从事 TFT-LCD 和电子纸工艺开发的相关工作。E-mail: tongy@boe.com.cn