

文章编号:1007-2780(2019)11-1055-06

薄膜晶体管平坦化层干法刻蚀工艺的研究

孙明剑^{1,2}, 董承远^{1*}, 林锡勳²

(1.上海交通大学 电子信息与电气工程学院, 上海 200240; 2.昆山龙腾光电有限公司, 江苏 昆山 215301)

摘要:为了降低薄膜晶体管的寄生电容,一种新型平坦化材料被引入。单独采用反应离子刻蚀(RIE)或增强电容耦合等离子刻蚀(ECCP)模式刻蚀该平坦化层均无法获得满意的工艺效果。为此,提出了将 RIE 和 ECCP 相结合的方法用于新型平坦化层的刻蚀。实验结果表明:当平坦化层厚度为 $2.0\ \mu\text{m}$ 时,先以 RIE 模式 $7\ \text{kW}/20\ \text{Pa}$ 条件刻蚀 $1.5\ \mu\text{m}$,再以 ECCP 模式 $5\ \text{kW}+4\ \text{kW}/8\ \text{Pa}$ 条件继续刻蚀平坦化层及其下方的氮化硅,刻蚀出的过孔图形表面光滑,氮化硅层无底切,平坦化层孔径均值 $6.12\ \mu\text{m}$ 。本研究结果为后续采用该平坦层材料的高分辨率、低功耗产品的设计和生打下了坚实基础。

关键词:薄膜晶体管;平坦化层;低介电常数;干法刻蚀

中图分类号: TN141.9 **文献标识码:** A **doi:** 10.3788/YJYXS20193411.1055

Dry etching for the planarization layer of thin film transistors

SUN Ming-jian^{1,2}, DONG Cheng-yuan^{1*}, LIN Shi-shiung²

(1. *School of Electronic and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China;*

2. *InfoVision Optoelectronics (Kunshan) Co., Ltd., Kunshan 215301, China*)

Abstract: In order to reduce the parasitic capacitances of thin film transistor (TFTs), a new type of planarization material was adopt. However, neither reactive ion etching (RIE) nor enhanced capacitive couple plasma (ECCP) could well etch this film. Accordingly, the combination of RIE and ECCP was proposed to improve the etching effects. When the thickness of planarization layer was $2.0\ \mu\text{m}$, we first etched $1.5\ \mu\text{m}$ of the planarization layer by RIE mode ($7\ \text{kW}/20\ \text{Pa}$), then etched the rest as well as the underneath silicon nitride film by ECCP mode ($5\ \text{kW}+4\ \text{kW}/8\ \text{Pa}$); the surface of via hole was smooth without undercut issue, and the via hole critical dimension (CD) was $6.12\ \mu\text{m}$. These results lay a solid foundation for the design and fabrication of the high-resolution and low-power products with this new planarization layers.

Key words: TFT; planarization layer; low-dielectric constant; dry etching

收稿日期:2019-05-10;修订日期:2019-09-01.

基金项目:国家自然科学基金(No.61474075)

Supported by National Natural Science Foundation of China (No.61474075)

* 通信联系人, E-mail: cydong@sjtu.edu.cn

1 引言

因为薄膜晶体管液晶显示器(TFT-LCD)具有制造技术成熟、良品率高、轻便以及价格相对低廉等优点,所以目前大部分的智能移动设备都使用其作为显示媒介。TFT-LCD 作为移动设备各元件中的耗电大户,如何降低其功耗以延长移动设备续航时间一直是制造商们的研究热点^[1]。其中一种常见的解决方法是在 TFT 架构中制作具有过孔(Via Hole)图案的平坦化层^[2],通过降低介质层的寄生电容来降低功耗。由于电容值正比于介电常数且反比于薄膜厚度,因此要求介质材料具有较低的介电常数^[3],同时尽可能增加其厚度。

国内外普遍使用的平坦化材料为感光型,其制程通常为:首先将材料涂覆在基板上,之后通过曝光和显影工艺制作出过孔图案,最后再进行高温烘烤固化^[4]。虽然上述制程简单、快速,但由于平坦化层厚度很大,而曝光显影工艺制作出的过孔断面倾斜角(Taper)较小,二者相加导致了过孔上方孔径成倍变大,降低了面板穿透率,减弱功耗改善效果。

与此不同,新型平坦化材料—PTS(Planarizing Thermally Stable Material,霍尼韦尔公司生产),是一种非感光的有机硅氧烷化合物,其在涂覆制程后直接进行高温烘烤固化,之后在其表面涂覆光阻,通过光刻和干刻工艺制作过孔。在干刻工艺中,通过调节等离子体(Plasma)状态,增加对材料的纵向刻蚀速率,可以将过孔倾斜角控制的更为理想,因此相较感光型材料,能够制作出孔径更小的过孔。

本文详细研究了 PTS 材料的干法刻蚀工艺,发现采用常规刻蚀方法无法制作出理想的过孔图形;为此,我们提出并验证了一种改进的干法刻蚀工艺,最终获得了良好的过孔刻蚀效果。

2 实验

2.1 样品结构

图 1 为本研究所采用的非晶硅(a-Si)TFT 器

件的截面示意图,其像素电极结构适用于边缘场开关技术^[5](Fringe Field Switching,FFS)。在工作状态下,像素电极(Pixel)接收数据线上的电信号,与共电极(Common)之间形成电场,控制上方液晶分子发生转向。由于形成电场及构成储存电容的结构为像素电极和共电极,因此加入平坦化层,将像素电极和共电极与 TFT、数据线(Data Line)以及开关线(Gate Line)之间隔开,能够减小像素的寄生电容值^[6]。

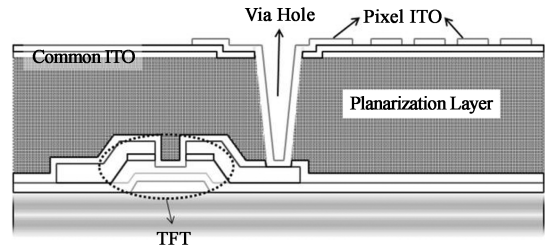


图 1 本研究采用的非晶硅 TFT 器件结构示意图

Fig.1 Schematic cross section of the a-Si TFTs used in this study

2.2 样品制备和测试

实验选用旭硝子公司生产的 5 代线玻璃基板,厚度 0.4 mm,尺寸 1 100 mm×1 300 mm。

(1)使用 AKT-15K PECVD 设备,在玻璃表面沉积氮化硅(SiN_x)薄膜,膜厚 300 nm;

(2)使用 DNS SK-1100G 设备,以狭缝刮涂(Slit Coating)方式在玻璃基板上涂覆 PTS 溶液,涂覆速度 40 mm/s,涂覆膜厚 2 μm ;之后进行预烘烤,条件为 110 $^\circ\text{C}$ /2min;

(3)使用 ESPEC HSC-VI Oven 设备进行固化,条件为 250 $^\circ\text{C}$ /60min;

(4)使用 DNS SK-1100G & Canon MPA7800 设备于 PTS 层上方制作出光阻图形;

(5)使用 TEL Dry Etcher 设备进行 PTS 层干法刻蚀。

实验分别研究了反应离子刻蚀(Reactive Ion Etching,RIE)^[7-8]和增强电容耦合等离子刻蚀(Enhanced Capacitive Couple Plasma,ECCP)^[9-10]模式对材料的刻蚀效果。RIE 模式刻蚀实验条件如表 1 所示,ECCP 模式刻蚀实验条件如表 2 所示。

表 1 RIE 模式实验条件

Tab.1 Processing conditions for RIE mode

实验 条件	Power/W	Pressure/Pa	Gas Flow Rate (SF ₆ : O ₂ : He)
A	3 000	8	500 : 500 : 500
B	4 000	8	
C	5 000	8	
D	5 000	20	
E	7 000	20	

表 2 ECCP 模式实验条件

Tab.2 Processing conditions for ECCP mode

实验 条件	Power (Source + Bias)/W	Pressure/ Pa	Gas Flow Rate (SF ₆ : O ₂ : He)
F	4 000 + 4 000	8	1 000 : 1 000 : 800
G	5 000 + 4 000	8	
H	5 000 + 4 000	20	
I	5 000 + 4 000	8	

(6)刻蚀速率测试。实验以单片玻璃基板为单位,刻蚀时间 30 s,刻蚀后每片玻璃基板均匀选取 9 个位置切片,通过扫描电子显微镜(SEM)测量被刻蚀掉的 PTS 层厚度,计算出各个条件对 PTS 层的纵向平均刻蚀速率,单位 nm/min。

(7)过孔形貌及孔径检测。通过断面 SEM 研究倾斜角和表面平滑度,采用线宽量测机测量孔径大小。

3 结果与讨论

3.1 刻蚀速率测试结果

图 2 为刻蚀速率的测试结果,其中 RIE 模式刻蚀速率最低 94.9 nm/min,最高 263.5 nm/min;ECCP 模式刻蚀速率最低 459.7 nm/min,最高 567.7 nm/min。

可以看出,在其他刻蚀工艺参数相同的情况下,功率越大,对 PTS 材料的刻蚀速率越大。进一步对比发现,ECCP 模式由于增加了低频偏置射频电源,能够调节等离子体状态,加强离子轰击,其对 PTS 材料的纵向刻蚀速率显著高于 RIE 模式。

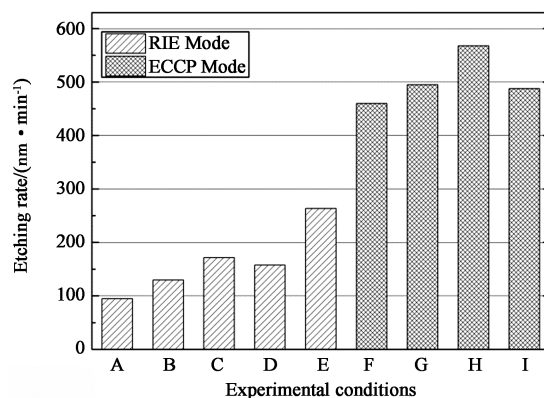


图 2 不同实验条件下的 PTS 刻蚀速率

Fig.2 Etching rates of PTS at different experimental conditions

3.2 过孔形貌观察

接下来我们选取了 RIE 和 ECCP 模式最大刻蚀速率条件,即条件 E 和 H,分别确认了对应过孔的表面形貌。

图 3(a)为 RIE 模式条件 E 的过孔 SEM 断面像,可以看出其过孔表面平滑,但是 PTS 层下方

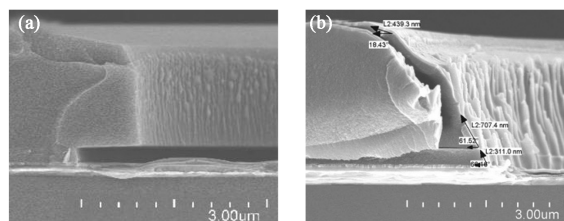


图 3 过孔 SEM 断面像。(a) 条件 E; (b) 条件 H。

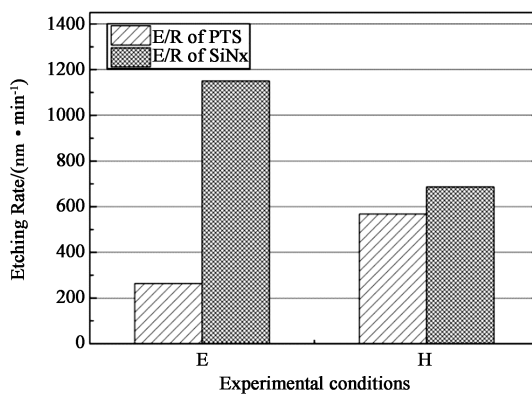
Fig.3 Cross sectional SEM photograph of via hole.
(a)Condition E; (b) Condition H.

图 4 不同刻蚀模式下 PTS 和 SiNx 刻蚀速率

Fig.4 Etching rates of PTS and SiNx for different etch modes

的 SiN_x 被过刻蚀,有严重的底切(Undercut)现象,后续会导致像素电极无法与漏电极形成导通。实测该条件下 PTS 和 SiN_x 层刻蚀速率差异过大(相差约 4.5 倍),如图 4 所示,这造成了上述现象。

图 3(b)为 ECCP 模式条件 H 的过孔 SEM 断面像,发现过孔出现严重表面沟壑现象,这是由于该 ECCP 模式 O_2/SF_6 比例较高,导致等离子体对光阻的刻蚀速率提升,加上 PTS 层较厚,所需刻蚀时间较长,光阻于过孔形成前被提前消耗光,过孔在失去光阻保护的情况下直接暴露在等离子体中,受到强离子轰击而出现沟壑。另外,实测该条件对 PTS 和 SiN_x 纵向刻蚀速率差异较小,如图 4 所示,加上干法刻蚀的横向刻蚀速率小于纵向刻蚀速率,因此 SiN_x 层没有出现底切。

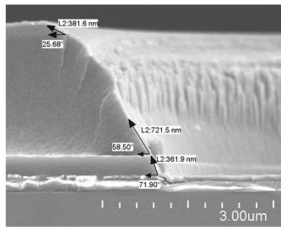


图 5 条件 I 过孔 SEM 断面像

Fig.5 Cross sectional SEM photograph at condition "I"

我们确认了条件 I 过孔 SEM 断面,条件 I 的 O_2 流量为条件 H 的一半;可以看出,在降低 O_2 流量后,得益于光阻消耗速度减慢,过孔表面沟壑现象得到一定改善,如图 5 所示,但其平滑程度依然无法保证后续像素电极能够良好覆盖。

3.3 刻蚀方式改进

分析上述实验结果我们发现,在对 PTS 刻蚀时 RIE 和 ECCP 刻蚀模式各有优点及不足,RIE 模式的优点:刻蚀出的过孔表面平滑;其缺点:对 PTS 和 SiN_x 刻蚀速率相差过大,有底切问题,不利于后续膜层覆盖。ECCP 模式的优点:对 PTS 和 SiN_x 刻蚀速率接近,无底切问题;其缺点:离子轰击过强,提前消耗掉光阻,过孔表面出现严重沟壑现象,不利于后续膜层覆盖。

出于优势互补的考虑,我们提出并尝试了一种 RIE 和 ECCP 相组合的刻蚀模式,同样使用 TEL Dry Etcher 设备。具体实施方法如下:

(1)采用 RIE 刻蚀模式,进行过孔的预开孔。选用条件 E 刻蚀 PTS 层,刻蚀深度 1.5 μm ;

(2)开启偏置电源,切换为 ECCP 刻蚀模式,选用条件 I 刻蚀剩余 PTS 层及 SiN_x 层。

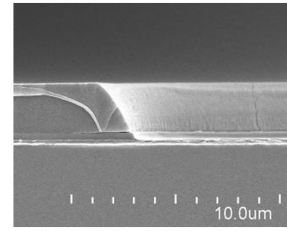


图 6 RIE 和 ECCP 组合模式过孔 SEM 断面像

Fig. 6 Cross sectional SEM photograph of RIE&ECCP combined mode

我们确认了此条件的过孔 SEM 断面,如图 6 所示。可以看到,由于首先采用了 RIE 刻蚀模式,过孔表面较平滑,之后因为在临近 PTS 层和 SiN_x 界面时切换成了 ECCP 模式,其对 PTS 和 SiN_x 刻蚀速率接近,且剩余膜层薄,刻蚀时间短,因此没有出现底切问题,同时也未造成过孔表面沟壑。

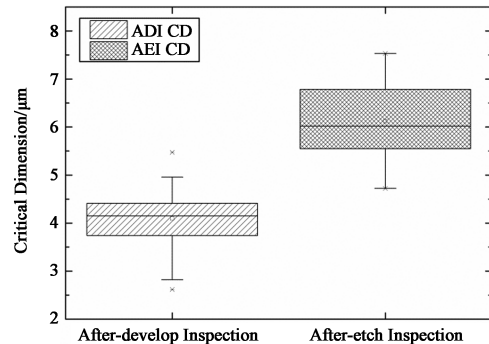


图 7 ADI 和 AEI 过孔直径的测试结果

Fig.7 Diameters of the via holes measured by ADI and AEI

我们确认了此刻蚀方法所获得的圆形过孔孔径。分别测量了刻蚀前的光阻图形孔径(ADI CD)和刻蚀后的 PTS 层图形孔径(AEI CD),使用设备为 Hitachi 线宽测量机,于玻璃基板上均匀选取 54 个点位进行测量。测量结果如图 7 所示,ADI CD 平均值为 4.09 μm ,AEI CD 平均值为 6.12 μm ,线宽变化量(CD Loss)为 2.03 μm 。

最后针对新旧两种平坦化材料的开孔效果进行了比对研究。首先,受材料本身性质及制程工艺特性影响,感光型平坦化材料的过孔倾斜角较小,约为 23° ,如图 8(a)所示。而得益于干刻工艺

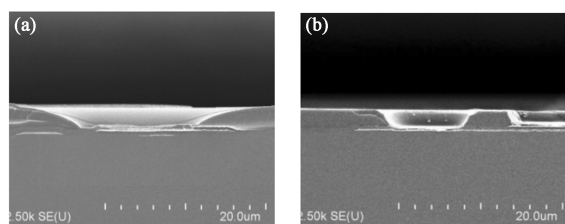


图 8 过孔 SEM 断面像。(a) 采用感光型平坦化材料；(b) 采用 PTS 材料。

Fig.8 Cross sectional SEM photograph of via hole.
(a) Planarization layer using photosensitive material; (b) Planarization layer using PTS.

对材料的纵向蚀刻速率更大,PTS 材料的过孔倾斜角相对陡峭,约为 50° ,如图 8(b)所示。又因为斜面电极与水平电极上方的液晶分子转向不能保持一致,所以斜坡部分不能用作液晶显示。这样,在相同膜厚和底部孔径下,应用感光型平坦化材

料的面板,其穿透率要小于应用 PTS 材料的面板。以本公司 35.6 cm(14 in)4K 分辨率($3\,840 \times 2\,160$ 像素)面板为例,经模拟计算,如应用感光型平坦化材料,过孔尺寸做到目前最优值,穿透率为 3.11%;如应用 PTS 材料,过孔底部孔径 $6\,\mu\text{m}$,穿透率可提升至 3.63%。

4 结 论

研究了一种新型平坦化层材料的干法刻蚀工艺。实验证明,采用传统刻蚀方式会出现过孔表面沟壑和底切问题。为此,提出了一种新的刻蚀方式,即采用先 RIE 后 ECCP 的组合刻蚀模式,有效提升了工艺效果,刻蚀出的孔径均值 $6.12\,\mu\text{m}$,能够有效提高面板穿透率,为后续采用该材料的高分辨率、低功耗 TFT-LCD 产品的设计和生 产打下了坚实基础。

参 考 文 献:

- [1] 刘莎,王丹,杨照坤,等.TFT-LCD 技术发展趋势浅析[J].液晶与显示,2018,33(6):457-463.
LIU S, WANG D, YANG Z K, *et al.* Key technology trends analysis of TFT-LCD [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(6): 457-463. (in Chinese)
- [2] CHANG T S, CHANG T C, LIU P T, *et al.* Improvement of hydrogenated amorphous-silicon TFT performances with low-*k* siloxane-based hydrogen silsesquioxane (HSQ) passivation layer [J]. *IEEE Electron Device Letters*, 2006, 27(11): 902-904.
- [3] 黄尧,刘之景.新型低介电常数材料研究进展[J].微纳电子技术,2003,40(9):11-14,18.
HUANG R, LIU Z J. Recent research and development of low dielectric constant materials [J]. *Micronanoelectronic Technology*, 2003, 40(9): 11-14, 18. (in Chinese)
- [4] TANABE A, HANMURA M, KATO H T, *et al.* Solution-processed photosensitive passivation layer for an a-Si TFT for LCDs with a low dielectric constant [J]. *IEICE Transactions on Electronics*, 2012, E95-C(11): 1737-1743.
- [5] LEE S H, LEE S L, KIM H Y. Electro-optic characteristics and switching principle of nematic liquid crystal cell controlled by fringe-field switching [J]. *Applied Physics Letters*, 1998, 73(20): 2881-2883.
- [6] 周伟峰,薛建设,明星,等.应用低介电材料丙烯酸酯树脂作为 TFT-LCD 的钝化层材料[J].液晶与显示,2011,26(1):19-22.
ZHOU W F, XUE J S, MING X, *et al.* Low dielectric acrylate resin as passivation layer on TFT-LCD [J]. *Chinese Journal of Liquid Crystals and Displays*, 2011, 26(1): 19-22.
- [7] 王晓光,朱晓明,尹延昭.等离子体刻蚀工艺的优化研究[J].中国新技术新产品,2010(14):22.
WANG X G, ZHU X M, YIN Y Z. Improvement research of plasma etch [J]. *China New Technologies and Products*, 2010(14): 22. (in Chinese)
- [8] 张锦,冯伯儒,杜春雷,等.反应离子刻蚀工艺因素研究[J].光电工程,1997,24(S1):46-51.
ZHANG J, FENG B R, DU C L, *et al.* Research on the technological factors for the reactive ion etching [J]. *Opto-Electronic Engineering*, 1997, 24(S1): 46-51. (in Chinese)
- [9] 戴忠玲,毛明,王友年.等离子体刻蚀工艺的物理基础[J].物理,2006,35(8):693-698.
DAI Z L, MAO M, WANG Y N. The physics of plasma etching [J]. *Physics*, 2006, 35(8): 693-698. (in Chinese)

- [10] 白金超,王静,赵磊,等.氮化硅的 ECCP 刻蚀特性研究[J].液晶与显示,2017,32(7):533-537.

BAI J C, WANG J, ZHAO L, *et al.* Etching characteristics of silicon nitride by ECCP [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(7): 533-537. (in Chinese)

作者简介:



孙明剑(1988—),男,辽宁本溪人,学士,工程师,2011年于南京理工大学获得学士学位,主要从事 TFT 新产品导入和新技术开发方面的工作。E-mail: sunmj1988@163.com



董承远(1971—),男,辽宁沈阳人,博士,副教授,2003年于上海交通大学获得博士学位,硕士生导师,主要从事薄膜电子器件与集成的研究。E-mail: cydong@sjtu.edu.cn