

文章编号:1007-2780(2019)07-0646-06

a-Si 剩余膜厚对 TFT 特性的影响

田茂坤*, 黄中浩, 谌 伟, 王 恺, 王思江, 王 瑞,
董晓楠, 赵永亮, 闵泰烨, 袁剑峰, 孙未来
(重庆京东方光电科技有限公司, 重庆 400700)

摘要: 本文通过电学特性测试设备在黑暗(Dark)和光照(Photo)两种测试环境下,研究了沟道不同 a-Si 剩余厚度对 TFT 电学特性的影响。通过调整刻蚀时间改变沟道内 a-Si 剩余厚度,找出电学特性稳定区域以及突变的临界点。实验结果表明:在黑暗(Dark)环境下 a-Si 剩余厚度在 30%~48%之间时,TFT 器件的电学特性比较稳定,波动较小;而剩余厚度少于 30%时,TFT 特性变差,工作电流变小,开启电压变大,电子迁移率变小;在光照环境下主要考虑漏电流的影响,在 a-Si 剩余厚度 43%以内时,光照 I_{off} 相对较低(小于 Spec 20 pA),同时变化趋势较缓;而剩余厚度大于 43%时,光照 I_{off} 增加 25%,同时变化趋势陡峭。综合黑暗和光照测试环境,在其他条件不变的情况下,a-Si 剩余厚度在 30%~43%之间时 TFT 的电学特性较好,同时相对稳定。

关键词: a-Si 剩余量;电学特性;工作电流;漏电流

中图分类号: TN27 **文献标识码:** A **doi:** 10.3788/YJYXS20193407.0646

Effect of thickness of a-Si remain on TFT characteristics

TIAN Mao-kun*, HUANG Zhong-hao, CHEN Wei, WANG Kai, WANG Si-jiang, WANG Rui,
DONG Xiao-nan, ZHAO Yong-liang, MIN Tai-ye, YUAN Jian-feng, SUN Lei-lai

(Chongqing BOE Optoelectronics Technology Co., LTD., Chongqing 400700, China)

Abstract: The effects of different a-Si remain thickness of channel on the electrical properties of TFT were studied under dark and photo test environments. The thickness of a-Si remain in channel was changed by adjusting the etching time. Furthermore, the stable region and the critical point of radical change of electrical were found through this experiment. The experimental results show that the electrical characteristics of TFT devices are relatively stable and fluctuate slightly when the thickness of a-Si remain is between 30% and 48% in dark environment. When the remaining thickness is less than 30%, the TFT characteristics become worse, I_{on} becomes smaller, V_{th} becomes larger, and the mobility decreases consequently. Unlike dark condition, I_{off} is the chief consideration under photo circumstance. When the thickness of a-Si remain is less than 43%, photo I_{off} is relatively low (less than spec 20 pA), and the trend of change is relatively slow. But when the residual thickness is more than 43%, photo I_{off} increases by 25%, and the trend of change is steep. In conclusion, when the thickness of a-Si remain is between 30% and 43%, the electrical characteristics of TFT are better and relatively

收稿日期:2018-12-25;修订日期:2019-04-25.

* 通信联系人, E-mail: tianmaokun@boe.com.cn

stable regardless of test conditions.

Key words: a-Si remain; electrical characteristics; I_{on} ; I_{off}

1 引言

当前主流显示技术主要为 TFT-LCD, AM-PLED, QLED 显示技术, 以及 Micro-LED 等多种新兴技术。这些新兴技术以超快响应、高亮度、高效率等优势吸引着人们的眼光, 但是这些新兴技术均存在各种技术难题等待解决。由此可见当前 TFT-LCD 在显示技术行业中, 因工艺成熟, 材料体系完整, 产品性能稳定等特点占有绝对优势地位。TFT 作为阵列的开关器件, 其良好的性能对 LCD 的显示质量存在重要的作用, 其中 TFT 特性作为衡量 TFT 器件的重要参数。Ibaraki, 宋跃等人认为 a-SiN_x:H/a-Si:H 异质结 a-Si:H TFT 的特征参数的界面效应与有源层的厚度相关^[1-2], 因此通过研究 TFT 沟道位置 a-Si 剩余厚度与 TFT 特性的关系来改善 LCD 的性能^[3]。本文将通过电学特性测试设备在黑暗(Dark)和光照(Photo)两种测试环境下对不同 a-Si 剩余厚度的 TFT 器件电学性能的测试, 得到开启电压 V_{th} 、工作电流 I_{on} 、漏电流 I_{off} 、迁移率 μ 与 a-Si 剩余厚度之间的关系, 这样可为工艺条件的改进提供依据。

2 实验

本实验利用重庆 BOE G8.5 代线生产平台, 使用 2 200 mm×2 500 mm Corning 玻璃作为实验基板, 玻璃厚度为 0.5 mm; 按照 6 Mask 工艺流程沉积各膜层结构, 使用 ECCP 模式离子刻蚀机, 腔室设定固定的压力、功率(Source/Bias)、SF₆&Cl₂ 气体流量刻蚀沟道 a-Si, 在其他条件不变的情况下, 通过改变刻蚀时间控制 a-Si 剩余厚度。

测试用玻璃 ID: TEST1:(刻蚀时间 52 s); TEST2:(刻蚀时间 48 s); TEST3:(刻蚀时间 44 s); TEST4:(刻蚀时间 40 s); TEST5:(刻蚀时间 37 s); TEST6:(刻蚀时间 34 s); TEST7:(刻蚀时间 31 s); TEST8:(刻蚀时间 28 s); TEST9:(刻蚀时间 24 s); TEST10:(刻蚀时间 20 s);

TEST11:(刻蚀时间 16 s); TEST12:(刻蚀时间 12 s)。

为了减少成膜和刻蚀的设备差异性对特性的影响, 本实验使用同一等离子增强化学气相沉积(PECVD)腔室进行成膜, 再使用同一 ECCP 设备腔室进行刻蚀, 然后用光学薄膜测厚仪(K-Mac)测试 a-Si 剩余量, 最后使用 EPM(electronic parameter measurement)测试设备测出对应 TFT 的特性: 开启电压 V_{th} 、工作电流 I_{on} 、漏电流 I_{off} 、迁移率 μ 以及 $I_{\text{d}}-V_{\text{g}}$ 曲线。

3 实验结果与讨论

3.1 黑暗(Dark)模式下特性测试结果

利用光学薄膜测厚仪(K-Mac)测试不同刻蚀时间下 a-Si 剩余量, 结果如表 1 所示。

表 1 刻蚀时间对应的 a-Si 剩余量

Tab.1 a-Si remain corresponding to etching time				
样品	刻蚀时间/s	Ave/nm	Max/nm	Min/nm
Test1	52	46.4	58.7	32.6
Test2	48	54.2	63.7	40.8
Test3	44	64.6	76.3	47.6
Test4	40	71.1	85.9	51.4
Test5	37	83.2	99.1	63.0
Test6	34	95.0	104.1	74.9
Test7	31	105.6	119.4	86.8
Test8	28	114.4	130.0	95.9
Test9	24	128.2	141.6	111.9
Test10	20	147.0	160.8	133.8
Test11	16	154.2	166.4	139.7
Test12	12	171.7	182.0	160.2

从表 1 可以看出经过干法刻蚀机台刻蚀以后, a-Si 剩余量在玻璃的不同位置存在差异性, 因而会造成 TFT 特性不同位置存在差异, 为了消除此影响, 表征 TFT 特性的数值均采用均值。

表 2 不同 a-Si 剩余膜厚对应的电学特性数据

Tab.2 Corresponding electrical characteristic date of different a-Si remain

样品	a-Si 剩余 膜厚/nm	a-Si/%	开启 电压/V	工作电流/ μA	漏电流/pA	迁移率/ $(\text{cm} \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	$I_{\text{on}}/I_{\text{off}}$
Test1	46.4	21	4.85	0.94	3.13	0.39	2.99E+05
Test2	54.2	25	1.58	1.26	3.66	0.52	3.44E+05
Test3	64.6	30	1.11	1.54	4.05	0.62	3.81E+05
Test4	71.1	33	1.04	1.57	4.14	0.63	3.79E+05
Test5	83.2	38	0.83	1.68	4.38	0.65	3.83E+05
Test6	95.0	43	0.76	1.69	4.34	0.64	3.89E+05
Test7	105.6	48	0.73	1.73	4.47	0.66	3.87E+05
Test8	114.4	51	0.62	1.75	4.96	0.66	3.54E+05
Test9	128.2	57	0.59	1.68	5.78	0.63	2.90E+05
Test10	147.0	63	0.60	1.82	5.55	0.68	3.28E+05
Test11	154.2	67	0.53	1.77	6.96	0.66	2.55E+05
Test12	171.7	73	0.72	1.86	7.42	0.72	2.51E+05

图 1 所示为非晶硅 TFT 源漏电流(I_{ds})与栅极电压(V_{g})的关系曲线。测试环境:常温黑暗环境;测试条件:源极和漏极电压 $V_{\text{ds}} = 15 \text{ V}$, 栅极电压 $V_{\text{g}} = -30 \sim 30 \text{ V}$ 之间, V_{g} 以最小值 0.2 V 递增变化, 因此测出源漏电流和栅极电压对应的 $I_{\text{d}}/V_{\text{g}}$ 曲线。

在栅极电压为 $+15 \text{ V}$ 时是开态, 栅极电压为 -8 V 时是关态。 V_{g} 从 -30 V 到 30 V 变化过程中, 对应的 I_{ds} 先降低, 在达到最低值后曲线明显上升, 然后趋于缓和。从图中可以看出, 随着 a-Si 剩余厚度的增加 I_{ds} 呈变大趋势。

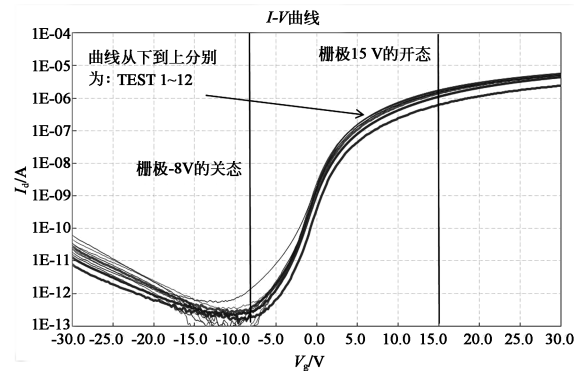
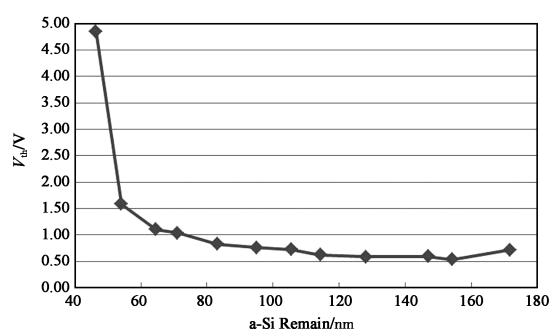


图 1 不同刻蚀时间对应的 $I-V$ 曲线

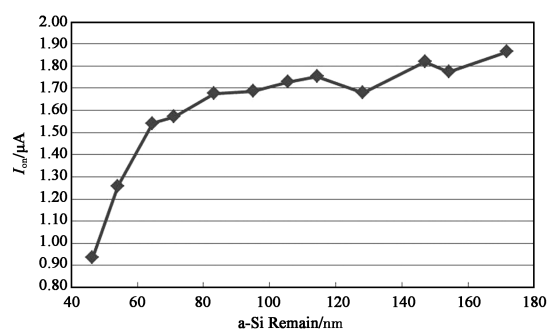
Fig.1 $I-V$ curve corresponding to different etching time

在 TFT 开关器件中, 为了提高和改善半导体层与源极、漏极的欧姆接触电阻需要增加 n^+ 非晶硅掺杂层, 即非晶硅层由三层结构组成: 低速沉积非晶硅(AL)、高速沉积非晶硅(AH)和掺杂 n^+ 非晶硅 ($\text{n}^+ \text{ a-Si}$), 分别按照 13.6% , 63.7% , 22.7% 的比例沉积而成。其中 $\text{n}^+ \text{ a-Si}$ 主要为了减少源极、漏极与半导体的肖特基势垒, 在沟道位置必须刻蚀掉, AL 结构致密, 是导电的主要通道, 不能进行刻蚀, 需要完整保留, AH 刻蚀量需要保证 $\text{n}^+ \text{ a-Si}$ 全部刻蚀, AL 不受影响, 因此实验选定 a-Si 剩余膜厚范围在 $20\% \sim 75\%$ 之间, 对应的 TFT 特性(开态、关态电流、开启电压、电子迁移率和开关电流比)的变化结果进行分析, 实验结果数据如表 2 所示, 变化趋势如图 2 所示。

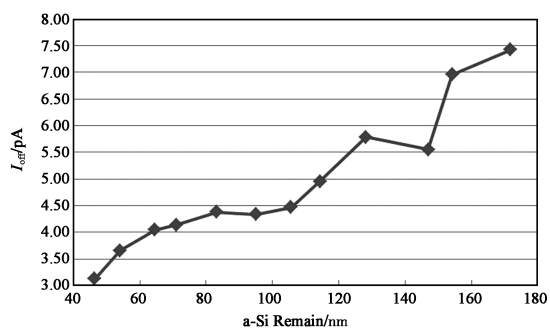
使漏极和源极导通的栅极电压为开启电压(V_{th})。如果 V_{th} 过高, 则不利于信号的加载。如图 2(a) 所示, 当 a-Si 剩余量偏低时 V_{th} 偏大, V_{th} 随着 a-Si 剩余量增加先降低然后趋于稳定。关于有源层厚度与开启电压的关系, 张少强等^[4]做了相关的解释: 当有源层偏厚时, 表面空间电荷层与背面空间电荷层发生交迭, 表面空间电荷层变为有效空间电荷层, 在有源层与钝化层的界面电势的作用下表面有效空间电荷将增加, 引起 TFT 的开启电压增加。



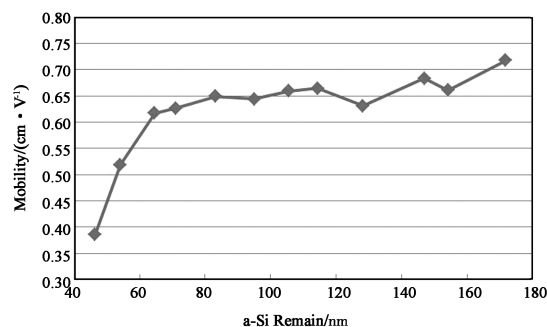
(a) a-Si 剩余量与阈值电压关系
(a) Relationship of a-Si remain and V_{th}



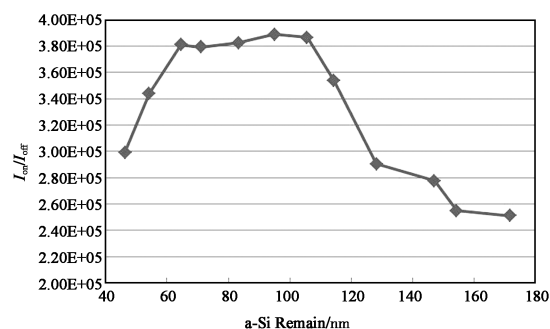
(b) a-Si 剩余量与工作电流 I_{on} 的关系
(b) Relationship of a-Si Remain and I_{on}



(c) a-Si 剩余量与漏电流 I_{off} 的关系
(c) Relationship of a-Si remain and I_{off}



(d) a-Si 剩余量与迁移率 μ 的关系
(d) Relationship of a-Si remain and mobility



(e) a-Si 剩余量与开关比 I_{on}/I_{off} 关系
(e) Relationship of a-Si remain and I_{on}/I_{off}

图 2 a-si 剩余膜厚与 TFT 特性关系图

Fig.2 Relationship of a-Si remain and TFT characteristic

选定 $V_g = 15$ V 时 TFT 在工作时对应的漏极电流为工作电流 (I_{on})。TFT 在处于开态的时间内要将液晶充至需要的电压,即 I_{on} 需要大于一定的值,经验公式为:

$$I_{on} \geq 6C_{pixel} V_{on} N_{row} / T_{frame}, \quad (1)$$

其中: C_{pixel} 为像素中所要充电的电容, V_{on} 为对液晶充电的电压, N_{row} 为水平扫描线数, T_{frame} 为画面更新时间, 6 为经验值。

如图 2(b) 所示, I_{on} 随着 a-Si 剩余量增加而逐渐增大。因为当有源层厚度较薄时,外加栅极电压,栅极绝缘层界面处的表面空间电荷层将扩展到有源层的背面,影响开态电流。

选定漏电流 (I_{off}) 为 $V_g = -8$ V 时的漏极电流。若漏电流过大会使 TFT 的电压保持特性降低。 I_{off} 需要小于一定值,经验公式为:

$$I_{off} \leq C_{pixel} V_{on} / (T_{frame} N_{gray} M), \quad (2)$$

其中 N_{gray} 为灰阶的数目, M 为经验值。

如图 2(c) 所示,漏电流 I_{off} 随着 a-Si 剩余量的增加而增加。因为有源层厚度增加,表面空间电荷层屏蔽了背面空间电荷的影响,使得沟道的体电阻减小,因此 I_{off} 增加。

载流子 (μ) 是在单位电压条件下的迁移速率。如图 2(d) 所示, μ 随着 a-Si 剩余量增加先增加后趋于稳定。因为有源层厚度偏低,表面空间电荷层与背面空间电荷层交迭程度增加,对背面空间电荷层的影响增大,迁移率降低。

为了实现高质量的显示,需要满足开关电流比:

$$I_{on}/I_{off} \geq 10^5, \quad (3)$$

如图 2(e) 所示,开关电流比随着 a-Si 剩余量膜厚

的增加先增大后稳定最后减少。

综上所述,在其他条件不变的情况下,a-Si 剩余量厚度在 65~105 nm 之间(即剩余厚度范围在 30%~48%之间)时,TFT 器件的电学特性比较稳定,波动较小;而剩余厚度少于 30%时,TFT 特性变差,工作电流变小、开启电压变大、电子迁移率变小、开关电流比较小;剩余膜厚大于 48%时,漏电流较大,开关电流比较小。因此沟道 a-Si 的剩余厚度与 TFT 特性密切相关^[5]。

3.2 光照(Photo)模式下特性测试结果

为了模拟 TFT 器件在实际工作中的环境,其中光照环境对 TFT 的漏电流影响较大,虽然为了减少光照的影响设计底栅结构阻挡来自背光源的光照,上方设计黑色矩阵(BM)抑制外界光照,但是光照对 TFT 漏电流还是存在影响,在这里主要分析光照模式下不同有源层厚度对漏电流的影响^[6]。测试环境:常温,光照 5 000 cd/m²。

如图 3 所示,TFT 半导体沟道在受到光照情况下形成光生载流子,即电子空穴对,电子向漏极方向移动,空穴向源极方向移动,从而形成空穴漏电流,因此光生载流子对 TFT 器件的漏电流影响是很明显的。

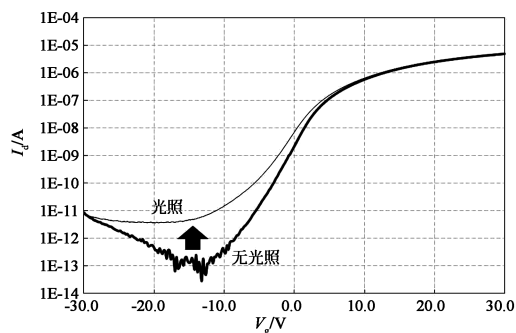


图 3 光生载流子对 TFT 开关电流的影响

Fig.3 Effect of photogenerated carriers on TFT switching current

参 考 文 献:

- [1] IBARAKI N, FUKUDA K, TAKATA H. The effect of interface states on amorphous-silicon transistors [J]. *IEEE Transactions on Electron Devices*, 1989, 36(12): 2971-2972.
- [2] 宋跃,邹雪城.a-Si TFT 亚阈特征参数与有源层的厚度效应[J].*固体电子学研究进展*, 2004, 24(1): 20-25.
SONG Y, ZOU X C. The subthreshold characterization parameter and active layer thickness effect over a-Si TFT [J]. *Research & Progress of SSE*, 2004, 24(1): 20-25. (in Chinese)
- [3] 李田生,谢振宇,李婧,等.有源层刻蚀工艺优化对 TFT-LCD 品质的影响[J].*液晶与显示*, 2013, 28(5): 720-725.
LIT S, XIE Z Y, LI J, *et al.* Effect of active layer etch conditions improvement on TFT-LCD quality [J]. *Chinese*

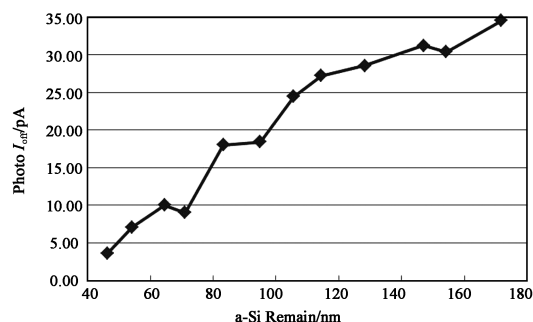


图 4 a-Si 剩余膜厚与光照 I_{off} 的关系

Fig.4 Relationship of a-Si remain and photo I_{off}

从图 4 a-Si 剩余膜厚与光照漏电流(Photo I_{off})的关系可以看出,随着 a-Si 剩余膜厚的增加光照 I_{off} 增大,在 a-Si 剩余量小于 95 nm 以内时,光照 I_{off} 较低,同时变化趋势较缓;大于 95 nm 时,光照 I_{off} 较大,同时变化趋势陡峭。从光照 I_{off} 考虑 a-Si 剩余膜厚需要控制在 95 nm 以内(a-Si 剩余膜厚 43%以内),在这区间光照 I_{off} 较小,同时变化趋势较缓。

4 结 论

沟道位置 a-Si 剩余厚度与 TFT 特性有着直接关系。a-Si 剩余厚度在 30%~43%范围内时,TFT 特性(黑暗和光照环境下)较好,变化趋势较缓,工作电流大,可以快速完成充电;漏电流(黑暗和光照测试环境)较小,可以提高 TFT 的电压保持特性;开启电压较小,有利于控制信号的加载;迁移率大,直接影响 TFT 的开关速度。a-Si 剩余厚度小于 30%时,TFT 特性较差,开启电压大、工作电流、迁移率小、开关电流比小;a-Si 剩余厚度大于 43%时,黑暗和光照漏电流偏大,会影响 TFT 器件的关闭。

Journal of Liquid Crystals and Displays, 2013, 28(5): 720-725. (in Chinese)

- [4] 张少强,徐重阳,邹雪城,等.薄有源层非晶硅薄膜晶体管特性的研究[J].电子学报,1997,25(2):53-56.

ZHANG S Q, XU C Y, ZOU X C, *et al.* The study of the characteristics of a-Si : H TFT with thin active layer structure [J]. *Acta Electronica Sinica*, 1997, 25(2): 53-56. (in Chinese)

- [5] 闫方亮,沈世妃,侯智,等.a-Si 厚度对 TFT 开关特性的影响[J].现代显示,2011,22(7):23-28.

YAN F L, SHEN S F, HOU Z, *et al.* Effect of a-silicon thickness on TFT characteristic [J]. *Advanced Display*, 2011, 22(7): 23-28. (in Chinese)

- [6] 马群刚.TFT-LCD 原理与设计[M].北京:电子工业出版社,2011.

MA Q G. *Principle and Design of TFT-LCD* [M]. Beijing: Publishing House of Electronics Industry, 2011. (in Chinese)

作者简介:



田茂坤(1986—),男,重庆黔江人,学士,2012 年与哈尔滨理工大学获得学士学位,主要从事 TFT 工艺技术的研究。E-mail: tianmaokun@boe.com.cn