

文章编号:1007-2780(2018)05-0405-07

周期分散刷新算法在 SDRAM 控制器中的应用

武春锋^{1,2}, 王志乾^{1*}, 刘绍锦¹, 刘玉生^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:针对 SDRAM 控制器的自动刷新指令控制方法, 提出了一种周期分散刷新算法。首先, 使用 Verilog HDL 编写 SDRAM 控制器。在读写过程, 根据 SDRAM 时钟频率和存储阵列行数, 确定连续读/写的次数 m/n 。连续 m/n 次读/写操作后, 控制器发出一次自动刷新指令。在非读写过程, 根据状态机长期处于空闲状态的特点, 控制器定时发出自动刷新请求, 从而周期地发出自动刷新指令。然后, 基于光电测量系统对算法进行验证。实验结果表明控制器周期、及时、准确地发出了自动刷新指令, 读写指令执行效率提高了 0.39%。该算法解决了自动刷新指令滞后的问题, 提高了读写指令执行效率, 具有良好的移植性。

关键词:周期分散刷新; SDRAM 控制器; 现场可编程门阵列; 状态机; 指令滞后; 指令执行效率

中图分类号: TP368.1 **文献标识码:** A **doi:** 10.3788/YJYXS20183305.0405

Application of periodic and distributed refresh algorithm in SDRAM controller

WU Chun-feng^{1,2}, WANG Zhi-qian^{1*}, LIU Shao-jin¹, LIU Yu-sheng^{1,2}(1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;*2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: Aiming at the control method of Auto_Refresh instruction in SDRAM controller, a periodic and distributed refresh algorithm is proposed. First, A SDRAM controller is compiled by Verilog HDL. In reading or writing process, m , n , the continuous times of reading or writing is confirmed by SDRAM clock frequency and the row number of L-BANK. An Auto_Refresh instruction is given after m reading or n writing instructions. Because FSM is almost always in the state of IDLE in the process after reading and writing, Auto_Refresh instruction is given periodically. Then, the Photoelectric Measurement System is used for experimental verification. The experimental results show that SDRAM controller can give Auto_Refresh periodically, timely and accurately, and the execution

收稿日期: 2017-12-27; 修订日期: 2018-02-01.

基金项目: 吉林省重点科技攻关项目 (No. 20170204050GX)

Supported by Key Science and Technology Foundation of Jilin Province, China (No. 20170204050GX)

* 通信联系人, E-mail: 15526647839@163.com

efficiency of reading and writing instructions is improved by 0.39%. This algorithm solves the problem of Auto_Refresh instruction lagged behind, improves the execution efficiency of reading and writing instructions, and has good portability.

Key words: periodic and distributed refresh; SDRAM controller; FPGA; finite state machine; instruction lagged behind; instruction execution efficiency

1 引言

同步动态随机存储器(Synchronous Dynamic Random Access Memory, SDRAM)已从最初的SDRAM发展到了DDR4 SDRAM。目前一颗DDR4芯片具有高达3 200 MT/s的数据读写速率^[1]。考虑到设计成本和内存控制器的复杂性,在满足带宽等条件下,SDRAM依然广泛应用于嵌入式系统^[2-4]。无论DDR4或SDRAM,其最小存储体DRAM是利用MOS管栅极电容存储电荷的原理存储数据的,需及时补充漏掉的电荷以避免存储信息的丢失,即需要不断地进行刷新,且存储阵列(L-BANK)同一行两次刷新的时间不超过64 ms^[5-6]。

分散刷新是指SDRAM控制器定时发出刷新请求(AR_req),若此时状态机未处于空闲(IDLE)状态,控制器就需要等待状态机转换到IDLE状态才发出自动刷新(Auto_Refresh)指令,即存在指令滞后问题^[7]。传统分散刷新方法通过减少AR_req的定时时间来消除Auto_Refresh指令滞后的影响。由于刷新指令相对密集,传统方法的读写指令执行效率较低。文献[8]提出了加入预充电(Precharge)指令的方法,控制器发出Auto_Refresh指令之前,先发出一个Precharge指令,使所有L-BANK处于IDLE状态,再执行Auto_Refresh命令。加入的指令降低了读写指令执行效率。文献[9]引入了指令仲裁机制,即状态机处于IDLE状态时,按照AR_req优先级最高,读写命令先到先服务的原则执行。该算法虽然提高了读写指令执行效率,但是仍然存在指令滞后问题。文献[10]提出读写操作后,控制器发出两次自动刷新指令的算法。该算法解决了指令滞后问题,但是读写效率可以进一步提高。

为了解决自动刷新指令滞后问题、提高读写指令执行效率,提出一种周期分散刷新算法。在读写过程,根据SDRAM时钟频率和L-BANK行

数,确定连续读/写的次数 m/n 。 m/n 次读/写操作后,控制器发出一次自动刷新指令。在非读写过程,控制器定时发出自动刷新请求,从而周期地发出自动刷新指令。

2 现有分散刷新原理

使用Verilog HDL编写的SDRAM控制器逻辑框图如图1所示,刷新控制模块产生刷新请求AR_req。

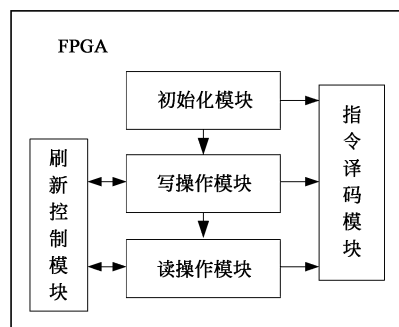


图1 SDRAM控制器逻辑框图

Fig.1 Block diagram of SDRAM controller

2.1 王氏分散刷新原理

国防科技大学王斌等学者提出了一种改进的分散刷新算法,状态转换如图2所示。AR_req的优先级高于读写。刷新计数器计时到定时时间,就发出AR_req,同时计数器立即清零,重新开始计时。若此时状态机FSM处于IDLE状态,则Auto_Refresh立即得到响应,AR_req清零。

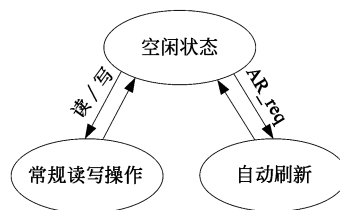


图2 王氏分散刷新状态转换图

Fig.2 Diagram of state-transition of Wang's distributed refresh

否则,AR_req 保持“1”,直到 FSM 转到 IDLE,刷新得到响应^[9]。

对于突发长度为 8(BL=8)的读和写操作过程,刷新响应最长滞后时间分别如式(1)、(2)所示(单位:时钟周期):

$$\text{Delay_R} = t_{\text{RCD}} + t_{\text{CL}} + 8 + t_{\text{RP}}, \quad (1)$$

$$\text{Delay_W} = t_{\text{RCD}} + 8 + t_{\text{RP}}, \quad (2)$$

其中: t_{RCD} 是行选通周期, t_{CL} 是 CAS 潜伏期, t_{RP} 是预充电周期,这些参数可以在 SDRAM 数据手册中获得。因为刷新控制模块发出 AR_req 时,FSM 能否处于 IDLE 状态存在随机性,故该算法存在自动刷新指令滞后问题。

2.2 董氏分散刷新原理

中科院空间科学中心董振兴等学者为保证连续读写过程满足刷新要求,将自动刷新分配到读写操作之后。董式算法流程如图 3 所示,读写结束后,状态机进入 IDLE 状态,然后执行两次连续的自动刷新操作,故该算法消除了指令滞后的影响,保证了 Auto-Refresh 指令及时得到响应^[10]。

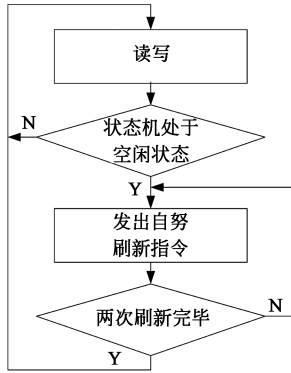


图 3 董氏分散刷新状态转换图

Fig.3 Flow diagram of Dong's distributed refresh

因为 DRAM 进行刷新的时候,所有 L-BANK 都停止工作,所有指令只能等待而无法执行,所以刷新操作影响到了 SDRAM 的读写效率^[11]。该算法读写后有两次刷新操作,故可以进一步提高其读写指令执行效率。

3 周期分散刷新算法

3.1 周期分散刷新算法概述

针对上述算法存在的自动刷新指令滞后、读写指令执行效率较低的问题,本文设计周期分散

刷新算法,流程如图 4 所示。按照式(3)、(4)确定连续读、写的次数 m 、 n 。其中 T_r/T_w 表示一次读/写操作占用的时钟数, T_0 表示 SDRAM 时钟周期(单位:ms)、 M 表示 L-BANK 的行数。按照式(5)确定非读写过程定时时间 T 。

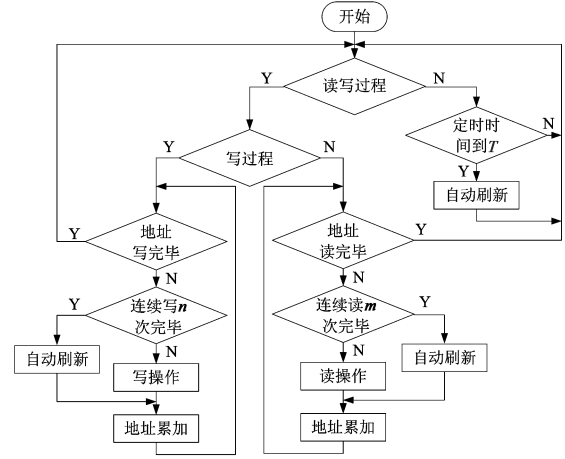


图 4 周期分散刷新算法流程

Fig.4 Flow diagram of periodic and distributed refresh

$$m = 64 / (M \times T_r \times T_0), \quad (3)$$

$$n = 64 / (M \times T_w \times T_0), \quad (4)$$

$$T = 64 / M, \quad (5)$$

在读写过程, m/n 次读/写操作后,控制器发出一次自动刷新指令,直到地址读写完毕。在非读写过程,控制器定时发出自动刷新请求,从而周期地发出自动刷新指令。可根据实际工程缓存数据的大小和 SDRAM 芯片属性,灵活调整图 4 中的地址、连续读/写次数 m/n 、定时时间 T 等参数。该算法具有良好的移植性。

3.2 读写过程

连续写过程状态转换如图 5 所示,当状态机处于 NOP 状态时,刷新控制模块计数器和地址累加器均递增。当状态机在 IDLE 状态时,判断是否连续写 n 次,若是,执行一次自动刷新。否则,等待写请求,继续写操作。连续读过程除了多出一个读取潜伏期(CL)外,其状态转换与连续写过程类似。

连续读写过程将自动刷新放置在 m/n 次读/写操作后,解决了自动刷新指令滞后问题。董氏分散刷新算法的读与刷新指令的比例为 $m : 2$,写与刷新指令的比例为 $n : 2$ 。周期分散式刷新算法将比例分别控制在 $m : 1$ 和 $n : 1$ 。因此,该算法提高了读写指令执行效率。

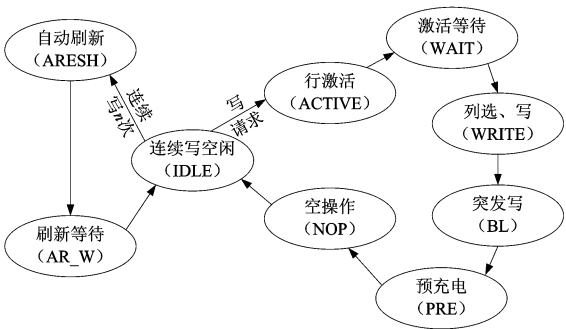


图 5 写过程状态转换图

Fig.5 Diagram of state-transition of writing process

3.3 非读写过程

非读写过程的状态转换如图 6 所示。刷新计数器计时 T , 刷新请求 AR_req 置为“1”, 同时计数器立即清零, 重新开始计时。若此时状态机处于 IDLE 状态, 则 $Auto_Refresh$ 立即得到响应。否则, 等待 FSM 转到 IDLE, 刷新得到响应。当 FSM 进入 AR_W 状态时, AR_req 清零。

在非读写过程, 状态机只在图 6 所示的 3 个状态间转换, 且大多数时间处于 IDLE 状态。当 AR_req 有效后, 最多等待 6 个时钟周期, $Auto_Refresh$ 得到响应。在读写过程, 状态机大多数时间处于读写状态, 传统分散式刷新算法的 AR_req 有效后, 最多要等待 $Delay_R$ 或 $Delay_W$ 个时钟周期, $Auto_Refresh$ 才能得到响应。因此, 在非读写过程, 周期分散刷新算法有效地解决了指令滞后问题。

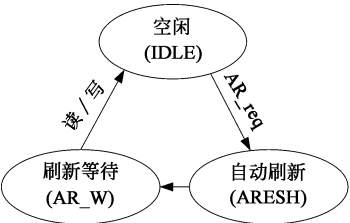


图 6 非读写过程状态转换图

Fig.6 Diagram of state-transition of non-reading and writing process

4 实验验证

将本文提出的周期分散刷新算法应用于图 7 所示的光电测量系统进行验证, CMOS 相机采集的图像的分辨率为 $2K \times 2K$, 一帧图像共 32 Mbit。SDRAM 选用三星 K4S641632H (K4S64), 时钟频率 100 MHz, 位宽 16 bit, 内部有 4 个 L-BANK, 每个 L-BANK 有 4 096 行, 256 列, 共 2^{22} 个地址单元, 存储容量 64 Mbit, 故一帧图像占用 K4S64 一半地址。在 SDRAM 控制器初始化模块, 将 SDRAM 设置为突发长度为 8 的读写模式, 即一次读写指令连续读写 8 个地址^[12]。因此, 将图 4 的地址设置为 2^{18} 。

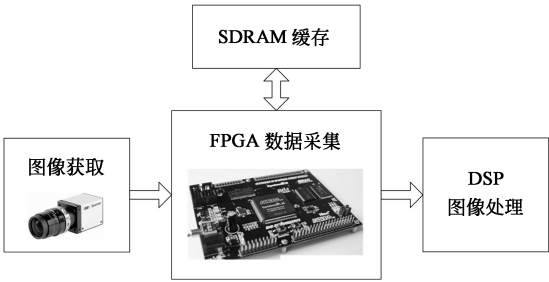


图 7 光电测量系统框图

Fig.7 Block diagram of photoelectric measurement system

编写的 SDRAM 控制器一次读操作占用的时钟数为 18, 一次写操作占用时钟数为 15。将 $M=4\ 096$ 、 $T_r=18$ 、 $T_w=15$ 、 $T_0=10\text{ ns}$ 分别带入式(3)、(4)和(5)得到连续读次数 $m=86.8$ 、连续写次数 $n=104.2$ 和非读写工作过程的定时时间 $T=15.6\ \mu\text{s}$ 。因为 64 ms 是 L-BANK 同一行的刷新周期上限, 取连续读次数 $m=85$, 连续写次数 $n=100$, 定时时间 $T=15\ \mu\text{s}$ 。即保留适当裕度, 保证刷新质量。

表 1 SDRAM 指令真值表

Tab.1 SDRAM instruction truth table

指令	CKE	CS_n	RAS_n	CAS_n	WE_n	BANK	A[10]	A[11,9-0]
模式寄存器设置	H	L	L	L	L	L	L	V
自动刷新	H	L	L	L	H	X	X	X
行激活	H	L	L	H	H	V	V	V
带有自动预充电的写	H	L	H	L	L	V	H	V

续 表

指令	CKE	CS_n	RAS_n	CAS_n	WE_n	BANK	A[10]	A[11,9-0]
带有自动预充电的读	H	L	H	L	H	V	H	V
无操作	H	L	H	H	H	X	X	X

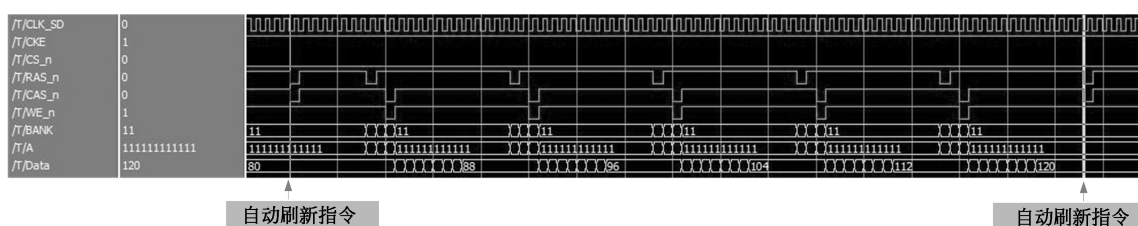
4.1 周期分散刷新算法实验验证

编写 SDRAM 控制器激励文件,搭建测试平台,使用 ModelSim-Altera 进行实验验证。表 1 是 SDRAM 部分指令真值表,这些指令是 CKE、CS_n、RAS_n、CAS_n、WE_n、BANK、A 等引脚信号高低电平的不同组合,当控制器发出自动刷新指令时,CKE、CS_n、RAS_n、CAS_n、WE_n 的组合为“10001”,BANK 和 A 为任意值均可。通过观测控制器发出的时序波形,来验证算法的合理性^[13]。

图 8 是应用周期分散刷新算法的时序图,为

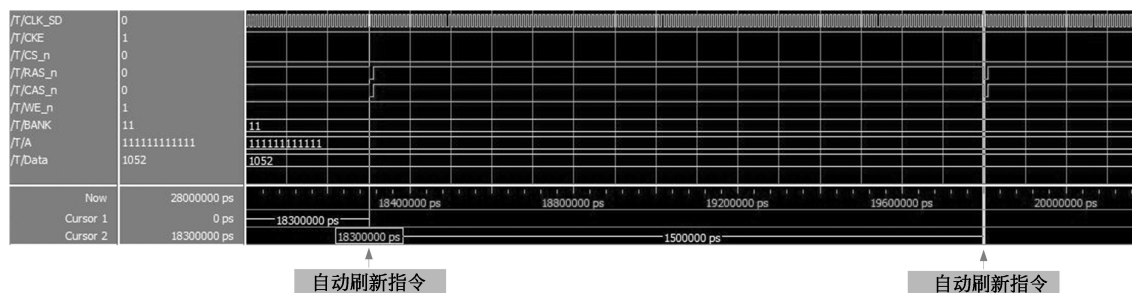
了便于观测时序波形,减少连续写的次数 n 至 5 次,减少定时时间 T 至 $1.5 \mu\text{s}$ 。从图(a)写过程时序可以看出,连续写 5 次后,控制器发出一次自动刷新指令(CKE、CS_n、RAS_n、CAS_n 和 WE_n 的译码输出为“10001”)。消除了自动刷新指令滞后问题,保证了自动刷新指令的实时性。从图(b)非读过程时序可以看出,在非读写过程,每隔 $1.5 \mu\text{s}$ 发出一次自动刷新指令。

图 8 的时序表明,SDRAM 控制器的自动刷新指令有了精确的发送时机。周期分散刷新算法解决了 Auto_Refresh 指令滞后问题。



(a) 写过程时序图

(a) Timing diagram of writing process



(b) 非读写过程时序图

(b) Timing diagram of non-reading and writing process

图 8 应用周期分散刷新算法的 SDRAM 控制器时序图

Fig.8 Timing diagram of periodic and distributed refresh algorithm used in SDRAM controller

4.2 各刷新算法对比

由以上分析可知,在读写过程,周期分散刷新算法通过将 Auto_Refresh 指令放置在 m/n 次读/写后,解决了指令滞后问题,保证了自动刷新指令及时得到响应。在非读写过程,利用状态机大多数时间处于空闲状态的特点,有效地解决了指令滞后问题。接下来,通过计算读写指令执行

效率,来评测本文算法。

$$\eta = T_{\text{wr}} / (T_{\text{wr}} + T_{\text{arf}}) \times 100\%, \quad (6)$$

可通过式(6)计算读写指令执行效率 η , T_{wr} 是单位时间内读写指令周期, T_{arf} 是单位时间内刷新指令周期。以图 7 的光电测量系统为例,董氏算法与本文算法的读操作均为 18 个时钟周期、写操作均为 15 个时钟周期、自动刷新指令均为 6 个时钟

周期。董氏算法每 85 次读操作后,连续执行两次自动刷新,故读指令执行效率为 99.22%。本文算法 85 次读操作后,执行一次自动刷新,故读指令执行效率为 99.61%,即读指令执行效率提高了 0.39%。董氏算法每 100 次写操作后,连续执行两次自动刷新,故写指令执行效率为 99.21%。本文算法 100 次写操作后,执行一次自动刷新,故写指令执行效率为 99.60%,即写指令执行效率提高了 0.39%。综合评测结果如表 2 所示。

表 2 各刷新算法比较

Tab.2 Comparison of all refresh algorithm

	指令滞后	读、写指令执行效率
王氏算法	存在,不可控	—
董氏算法	不存在,可控	99.22%、99.21%
本文算法	不存在,可控	99.61%、99.60%

5 结 论

本文结合传统分散刷新方法及相关学者的算法,提出周期分散刷新算法以控制 SDRAM 控制器自动刷新指令的发送时机。在读写过程中,连续 m/n 次读/写操作后,控制器发出一次自动刷新指令,解决了指令滞后问题,保证控制器及时、准确地发出自动刷新指令,读写指令执行效率提高了 0.39%。在非读写工作过程,根据状态机多数时间处于空闲状态的特点,定时发出刷新请求,从而周期地发出自动刷新指令。

实验结果表明,周期分散刷新算法保证了控制器周期、及时、准确地发出自动刷新指令,提高了控制器读写指令执行效率,具有良好的移植性。

参 考 文 献:

- [1] ISLAM A, ARAFATH Y, HASAN J. Design of DDR4 SDRAM controller [C]//*Proceedings of 2014 International Conference on Electrical and Computer Engineering*. Dhaka, Bangladesh: IEEE, 2014: 148-151.
- [2] 陈东成,胡敬营,吕卫国,等.基于 IP 核的多接口 LCD 控制器的设计及实现[J].液晶与显示,2017,32(2):117-123.
CHEN D C, HU J Y, LV W G, et al. Design and implementation of multi-interface LCD controller based on IP cores [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(2): 117-123. (in Chinese)
- [3] 夏巧桥,汪鼎文,张立国,等.高速多通道遥感相机快视系统的实现[J].光学精密工程,2013,21(1):158-166.
XIA Q Q, WANG D W, ZHANG L G, et al. Realization of fast-view system for high-speed multi-channel remote sensing camera [J]. *Optics and Precision Engineering*, 2013, 21(1): 158-166. (in Chinese)
- [4] 余辉龙,何昕,魏仲慧,等.应用 NAND 型闪存的高速大容量图像存储器[J].光学精密工程,2009,17(10): 2548-2554.
YU H L, HE X, WEI Z H, et al. High speed and high capacity image recorder based on NAND flash [J]. *Optics and Precision Engineering*, 2009, 17(10): 2548-2554. (in Chinese)
- [5] WANG Y, HAN Y H, WANG C, et al. Retention-aware DRAM Assembly and repair for future FGR memories [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2017, 36(5): 705-718.
- [6] 徐启明,张启衡,陈强.基于 DDR 模组阵列的超高速数字图像存储技术[J].光学精密工程,2009,17(1):231-235.
XU Q M, ZHANG Q H, CHEN Q. Ultra high-speed digital image storage technology based on DDR dual in-line memory module array [J]. *Optics and Precision Engineering*, 2009, 17(1): 231-235. (in Chinese)
- [7] 舒立.高性能 SDRAM 控制器设计及软硬件结合测试[D].成都:电子科技大学,2012.
SHU L. *Design of SDRAM controller and testing by the combination of hardware and software* [D]. Chengdu: University of Electronic Science and Technology of China, 2012. (in Chinese)
- [8] 韦喜波.DDR SDRAM 控制器的设计与验证[D].哈尔滨:哈尔滨工业大学,2009.
WEI X B. Design and verification of DDR SDRAM controller [D]. Harbin: Harbin Institute of Technology, 2009. (in Chinese)
- [9] 王斌,熊志辉,陈立栋,等.具有时间隐藏特性的数据块读写 SDRAM 控制器[J].计算机工程,2009,35(4):244-246.
WANG B, XIONG Z H, CHEN L D, et al. SDRAM controller with time-hiding feature for data block access [J].

- Computer Engineering*, 2009, 35(4): 244-246. (in Chinese)
- [10] 董振兴,朱岩,许志宏,等.星载存储器吞吐率瓶颈与高速并行缓存机制[J].哈尔滨工业大学学报,2017,49(11): 52-59.
DONG Z X, ZHU Y, XU Z H, *et al.* Bottleneck analysis of spaceborne memory throughput and high-speed parallel caching mechanism design [J]. *Journal of Harbin Institute of Technology*, 2017, 49(11): 52-59. (in Chinese)
- [11] 王明富,杨世洪,吴钦章.大面阵 CCD 图像实时显示系统的设计[J].光学 精密工程,2010,18(9):2053-2059.
WANG M F, YANG S H, WU Q Z. Design of large-array CCD real-time display system [J]. *Optics and Precision Engineering*, 2010, 18(9): 2053-2059. (in Chinese)
- [12] 马冬雪.基于 FPGA 的图像采集存储系统设计与实现[D].沈阳:东北大学,2010.
MA D X. Design and implementation of image acquisition and storage system based on FPGA [D]. Shenyang: Northeastern University, 2010. (in Chinese)
- [13] 罗杰.Verilog HDL 与 FPGA 数字系统设计[M].北京:机械工业出版社,2015.
LUO J. *Design of Verilog HDL and FPGA Digital System* [M]. Beijing: China Machine Press, 2015. (in Chinese)

作者简介:武春锋(1992—),男,河南许昌人,硕士,研究方向为 FPGA 数字系统设计。E-mail: 15526647839@163.com
王志乾(1969—),男,吉林省吉林市人,研究员,博士生导师,研究方向为光电测量、数字信号处理。E-mail: zhiqian_wang@sina.com