

文章编号:1007-2780(2018)01-0061-06

基于 FT600 的 USB3.0 接口设计

陈 涛^{1,2}, 赵金字^{1*}, 贾建禄¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:为了简化相机调试系统,降低调试成本,设计了基于 FTDI 公司的 FT600 芯片的 USB3.0 接口。首先,对 Camera Link 接口相机调试的复杂性和 USB3.0 接口调试的优势做了简要介绍,接着,对整个接口的硬件电路设计过程进行了说明,根据相应的数据手册,完成了对 FT600 芯片外围电路及控制芯片,现场可编程门阵列(FPGA)外围电路的设计。最后,用 Verilog 硬件描述语言(Verilog HDL)对 FPGA 内部完成编程,并通过 FTDI 公司提供的上位机程序对所设计的接口进行了测试。测试结果表明,该 USB3.0 接口电路能够通过上位机软件对工作模式进行设置,并能以 200 MB/s 左右的速率对数据进行传输。能够满足相机调试时的需求,达到简化调试系统的目的。

关键词: USB3.0; FPGA; FT600

中图分类号: TN911.73 **文献标识码:** A **doi:** 10.3788/YJYXS20183301.0061

Design of USB3.0 interface based on FT600

CHEN Tao^{1,2}, ZHAO Jin-yu^{1*}, JIA Jian-lu¹

(1. *Changchun Institute of Optics, Fine Mechanics and Physics,*
Chinese Academy of Sciences, Changchun 130033, China;

2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: In order to simplify the system for camera testing and reduce the cost, an USB3.0 interface based on FT600 of FTDI Company is designed. First, a brief introduction of the complexity for testing the camera with Camera link interface and the advantage for using USB3.0 interface is presented. Then an explanation for circuit design of the interface is showed, and according to the datasheet, the circuit design of the FT600 and the FPGA is accomplished. Finally, the FPGA is programmed by using the Verilog HDL and the USB3.0 interface is tested by using the software provided by the FTDI. Experimental results indicate that the work mode of the USB3.0 interface can be configured according to software, and the interface can transfer the data at 200 Mbyte/s. It can satisfy the camera test requirements and simplify the system for testing.

Key words: USB3.0; FPGA; FT600

收稿日期:2017-07-18; 修订日期:2017-09-26.

基金项目:国家自然科学基金资助项目(No.11603024)

Supported by National Natural Science Foundation of China(No.11603024)

* 通信联系人, E-mail: zhaojy@ciomp.ac.cn

1 引言

目前相机的主流接口为 Camera Link 接口和 USB3.0 接口,在 Camera Link 相机的使用过程中,需要配备专业的图像采集卡、专业 Camera Link 电缆和携带 PCIE 卡槽的 PC。这导致相机调试系统变得复杂、体积庞大、成本高昂且相应的组件选择有限。而 USB3.0 以其布线经济、安装简单、高达 500MB/s 的带宽、可支持热插拔、与更多计算平台之间存在兼容性等特点备受用户喜爱^[1]。

通过调研,我们发现目前的 USB3.0 接口的设计都是基于 CYPRESS 公司的 CYUSB3014 芯片完成的,CYUSB3014 芯片由于内部集成了 ARM9 内核,虽然功能较为全面,但也造成了整体结构较为复杂,后期的开发难度高的缺点,同时 CYUSB3014 芯片采用 BGA 封装,布线难度高,在 PCB(Printed Circuit Board,印刷电路板)布线阶段会增加很多过孔,降低信号质量^[2-4]。本设计采用 FTDI 公司的 FT600 芯片作为 USB3.0 与 FIFO 的桥接芯片,在性能上能够满足绝大部分应用场合的需求。且该芯片采用 QFN-56 封装,在 PCB 布线阶段不会增加过孔数量,在保持信号质量的同时,能够显著降低布线难度。本文采用 FT600 芯片,以 Xilinx 公司的 Virtex5 系列现场可编程门阵列(Field-Programmable Gate Array, FPGA)作为主控芯片,实现了 USB3.0 接口的设计。测试表明该设计具有良好的传输性能,同时该设计后续能够进行扩展,实现对 Camera Link 等接口的转换,达到简化相机调试系统的目的。

2 硬件电路设计

本系统采用 Xilinx 公司的 Virtex5 系列 FPGA 作为主控芯片,对 FT600 芯片进行控制,实现与 PC 之间的通信。本系统的硬件电路主要分为 FT600 芯片外围电路设计和 FPGA 控制电路设计两部分。

2.1 USB3.0 接口电路

USB 3.0 也被称为 Super-Speed USB,是新一代“即插即用”通用串行总线规范,它以 USB 2.0 的优势为基础,同时也纠正了其弱点^[5]。当使用 Bulk 端点传送方法时,USB 3.0 可提供约

400 MB/s 的有效可用带宽,大约是 USB 2.0 的 10 倍,是 IEEE 1394b(FireWire-b)带宽的 5 倍。USB 3.0 还能够为所连接的设备提供更大的供电能力:900 mA(USB 2.0 为 500 mA),可实现在没有外接电源的情况下操作许多设备。同时,电源管理也得到了改善。USB 3.0 允许设备从不同的待机模式转入挂起模式,从而节省大量能源。

本设计中采用的 USB3.0 接口控制芯片为 FTDI(Future Technology Devices International Ltd)公司的 FT600 芯片。这款芯片是 USB3.0 与 FIFO 的桥接芯片,内置 16 Kb FIFO 数据缓存 RAM,兼容 USB3.0 和 USB2.0 接口,同时支持两种并行从 FIFO 总线通信协议:“多通道 FIFO”总线协议和“245 同步 FIFO”总线协议,具有 16 位并行 FIFO 总线接口,能够满足绝大部分的应用需求。FT600 芯片结构示意图如图 1 所示,整个 USB3.0 接口电路原理图如图 2 所示^[6]。

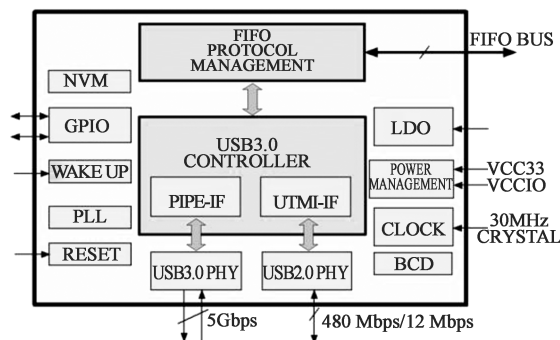


图 1 FT600 芯片结构示意图

Fig.1 Block diagram of FT600

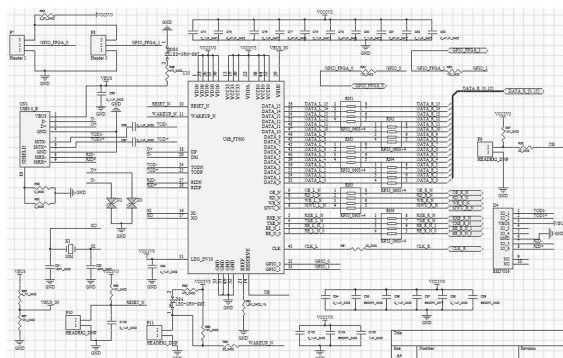


图 2 FT600 外围电路原理图

Fig.2 Schematic of FT600

2.2 FPGA 控制电路

作为本系统的主控芯片,本设计中采用了

Xilinx 公司的 Virtex5 系列的 XC5VLX30T 芯片,该芯片采用 FF323 封装,提供 172 个用户可编程 I/O,共 6 个 bank,完全满足系统需要^[7]。FPGA 为其他芯片提供了数据缓存中转以及控制驱动信号,使得系统可以仅由 FPGA 及其配置芯片、USB3.0 控制芯片等几个主要芯片以及一些供电电路组成,极大地简化了板级电路设计。FPGA 控制电路部分主要包括 FPGA 配置电路和电源电路。

2.2.1 配置电路

由于 FPGA 大多采用 SRAM 工艺,断电之后所有内部的数据都无法保存,如果每次上电都重新从电脑上烧写程序势必会带来很大的不便,因此需要为 FPGA 专门配备一个用来装载程序的非易失性存储器,以便在系统上电时能快速向 FPGA 导入配置比特流。本设计将 Xilinx 公司的 XCF16P 与 FPGA 搭配使用,该芯片采用 1.8 V 供电,最大可存储 16 Mbit 程序,与 FPGA 之间可以实现高达 33 MHz 的串行或并行配置^[8-10]。

本设计采用最常用的主串模式和 JTAG 模式相结合,调试阶段通过 JTAG 在线配置 FPGA,调试完成后以主串模式将配置比特流下载到 XCF16P 中,实现系统的脱机工作。

2.2.2 电源电路

FPGA 芯片工作时需要提供内核电压 V_{ccint} 、辅助电压 V_{ccaux} 以及输出驱动电压 V_{cco} 。具体到本设计所选的 Virtex-5 系列芯片,内核电压为 +1.0 V,辅助电压为 +2.5 V, V_{cco} 则根据各 bank 所连接的电平标准而各不相同^[11-12]。由于 USB3.0 接口芯片 FT600 内部集成了 LDO 1.0V 稳压器,且该芯片 I/O 模块的供电电压支持 +1.8/+2.5/+3.3 V 三种电平,为了方便,统一选取 +3.3 V 为 V_{cco} 和 FT600 芯片供电^[6]。另一方面,PROM 芯片 XCF16P 需要 1.8 V 的供电电压。因此,还需要提供 +1.8 V 电压,为 XCF16P 芯片进行供电。

3 系统软件设计

整个系统的数据传输过程如图 3 所示。

PC 端经过 USB3.0 接口传入 FIFO 的数据存储在 FIFO RX 缓存区中,通过 FPGA 发送 RD_N 命令,从缓存区中读出这些数据;通过 FPGA 发送 WR_N 命令写入 FIFO 的数据存储在 FIFO

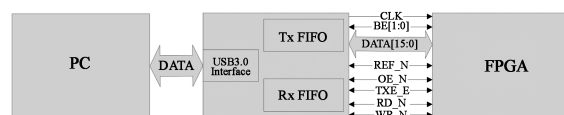


图3 数据传输过程示意图

Fig.3 Block diagram of data transfer

TX 缓存区中,PC 端通过发送数据请求信号,从缓存区中读出数据。在 245 同步 FIFO 模式下,RX FIFO 和 TX FIFO 的大小均为 $4\text{ KB} \times 2$ 。在数据传输过程中,CLK 信号是输出到 FPGA 控制器的并行 FIFO 时钟输出信号,其频率可以配置成 66 MHz 或 100 MHz;RXF_N 信号是接收 FIFO 满输出信号,该信号表示接收 FIFO 至少有 1 字节能够被读出,当该信号为 0 时,只能对 FIFO 进行读操作;同理,TXE_N 信号是发送 FIFO 空输出信号,该信号表示发送 FIFO 至少还有 1 字节的空间能够被写入,当该信号为 0 时,只能对 FIFO 进行写操作。BE[1:0]是并行 FIFO 总线字节使能信号,高电平有效,信号 OE_N 引脚是数据输出使能信号,低电平有效。

FPGA 逻辑设计主要包括 I/O 控制模块、有限状态机模块、单口 RAM 控制模块。

I/O 控制模块实现外部端口与内部模块之间信号的连接,同时控制双向 IO 口,DATA 和 BE 的方向;有限状态机模块控制 FPGA 内部 SRAM (主 FIFO)的所有操作,实现其与 FT600 芯片内部 FIFO(从 FIFO)的数据传输过程;FIFO 控制模块控制内部 FIFO 的读写操作; $8\text{ K} \times 16$ SRAM 为单端口 SRAM,通过调用 Xilinx ISE IP 核生成,大小为 8K,读写的数据宽度都为 16 位。

I/O 控制模块主要实现外部端口与内部模块之间信号的连接,功能较为简单,在此不作详述。我们重点讨论有限状态机模块和 SRAM 模块的设计。

3.1 有限状态机模块

有限状态机模块主要实现 SRAM 读写状态的转换,其状态转换过程如图 4 所示。

在状态转换过程中,RXF_N 和 TXE_N 信号是从 FIFO 的输入信号,用来指示 FT600 芯片中从 FIFO 的状态,RXF_N 信号是接收 FIFO 满输出信号,该信号表示接收 FIFO 至少有 1 字节能够被读出,当该信号为 0 时,只能对接收 FIFO 进行读操作;同理,TXE_N 信号是发送 FIFO 空输

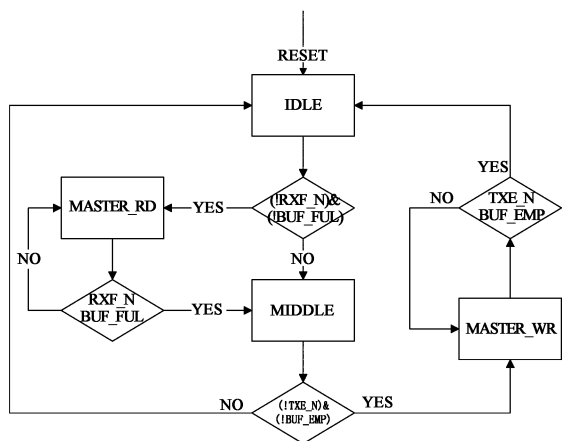


图 4 有限状态机状态转换示意图

Fig.4 Block diagram of FSM(Finite state machine)

出信号,该信号表示发送 FIFO 至少还有 1 字节的空间能够被写入,当该信号为 0 时,只能对发送 FIFO 进行写操作。BUF_FUL 和 BUF_EMP 信号是 FPGA 内部 SRAM 的状态指示信号,当 BUF_FUL 信号为 1 时,表示内部 SRAM 满,同理,BUF_EMP 为 1 时,表示内部 SRMA 状态为空。

系统复位时,状态机处于 IDLE 状态,此时,若 RXF_N 信号为 0,且 BUF_FUL 信号也为 0 时,FPGA 将对 FT600 芯片的接收 FIFO 进行读操作,状态机转入 MASTER_RD 状态。在 MASTER_RD 状态下,倘若满足 RXF_N 为 1,或 BUF_FUL 为 1,状态机将转入 MIDDLE 状态,否则继续停留在 MASTER_RD 状态,继续对接收 FIFO 进行读操作;当状态机处于 MIDDLE 状态时,需要对 TXE_N 信号和 BUF_EMP 信号的状态进行判断,倘若 TXE_N 信号为 0 且 BUF_EMP 信号也为 0 时,状态机将进入 MASTER_WR 状态,对 FT600 芯片的发送 FIFO 进行写操作。否则状态机将跳转至 IDLE 状态;在 MASTER_WR 状态下,将对 TXE_N 信号和 BUF_EMP 信号的状态进行检测,如果 TXE_N 为 1 或者 BUF_EMP 信号为 1,则状态机的状态回到 IDLE 状态,否则保持在 MASTER_WR 状态,继续对发送 FIFO 进行写操作。

3.2 单口 RAM 控制模块

内嵌的块 RAM 是 FPGA 内部的重要资源,它使得 FPGA 的使用更加方便,应用更加广泛。本系统采用 Xilinx Virtex5 系列的 XC5VLX30T-

FFG323 芯片,内部有 1 296 Kb 的块 RAM 容量,这些块 RAM 的访问速度快,不占用额外的逻辑资源。可利用 FPGA 开发工具通过配置实现单口或双口 RAM、ROM、FIFO 等。本系统采用单口 RAM。

根据系统的需要,单口 RAM 读写的数据宽度都设为 16 位,深度为 8 192,大小为 16 KB。利用单口 RAM 可以实现数据在 FPGA 内部的缓存,方便外部设备通过 USB3.0 接口与 PC 进行数据交换。

4 测试过程

利用 Xilinx 公司的 ISE 集成开发环境,对编写的 FPGA 控制代码进行综合、实现之后,我们能够生成比特流文件,利用 ISE 自带的 iMPACT 调试工具,通过 JTAG 接口,将比特流文件烧入 FPGA,完成对 FPGA 的编程工作^[13]。

通过 USB3.0 连接线将电路与 PC 相连,通过 FTDI 公司的 FT60X Chip Configuration Programmer 软件对 FT600 芯片进行配置。图 5 是对 FT600 芯片进行配置的图片,图中可以看出,能够对芯片的 FIFO 时钟、通道数量以及工作模式进行设置,以使其满足不同的传输需求。本设计中设置 FIFO 时钟为 100 MHz,工作模式为 245 模式,通道数量为 1^[14]。

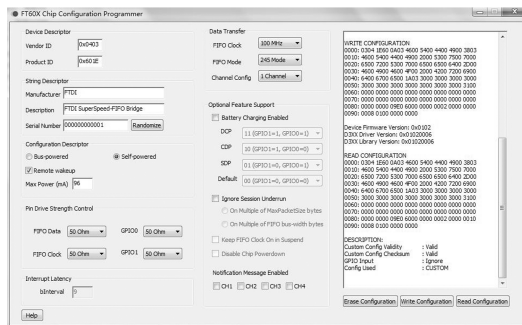


图 5 芯片配置示意图

Fig.5 Block diagram of configuration of FT600

在完成对芯片的配置之后,通过 FTDI 公司提供的上位机程序示例,对所设计的电路性能进行了测试^[15]。图 6 是进行压力测试的结果。

从图中可以看出,将需要传输的字节长度设为随机值,系统能够有效地完成这些随机长度的数据的发送和接收任务。并且由于每个时钟周

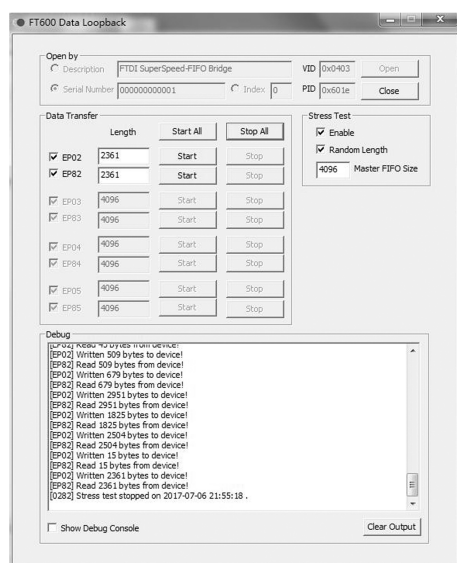


图 6 压力测试结果图

Fig.6 Result of stress test

期,传输的数据位数为 16 位,即 2 Byte,数据传输时钟频率为 100 MHz,因此能够计算出系统的数据传输速度约为 200 MB/s,能够满足大多数场合的数据传输任务。

5 结 论

测试表明,基于 FT600 芯片所设计的 USB3.0 接口电路能够按照需求进行相应的配置,并能以 200 MB/s 左右的速度对数据进行传输,能够满足大多数场合的数据传输任务。同时 FPGA 芯片具有高灵活性、快速的定制性、较强的通用性和扩展性,有利于后续进行相应的功能扩展,在需要时能够完成对其他接口,如 Camera Link 等的转换,使其转换为更加通用常见的 USB3.0 接口,达到简化调试系统的目的。

参 考 文 献:

- [1] Dominik Lappenküper. USB 3.0 可以替代 Camera Link-转换相机接口的主要因素[EB/OL]. (2016-12) [2017-06-05]. <https://www.baslerweb.com/cn/support/downloads/document-downloads/white-paper-usb3-0-instead-of-camera-link/>.
Dominik Lappenküper. USB 3.0 as an alternative to camera link-key factors when switching camera interfaces [EB/OL]. (2016-12) [2017-06-05]. <https://www.baslerweb.com/cn/support/downloads/document-downloads/white-paper-usb3-0-instead-of-camera-link/>. (in Chinese)
- [2] 赵慧洁,刘小康,张颖. 声光可调谐滤波成像光谱仪的 CCD 成像电子学系统[J]. 光学 精密工程, 2013, 21(5): 1291-1296.
ZHAO H J, LIU X K, ZHANG Y. CCD imaging electrical system of AOTF imaging spectrometer [J]. *Optics and Precision Engineering*, 2013, 21(5): 1291-1296. (in Chinese)
- [3] 贾建禄,王建立,郭爽,等. 基于 Camera Link 的高速图像采集处理器[J]. 液晶与显示, 2010, 25(6): 914-918.
JIA J L, WANG J L, GUO S, et al. High speed image grabber and processor based on camera link [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(6): 914-918. (in Chinese)
- [4] 余达,郭永飞,周怀得,等. 面阵 CCD KAI-0340DM 高速相机的设计[J]. 光学 精密工程, 2011, 19(11): 2791-2799.
YU D, GUO Y F, ZHOU H D, et al. Design of high speed camera system with area-CCD KAI-0340DM [J]. *Optics and Precision Engineering*, 2011, 19(11): 2791-2799. (in Chinese)
- [5] 韩力,王世赞,王军,等. 多传感器动态参数实时采集与存储方法研究[J]. 液晶与显示, 2017, 32(5): 372-379.
HAN L, WANG S Z, WANG J, et al. Real-time collection and storage of multi-sensor dynamic parameters [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(5): 372-379. (in Chinese)
- [6] FTDI. DS_FT600Q-FT601Q IC Datasheet (Version 1.04) [EB/OL]. (2016-10-17) [2017-06-05]. http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT600Q-FT601Q%20IC%20Datasheet.pdf.
- [7] Xilinx. DS100-Virtex-5 family overview (ver 5.1) [EB/OL]. (2015-08-21) [2017-06-05]. https://www.xilinx.com/support/documentation/data_sheets/ds100.pdf.
- [8] Xilinx. UG191-Virtex-5 FPGA configuration user guide (ver3.12) [EB/OL]. (2017-05-08) [2017-06-05]. https://www.xilinx.com/support/documentation/user_guides/ug191.pdf.
- [9] Xilinx. UG161-Platform flash Prom User Guide (Ver1.5) [EB/OL]. (2009-10-26) [2017-06-05]. https://www.xilinx.com/support/documentation/user_guides/ug161.pdf.

xilinx.com/support/documentation/user_guides/ug161.pdf.

- [10] Xilinx. DS123-Platform flash in-system programmable configuration PROMs data sheet (ver2.19) [EB/OL]. (2016-06-06) [2017-06-05]. https://www.xilinx.com/support/documentation/data_sheets/ds123.pdf.
- [11] Xilinx. DS202-Virtex-5 FPGA data sheet; DC and switching characteristics (ver5.5) [EB/OL]. (2016-06-17) [2017-06-05]. https://www.xilinx.com/support/documentation/data_sheets/ds202.pdf.
- [12] Xilinx. UG195-Virtex-5 FPGApackaging and pinout specification (ver4.8.1) [EB/OL]. (2012-06-14) [2017-06-05]. https://www.xilinx.com/support/documentation/user_guides/ug195.pdf.
- [13] Xilinx. AN_376 Xilinx FPGA FIFO master programming guide (Version 1.0) [EB/OL]. (2015-09-03) [2017-06-05]. http://www.ftdichip.com/Support/Documents/AppNotes/AN_376%20Xilinx%20FPGA%20FIFO%20master%20Programming%20Guide.pdf.
- [14] FTDI. AN_370 FT600 configuration programmer user guide (Version1.3) [EB/OL]. (2016-07-07) [2017-06-05]. http://www.ftdichip.com/Support/Documents/AppNotes/AN_370%20FT600%20Configuration%20Programmer%20User%20Guide.pdf.
- [15] FTDI. AN_375 FT600data loopback application user guide (Version 1.0) [EB/OL]. (2015-09-03) [2017-06-05]. http://www.ftdichip.com/Support/Documents/AppNotes/AN_375%20FT600%20Data%20Loopback%20Application%20User%20Guide.pdf.

作者简介:陈涛(1993—),男,重庆荣昌人,硕士研究生,2015 年于吉林大学获得学士学位,主要从事 FPGA 的硬件开发与设计。E-mail:chentao19930107@163.com

赵金宇(1976—),男,内蒙通辽人,研究员,2006 年于中科院长春光学精密机械与物理研究所获得博士学位,主要从事地基大口径光电设备研制和空间目标探测领域技术研究。E-mail:zhaojy@ciomp.ac.cn