

文章编号:1007-2780(2017)11-0847-06

TDDI 产品 Mo-Al-Mo 膜层腐蚀原因分析及改善

李 森*, 尚建兴, 张大伟, 田 露, 张鹏曲, 肖红玺, 郝金刚, 黄东升, 王 威, 张学智

(北京京东方光电科技有限公司, 北京 100176)

摘要:为降低 TDDI 产品 Lead Open 型线不良发生率, 本文对 Lead Open 的发生机理进行了研究及改善验证。对 TDDI 产品生产数据进行了对比, 对 Mo-Al-Mo 结构的 SD 膜层进行研究, 根据以上结果确定改善方案并投入验证。首先, 明确了 Lead Open 发生率与 Delay Time 的关系。接着, 对 SD 膜层的微观结构进行了表征。然后, 根据膜层结构和不同金属的电化学特征, 建立了 SD 膜层电偶腐蚀模型。分析表明: Mo、Al 两种金属间存在 1.47 V 的电极电位差, 具有很强的电偶腐蚀倾向性, 且表层 Mo 中存在 10 nm 级别的贯穿性孔洞, 直径为 0.4 nm 的水分子可轻易渗入, 进而引发电偶腐蚀。表层 Mo 厚度增加 25% 后, 其腐蚀速度较量产条件降低 30%, Lead Open 发生率降低 1.4 个百分点, 维持在 0.1% 的较低水平, 满足 TDDI 产品量产对该类不良发生率的要求。

关 键 词: TDDI; Lead Open; 电偶腐蚀; 电化学; Mo-Al-Mo

中图分类号: TP394.1; TH691.9 **文献标识码:** A **doi:** 10.3788/YJYXS20173211.0847

Analysis and improvement of Mo-Al-Mo film corrosion in TDDI products

LI Sen*, SHANG Jian-xing, ZHANG Da-wei, TIAN Lu, ZHANG Peng-qu,
XIAO Hong-xi, HAO Jin-gang, HUANG Dong-sheng, WANG Wei, ZHANG Xue-zhi

(Beijing BOE Optoelectronics Technology Co., Ltd., Beijing 100176, China)

Abstract: In order to reduce the incidence rate of Lead Open-type line defects in the TDDI products, the mechanism of the Lead Open was studied and validated. Meanwhile, the improved solution for the defects was determined and put verification based on the results coming from the TDDI production data comparison and the investigation on SD film of the Mo-Al-Mo structure. Three parts of the whole research process were contained. The relationship between the Lead Open incidence and Delay Time was firstly determined, and then the microstructure of SD film was characterized. Finally, according to the electrochemical property and film structure of different metals, a galvanic corrosion model of SD film was also established. The results show that a potential difference (PD) of 1.47 V exists between Mo and Al, and the PD has a strong galvanic tendency. In addition, some penetrating holes with the size of ~10 nm are found in the Top Mo, which can be easily infiltrated by water with the size of ~0.4 nm and thus leading to the galvanic corrosion. Nevertheless, compared to the existing

收稿日期: 2017-05-14; **修订日期:** 2017-07-11.

基金项目: 京东方 TFT 良率提升基金

Supported by TFT Yield Increase Funds of BOE

* 通信联系人, E-mail: lisen@boe.com.cn

production conditions, the corrosion rate can decrease by $\sim 30\%$ when adding $\sim 25\%$ Top Mo. More importantly, the incidence rate of Lead Open is found decrease by 1.4% and maintain the low level of 0.1% at this time, which meets the requirement for the defect incidence rate of the TDDI products.

Key words: TDDI; Lead open; Galvanic corrosion; electrochemistry; Mo-Al-Mo

1 引言

金属 Al 由于其高电导率、低成本等诸多优势而被广泛应用于 TFT-LCD 行业中^[1]。不足之处在于 Al 与玻璃基板的热膨胀系数不匹配,在后续温度较高的工序中,Al 薄膜金属线会存在较大的压应力,产生 Hillock 问题,进而影响金属走线。实际生产中采用不活泼金属覆盖金属 Al 进而形成铝基合金的方法来解决上述问题^[2]。本公司目前采用钼-铝-钼结构对应,通过上下两层钼对中间层铝即 Mo-Al-Mo 的封装减少 Hillock 问题,取得了相对不错的效果。但随着 Mo-Al-Mo 膜层结构的广泛应用,特别是用作 TDDI 产品的 SD(数据信号线)层,其膜层腐蚀问题逐渐显现,直观反映为 Lead 区(外围引线区)金属引线存在断口或鼠咬状缺陷(Lead Open),导致信号无法加载,形成暗线,严重影响了产品良率。

本文通过对各生产批次数据进行分析,明确了 Lead Open 的发生率与 SD 膜层从溅射成膜到完成湿法刻蚀的间隔时间成正增长关系且 Lead Open 集中在玻璃基板(Glass)中心位置;通过对 SD 膜层的结构分析明确了 Lead Open 发生的根本原因为 Mo、Al 两种金属间的电偶腐蚀,并以此提出了 Lead Open 的改进方法,验证结果表明取得了不错的效果。

2 Lead Open 发生规律

2.1 Lead Open 发生率与 Delay Time 的关系

对某型号 TDDI 产品不同量产批次间的过程内数据进行统计分析,得出的结论是 Lead Open(如图 1)的发生率与 SD 层金属从溅射成膜到完成湿法刻蚀的时间呈正增长关系(如图 2)。

当成膜至刻蚀间的 Delay Time(两道工序间的间隔时间)控制在 1 500 min 以内时,Lead

Open 基本未见发生;而当 Delay Time 超过 1 500 min 后,其发生率随着延长而不断升高,并呈现出一种类似于指数函数型的升高规律,这表明沉积后的 SD 膜层在 Delay Time 内发生着某种持续地、破坏性地变化,并最终形成膜层断口等缺陷,造成暗线不良。

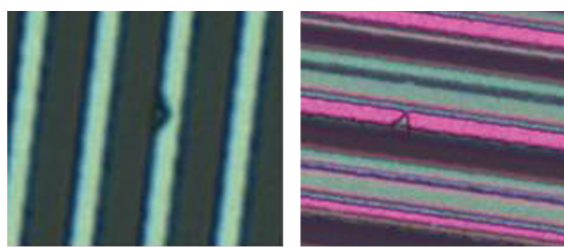


图 1 Lead Open 不良形貌

Fig.1 Morphology of Lead Open

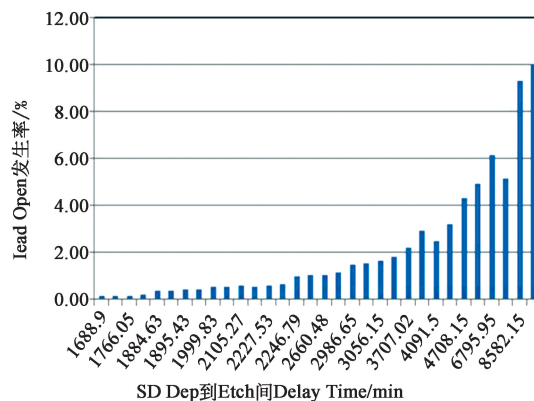


图 2 Lead Open 发生率与 Delay Time 间关系

Fig.2 Relationships between Lead Open rate and Delay Time

2.2 Lead Open 在玻璃基板上的发生位置

通过收集某型号 TDDI 产品各量产批次 Lead Open 不良屏的 ID,对其在玻璃基板上的位置进行统计,得结果如图 3 所示。可见 Lead Open 集中发生在玻璃基板中心位置,玻璃基板边缘相对发生较少。因此推测:玻璃基板不同位置的膜层特征存在差异,并且这种差异与 Lead Open 的发生率相关。

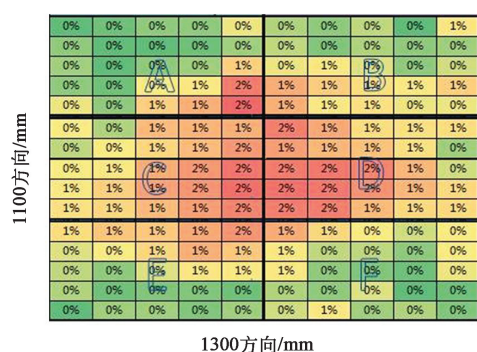


图 3 Lead Open 在玻璃基板上的发生位置
Fig.3 Location of Lead Open on TFT Glass

3 SD 膜层表征及 Lead Open 机理解释

为探究 Lead Open 的发生与 Delay Time 及不同位置膜层特征间的关系,对 SD 膜层进行了表征。按照正常量产条件投入,SD 膜层结构为 Mo-Al-Mo,各层金属厚度保持量产条件不变,对 SD 膜层进行膜层结构及信赖性表征。

3.1 SD 膜层截面及孔隙率表征

利用扫描电镜对 SD 膜层表层 Mo 表面进行微观观察、拍照。观察发现表层 Mo 表面较为粗糙,存在明显的孔洞缺陷,如图 4 所示。

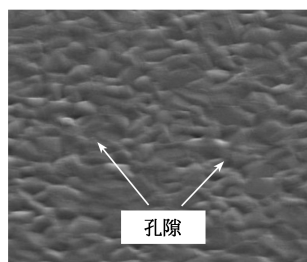


图 4 SD 膜层表面形貌
Fig.4 Surface morphology of SD film

采用聚焦离子束对 SD 膜层孔隙位置进行截面观察,结果如图 5 所示。表层 Mo 中存在较多的贯穿性孔隙,孔隙尺寸为 10 nm 数量级,大的可达 50 nm 以上,远大于水分子直径 0.4 nm。这表明水汽可以透过表层 Mo 渗入膜层内部,到达中间 Al 层。

利用 Image Pro-Plus 图形处理软件对玻璃基板中心及边角区域的 SD 膜层分别进行孔隙率计

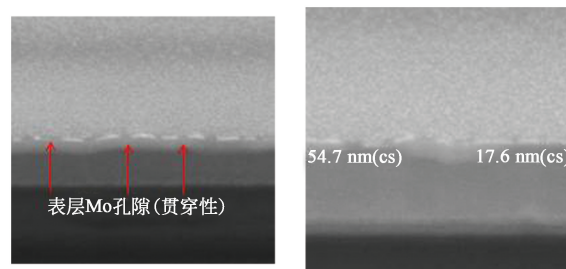


图 5 SD 膜层截面观察
Fig.5 Observation of SD film cross section

算^[3]。取三张玻璃基板,每张玻璃基板中心及边角位置各取一个点,以 3 张玻璃基板测算平均值作为最终结果,如表 1 所示。结果表明玻璃基板中心位置表层 Mo 孔隙率为 9.5%,边角位置为 4.5%。

表 1 表层 Mo 孔隙率测量结果

Tab.2 Porosity measurement results of Top Mo

位置	Glass1	Glass2	Glass3	平均值
Glass 中心	9.7%	9.5%	9.4%	9.5%
Glass 边角	2.8%	4.3%	6.3%	4.5%

结合“2”中结果可知,Lead Open 的发生与表层 Mo 中可透过水汽的孔隙数量相关,且随着时间延长,发生率越高。由此推测:Lead Open 与产线水汽渗入导致的膜层变化有关,初步推测为膜层金属腐蚀。

3.2 SD 膜层信赖性测试

为验证 SD 膜层在水汽环境中的变化和腐蚀情况,进行了信赖性验证试验。将沉积 SD 膜层后的玻璃基板放入高温高湿设备(温度 60 ℃,湿度 90%),表征 SD 膜层的变化,放置时间为 72 h。其中玻璃基板中心位置及边角区域试样各 3 个,试样尺寸为 5 cm×5 cm。试验完成后,对膜层表面进行宏观观察并采用显微镜进行微观确认,结果如图 6~8 所示。

由图 6、7 可知,72 h 信赖性试验后,玻璃基板边角及中心位置均出现了腐蚀,腐蚀形貌为密集点状,为典型的点蚀特征,且玻璃基板中心位置腐蚀程度较边角位置严重。显微镜背光模式下,玻璃基板存在透光点,表明腐蚀点位置膜层腐蚀完全,如图 8 所示。玻璃基板中心位置透光点多于边角位置,与表层 Mo 孔隙率成正比,与“3.1”中结论相符。

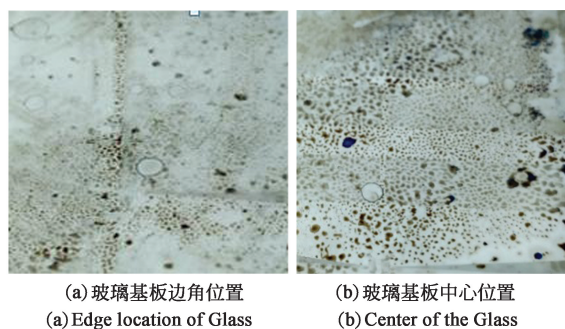


图 6 SD 膜层信赖性后宏观形貌

Fig.6 Macro morphology of SD film after reliability test

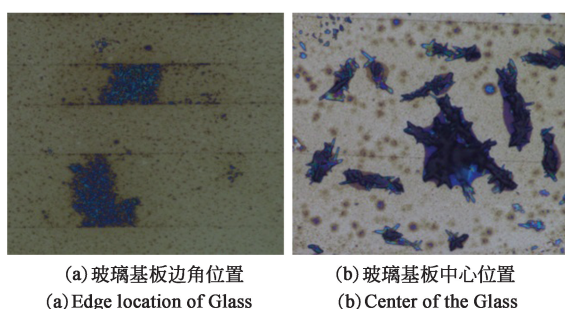


图 7 SD 膜层信赖性后微观形貌

Fig.7 Microstructure of SD film after reliability test

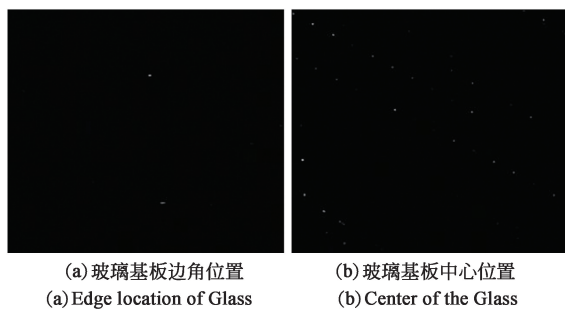


图 8 SD 膜层信赖性后微观形貌(背光)

Fig.8 Microstructure of SD film after reliability test (backlight)

3.3 Lead Open 机理解释

从腐蚀电化学的角度考虑,Mo 的标准电极电位为 -0.2 V ,Al 的标准电极电位为 -1.67 V ,两者电位差相差达 1.47 V ,具有很强的电偶腐蚀倾向性^[4]。在潮湿的(相对湿度 60%)的产线环境中,水汽将会通过表层 Mo 中的贯穿性孔隙渗入到中间 Al 层,此时 Mo、Al 两层金属将处于同一电解质中。此时,发生电化学腐蚀的几个基本要素:阴阳极、离子通道、电子通道就全部存在

了^[5]。建立电偶腐蚀模型如图 9 所示。

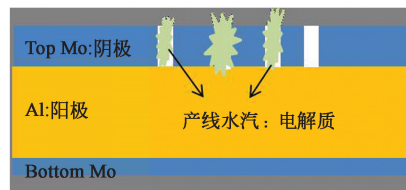


图 9 SD 膜层电偶腐蚀模型

Fig.9 Galvanic corrosion model of SD film

在该模型中:表层 Mo 标准电极电位相对较高,为腐蚀原电池的阴极;中间 Al 层标准电极电位相对较负,为腐蚀原电池阳极;产线水汽通过表层 Mo 中孔隙渗入,将表层 Mo 与中间 Al 层导通,为腐蚀原电池的腐蚀介质即离子通道。由于 Mo、Al 间电极电位相差较大,将主要发生以电偶腐蚀为主的电化学腐蚀。中间 Al 层作为阳极将不断被腐蚀、氧化、缺失。在中性的产线环境中其能够发生的腐蚀反应如下,腐蚀过程模型如图 10 所示。

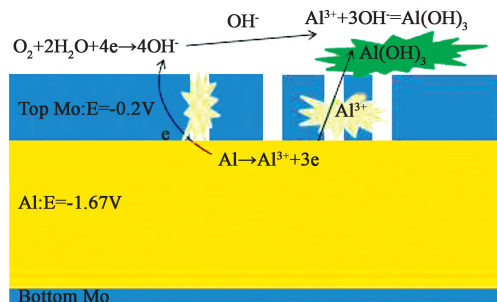


图 10 SD 膜层电偶腐蚀机理模型

Fig.10 Galvanic corrosion mechanism model of SD film

腐蚀反应式如下:

阳极反应: $\text{Al} \rightarrow \text{Al}^{3+} + 3\text{e}^-$

阴极反应: $\text{O}_2 + 2\text{H}_2\text{O} + 4\text{e}^- \rightarrow 4\text{OH}^-$

由于只有与电解质接触位置的金属才会作为电极参与电化学反应,因此在该模型中,只有表层 Mo 孔隙位置暴露在水汽中的 Al 才会参与电化学反应,阳极的反应面积非常小;而整个表层 Mo 的外表面及孔隙内壁均与水汽接触作为阴极参与反应,其反应面积相对于阳极变得非常大,也就是阴阳面积比非常大,这就形成了典型的大阴极小阳极的结构。

在腐蚀原电池中,阴阳极产生电流是相等的。但由于阳极面积相对阴极面积非常小,其单位面

积上产生的腐蚀电流即腐蚀电流密度将会非常大,进而导致阳极位置快速腐蚀^[6]。这种情况下,作为腐蚀原电池阳极的 Al 就会快速被腐蚀,并且微小的阳极周围均为阴极,腐蚀将会向膜层纵深快速发展,造成该处 Al 层快速腐蚀,形成膜层断口缺陷,形成如图 11 类似形貌。



图 11 SD 膜层腐蚀断口模型

Fig.11 SD film corrosion fracture model

此时,SD 膜层可能并未形成断口,但在后续的湿刻过程中,会成为薄弱点,在具有强烈腐蚀性的刻蚀液作用下,最终被腐蚀成断口,形成暗线不良。

4 不良改善及验证

在不改变材料设计的条件下,控制 Mo-Al-Mo 结构 SD 膜层电偶腐蚀的最好方法就是阻止水汽通过表层 Mo 孔隙渗入,进而避免腐蚀电化学反应离子通道的形成,进而防止电偶腐蚀反应的发生,为此设计了如表 3 的验证条件进行 SD 成膜,并利用电化学测试及实际生产投入的方式分别进行验证。

表 3 验证条件

Tab.3 Porosity measurement results of Top Mo

条件	成膜条件	验证内容
条件 1	同量产	量产对比
条件 2	表层 Mo 加厚 25%	阻挡水汽
条件 3	表层 Mo 两次沉积,功率同量产	降低贯穿性孔隙数量
条件 4	表层 Mo 两次沉积,功率先慢后快(较量产),其余同量产	降低贯穿性孔隙数量
条件 5	表层 Mo 两次沉积,功率先快后慢(较量产),其余同量产	降低贯穿性孔隙数量

4.1 腐蚀电化学表征

利用按不同条件进行 SD 膜层沉积后的玻璃

基板,制备电化学测试试样,试样尺寸为 $2\text{ cm} \times 2\text{ cm}$,利用导电银胶在 SD 膜层面粘附铜导线,并用有机硅胶对 SD 膜层侧进行封装,预留工作面积为 1 cm^2 ,待硅胶固化后进行电化学测试。

电化学工作站采用 CHI660E,参比电极采用饱和氯化钾甘汞电极(SCE),辅助电极为铂电极,腐蚀电解质为质量浓度 3.5% 的 NaCl 溶液。进行极化曲线测试,扫描速度为 10 mV/S ,结果如图 12 所示,对图 12 结果进行拟合,结果如表 4 所示。

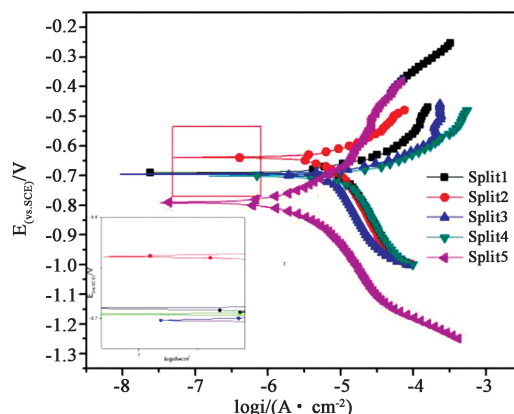


图 12 极化曲线测试结果

Fig.12 Results of polarization curve test

表 4 极化曲线拟合结果

Tab.4 Fitting results of polarization curve

条件	极化电阻/ Ω	腐蚀电流密度/ $(\text{A} \cdot \text{cm}^{-2})$
条件 1	2841	1.778
条件 2	3841	1.296
条件 3	1702	2.414
条件 4	2173	2.272
条件 5	1492	3.999

对表 4 中拟合结果进行观察可知:条件 2,即表层 Mo 加厚 25% 后的 SD 膜层的极化电阻最大,腐蚀电流密度最小,表明其耐蚀性最好。以腐蚀电流密度计算,表层 Mo 加厚 25% 后,腐蚀速度较量产降低约 30%;分两次沉积形成的 SD 膜层,较量产相比腐蚀速度均增大。以上结果表明表层 Mo 加厚可以有效的降低以 Mo-Al-Mo 为结构的 SD 层的电偶腐蚀速度。

4.2 生产投入验证

采用以上提到的条件 1 及条件 2 进行实际生

产投入验证,两种条件各投入 1 Lot(20 张玻璃),成膜至曝光、曝光至刻蚀间 Delay Time 均控制在不小于 2 500 min。加工至 ET 状态,统计 Lead Open 型线不良屏数量并计算发生率,结果如表 5 所示。

表 5 实际生产验证结果

Tab.5 Actual production verification results

条件	投入数	产出数	Lead Open	Ratio/%
条件 1	3000 片	2988 片	46 片	1.5
条件 2	3000 片	2986 片	3 片	0.1

结果表明,将 SD 膜层表层 Mo 加厚 25%后,在不管控成膜至刻蚀间 Delay Time 的情况下,Lead Open 型线不良的发生率亦能控制在 0.1%的极低水平,发生率较现量产条件降低 1.4 个百分点,对 TDDI 产品良率提升贡献突出。

5 结 论

本文通过对 TDDI 产品不同批次间数据以及 SD 膜层结构进行表征,提出了降低 Lead Open 发生率的膜层方案并进行了腐蚀电化学表征及实际投入验证。结果表明:Lead Open 型线不良的发生率与 SD 成膜至刻蚀间的 Delay Time 成正比;Mo-Al-Mo 膜层结构中 Mo、Al 两种金属间存在高达 1.4 V 的电极电位差导致中间 Al 层在水汽的作用下发生严重的电偶腐蚀,进而形成膜层断口;表层 Mo 厚度增加 25%后,同样的管控条件下,Lead Open 发生率降低 1.4 个百分点,维持在 0.1%的较低水平,显著提升了产品品质,并且大大减轻了 Array 制程内 Delay Time 管控压力,带来了较好的经济效益。

参 考 文 献:

- [1] 刘翔,陈旭,谢振宇,等.使用低电阻金属铝制造薄膜晶体管阵列信号电极[J].液晶与显示,2009,24(4):533-536.
LIU X, CHEN X, XIE Z Y, *et al.* Low resistant metal for thin film transistors [J]. *Chinese Journal of Liquid Crystals and Displays*, 2009, 24(4): 533-536. (in Chinese)
- [2] HUANG J H, YEN S C. Electrochemical characteristics of molybdenum/aluminum-neodymium double thin film in Tetramethyl-ammonium hydroxide solution [J]. *Corrosion*, 2007, 63(9): 835-842.
- [3] 徐日庆,邓祎文,徐波,等.基于 SEM 图像信息的软土三维孔隙率定量分析[J].地球科学与环境学报,2015,37(3): 104-110.
XU R Q, DENG Y W, XU B, *et al.* Quantitative analysis of soft clay three-dimensional porosity based on SEM image information [J]. *Journal of Earth Sciences and Environment*, 2015, 37(3): 104-110. (in Chinese)
- [4] 陈兴伟,吴建华,王佳,等.电偶腐蚀影响因素研究进展[J].腐蚀科学与防护技术,2010,22(4):363-366.
CHEN X W, WU J H, WANG J, *et al.* Progress in research on factors influencing galvanic corrosion behavior [J]. *Corrosion Science and Protection Technology*, 2010, 22(4): 363-366. (in Chinese)
- [5] 曹楚南.金属电化学腐蚀基本原理(上)[J].冶金建筑,1981(5):50-53.
CAO C N. Fundamentals of electrochemical corrosion of metal (1) [J]. *Metallurgical Construction*, 1981(5): 50-53. (in Chinese)
- [6] 张文建,吴明,谢飞,等.不同阴阳极面积比下 X80 钢在满洲里土壤中的腐蚀行为[J].材料保护,2015,48(5):53-56,9.
ZHANG W J, WU M, XIE F, *et al.* Corrosion behavior of X80 steel under different cathode /anode area ratio in simulated Manzhouli soil solution [J]. *Materials Protection*, 2015, 48(5): 53-56, 9. (in Chinese)

作者简介:李森(1990—),男,山东滨州人,硕士研究生,工程师,2016 年于北京科技大学腐蚀防护中心,获得硕士学位,主要从事 TFT Array 制程工艺改善及不良分析工作。E-mail: lisen@boe.com.cn
尚建兴(1989—),男,河北唐山,工程师,2015 年于北京科技大学材料学院,获得硕士学位,主要从事 TFT Array 制程工艺改善及不良分析工作。E-mail: shanjianxing@boe.com.cn