

文章编号:1007-2780(2017)08-0622-06

用于触摸屏控制电路的低功耗模数转换器设计

胡云峰^{1*}, 邓春健^{1,2}, 李 斌³

(1. 电子科技大学 中山学院, 广东 中山 528402;

2. 电子科技大学 计算机科学与工程学院, 四川 成都 610054;

3. 华南理工大学 电子与信息学院, 广东 广州 510640)

摘要: 为了降低触摸屏控制电路的功耗, 本文提出了一种低功耗逐次逼近型模数转换器(SAR ADC)。对该 SAR ADC 所采用的电容阵列数模转换器(DAC)、比较器和逐次逼近寄存器等进行了研究与设计。首先, 基于两级并串耦合电容设计电容阵列 DAC 结构, 并设计配套的参考电平转换方案。接着, 设计两级全动态比较器, 并分析比较器的工作原理。然后, 基于动态逻辑设计低功耗低误码逐次逼近寄存器。最后, 基于 180 nm CMOS 工艺, 在 1 V 电源电压, 200 kHz 采样频率和 96.243 kHz 输入频率条件下对 SAR ADC 进行了仿真。仿真结果表明: 积分非线性误差(INL)和微分非线性误差(DNL)分别为 0.222/−0.203 LSB 和 0.231/−0.184 LSB, 无杂散动态范围(SFDR)为 76.56 dB, 信噪失真比(SNDR)为 61.50 dB, 有效位(ENOB)为 9.92 位, 功耗为 0.464 μ W, 品质因素(FOM)值为 2.4 fJ/Conv.-step。本文设计的低功耗 SAR ADC 满足触摸屏控制电路应用要求。

关 键 词: 触摸屏; 低功耗; 逐次逼近型模数转换器

中图分类号: TP453 **文献标识码:** A **doi:** 10.3788/YJYXS20173208.0622

Design of low power analog-to-digital converter for the control circuit of touch screen

HU Yun-feng^{1*}, DENG Chun-jian^{1,2}, LI Bin³

(1. Zhongshan Institute, University of Electronic Science and Technology of China, Zhongshan 528402, China;

2. School of Computer Science and Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China;

3. School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China)

Abstract: In order to reduce the power consumption of the touch screen control circuit, a low power

收稿日期: 2017-02-13; 修订日期: 2017-05-13.

基金项目: 国家自然科学基金资助项目 (No. 61571196); 广东省科技计划项目 (No. 00760211330304099, No. 2014A010103016, No. 2014B090912001); 中山市科技计划项目 (No. 2016B2146, No. 2017B1019)

Supported by National Natural Science Foundation of China (No. 61571196); Science and Technology Plan Project of Guangdong Province, China (No. 00760211330304099, No. 2014A010103016, No. 2014B090912001); Science and Technology Plan Project of Zhongshan, China (No. 2016B2146, No. 2017B1019)

* 通信联系人, E-mail: shanhuyf@163.com

successive approximation analog-to-digital converter (SAR ADC) was proposed. The capacitor array digital-to-analog converter (DAC), comparator and successive approximation register were studied and designed. Firstly, based on two-stage parallel-series capacitor, the capacitor array DAC and reference voltage switching scheme is designed. Next, two-stage fully dynamic comparator is designed and the principle is analyzed. Then, based on the dynamic logic, successive approximation register with low power and low error code is designed. Finally, the ADC was implemented in 180 nm CMOS technology 1 V power supply and simulated at the input frequency $F_{in} = 96.243$ kHz and sampling frequency $F_s = 200$ kHz. The Simulation result indicates that values of Integral Non-Linearity(INL) and Differential Non-Linearity (DNL) are 0.222/−0.203 LSB and 0.231/−0.184 LSB respectively. Spurious Free Dynamic Range(SFDR) is 76.56 dB, Signal to Noise and Distortion Ratio is 61.50 dB, Effective Number of Bits(ENOB) is 9.92 bits. The power dissipation is only about $0.464 \mu\text{W}$, figure of merit (FOM) is equal to 2.4 fJ/Conv.-step. In conclusion, the low power SAR ADC proposed in this paper meets the application requirement of touch screen control circuit.

Key words: touch screen; low power; successive approximation analog-to-digital converter

1 引言

近年来,随着手机、平板电脑等便携式设备^[1]的发展,触摸屏需求持续增长。由于便携式设备通过电池供电,为了延长设备的工作时间,因此要求各模块的功耗尽可能低。模数转换器(ADC)作为触摸屏控制电路的核心模块之一^[2-4],负责将触摸位置转化为数字信号,所以研究低功耗的模数转换器具有重要意义。与流水线型模数转换器^[5]等其他 ADC 架构相比,逐次逼近型模数转换器(SAR ADC)因其结构简单、面积小、功耗低和中低采样频率等特点^[6-8],非常适合应用于触摸屏控制电路。到目前为止,不少研究人员提出了降低 SAR ADC 功耗的方法^[9-11]。文献[9]针对电容阵列数模转换器(DAC)提出了基于顶板采样技术的参考电平单调下降方案,使电容阵列 DAC 第 1 次没有产生转换能耗,并减小了 DAC 后续比较的转换能耗。文献[10]通过引入共模电压 V_{cm} 作为电容阵列 DAC 的参考电平,降低了 DAC 转换能耗。文献[11]通过使用动态比较器降低了比较器功耗,文献[12]提出了基于动态逻辑的逐次逼近寄存器,该结构比传统结构功耗低。为了进一步降低 SAR ADC 的功耗,本文首先提出了一种两级并串耦合电容阵列 DAC 结构及其转换方案,接着设计了两级全动态比较器和低功耗逐次逼近寄存器,最后基于 180 nm CMOS 工艺进行电路仿真。

2 SAR ADC 设计

2.1 SAR ADC 结构及工作原理

图 1 为 SAR ADC 结构框图,SAR ADC 主要由电容阵列 DAC、比较器和逐次逼近寄存器 3 部分组成。SAR ADC 的模数转换基于二进制搜索算法,电容阵列 DAC 既负责对模拟输入信号进行采样与保持,又负责将每一次比较开始前的数字信号通过切换电容的参考电平转化为模拟电压,并输出给比较器进行比较,比较器的输出结果逐次保存在逐次逼近寄存器中,并反馈给电容阵列 DAC 切换参考电平,周而复始,直到最后一次比较完成,逐次逼近寄存器输出数字码。

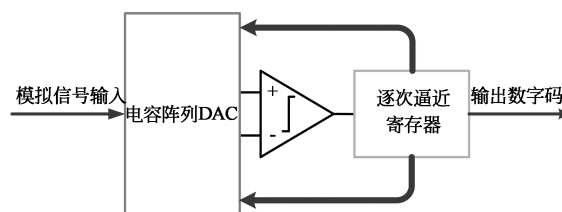


图 1 SAR ADC 结构图

Fig.1 SAR ADC architecture

2.2 电容阵列 DAC

图 2 为本文提出的 10 位差分 SAR ADC 结构。依据电容的并联串联原理,在电容阵列 DAC 中,通过采用两级并串耦合电容替换最低位单位电容,使电容阵列 DAC 增加了两位分辨率,因此

在设计同样位数的 DAC 时,最高位电容的单位电容数量可以减少 75%。另外通过给最低位电容使用共模电压(V_{cm})作为参考电平,使最后一位电容参与转换,因此又增加了一位分辨率,最高位电容的单位电容数量进一步减少 50%。因此,电容阵列 DAC 总单位电容数量可以减少近 87.5%。DAC 转换能耗来源于参考电平对电容的充放电,由于总单位电容数量减少,因此电容阵列 DAC 的能耗也随之降低。

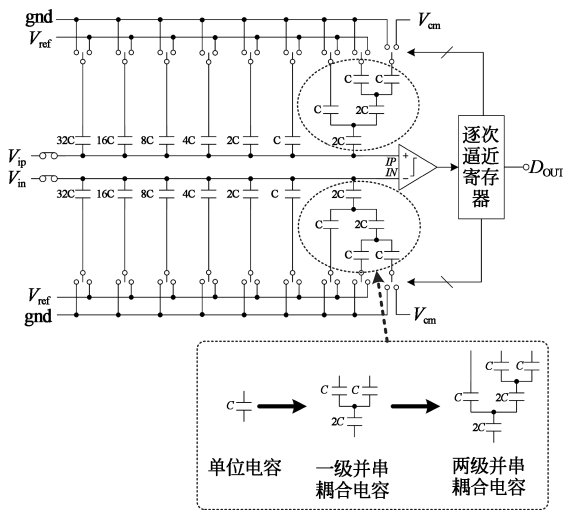


图 2 10 位差分 SAR ADC 结构

Fig.2 Architecture of 10-bit differential SAR ADC

文献[9]提出了基于顶板采样的单调下降转换方案,由于采用电容顶板采样,采样结束后直接进行第 1 次比较,因此第 1 次比较没有消耗参考电平转换能耗;另外由于采用参考电平单调下降方案,从第 2 比较开始,每次比较只有一个参考电平发生切换,因此产生转换能耗较少。本文在文献[9]单调下降转换方案的基础上,改进为先降再单调上升转换方案,相应的,电容阵列的最高位电容到最低位电容初始参考电平也由 $[V_{ref}, V_{ref}, \dots, V_{ref}]$ 设置为 $[V_{ref}, gnd, \dots, gnd]$ 。图 3 为本文 DAC 的转换方案与文献[9]DAC 转换方案输出电压对比图。如图所示,在第 1 次比较后,本文设计的 DAC 输出电压较高的电容阵列的参考电平由 $[V_{ref}, gnd, \dots, gnd]$ 变为 $[gnd, gnd, \dots, gnd]$,从而该电容阵列的输出电压降低 $V_{ref}/2$,由于此时参考电平都是接地 gnd ,因此本文设计的 DAC 在第 2 次比较时也没有消耗转换能耗。另外,如图 3 所示,文献[9]的 DAC 两个输出电压逐

渐远离共模电压,本文的 DAC 两个输出电压逐渐靠近共模电压,因此本文 DAC 转换方案减轻了下级比较器的压力。

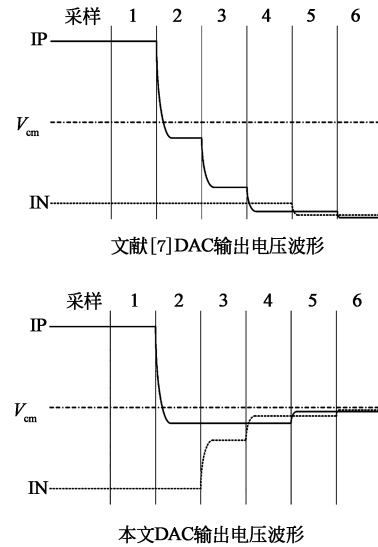


图 3 DAC 的输出电压波形

Fig.3 Output voltage waveforms of DAC

2.3 比较器

为了降低比较器功耗,本文采用两级全动态比较器^[11]。图 4 是两级全动态比较器的电路图,第一级为动态预放大级,IP 和 IN 为电容阵列 DAC 输出信号,连接比较器差分输入端,AN 和 AP 为差分输出。第二级为动态锁存级,负责二级放大和结果锁存,OUT_P和 OUT_N为比较结果。

当 CLK 为低电平时(此时 CLK_N 为高电平),M0 截止,M3 和 M4 导通,AN 和 AP 充电到高电平(M5 使两边充电平衡),M6 和 M9 导通,OUT_P和 OUT_N下拉到低电平。当 CLK 为高电平时(此时 CLK_N 为低电平),M3、M4 和 M5 截止,M0 导通,AN 和 AP 分别通过 M1 和 M2 放电,放电快慢取决 IP 和 IN 大小(当 $IP > IN$ 时, $AP > AN$;当 $IP < IN$ 时, $AP < AN$);此时动态锁存级的 M6 和 M9 截止,OUT_P和 OUT_N通过 M10 和 M11 充电,充电快慢取决于 AP 和 AN 大小(当 $AP > AN$ 时, $OUT_P > OUT_N$;当 $AP < AN$ 时, $OUT_P < OUT_N$),当 OUT_P和 OUT_N其中一个电压升高阈值后,M7 或者 M8 将会导通,正反馈开始发生作用,OUT_P和 OUT_N其中一个快速上升到高电平,另一个下拉到低电平,完成比较结果的锁存。由于动态比较器工作时

没有形成电源到地的通路,因此比较器仅有动态功耗。

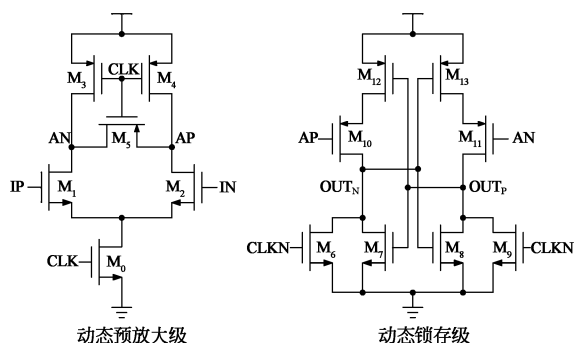


图 4 两级全动态比较器

Fig.4 Two-stage fully dynamic comparator

2.4 逐次逼近寄存器

传统的逐次逼近寄存器使用 D 触发器构成,由于晶体管数量较多,功耗比较显著。为了降低功耗,文献[12]提出了基于动态逻辑的逐次逼近寄存器,由于使用的晶体管较少,所以功耗大大减少,该电路使用动态逻辑点存储输出码,但随着工艺尺寸的减小,MOS 管的漏电越来越大,这将会导致 ADC 出现误码。图 5 是本文设计的基于动态逻辑的逐次逼近寄存器。为避免出现误码情况,本文借鉴动态比较器信号锁存方法,在动态逻辑单元电路中采用动态锁存电路保存信号,通过正反馈机制锁定输出信号 P_i 和 N_i ,从而消除误码。

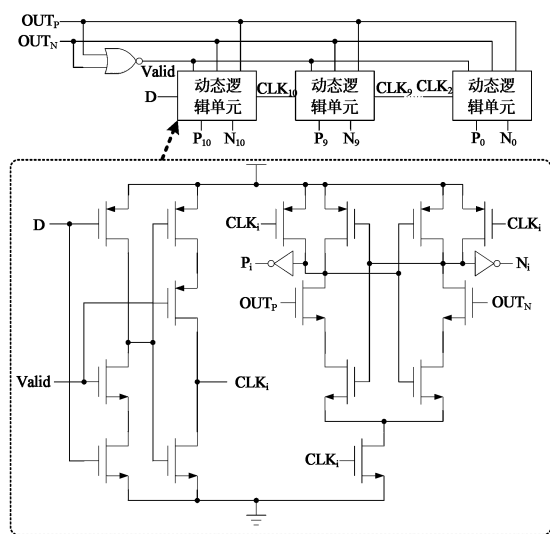


图 5 基于动态逻辑的逐次逼近寄存器

Fig.5 SAR based on dynamic logic

图 6 是动态逻辑单元的工作时序波形示意图。当 D 为低电平时,动态逻辑单元初始化,CLK_i、P_i和 N_i设置为低电平,电路处于待机状态。当比较器输出比较结果,即 OUT_P和 OUT_N其中一个信号变为高电平时,接着 Valid 变为低电平,CLK_i变为高电平,动态锁存电路启动,锁存比较结果为 P_i和 N_i。由于 CLK_i连接到下一级动态逻辑单元的 D 端口,所以随着 CLK_i升为高电平,下一级动态逻辑单元初始化。

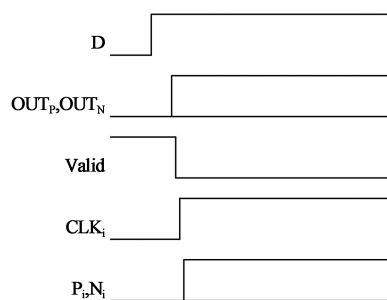


图 6 动态逻辑单元的时序图

Fig.6 Time diagram of dynamic logic unit

3 电路仿真与分析

本文的低功耗 SAR ADC 基于 180 nm CMOS 工艺设计与仿真。电容阵列 DAC 的单位电容 C 容值设置为 34.4 fF。设置电路的仿真条件如下:电源电压 VDD 和参考电压 V_{ref}均为 1 V,共模电压 V_{cm}为 0.5 V,采样频率为 200 kHz,输入信号频率为 96.243 kHz。图 7 为 32 768 个采样数据进行积分非线性误差(INL)和微分非线性误差(DNL)分析的结果图。图 8 为 32 768 个采

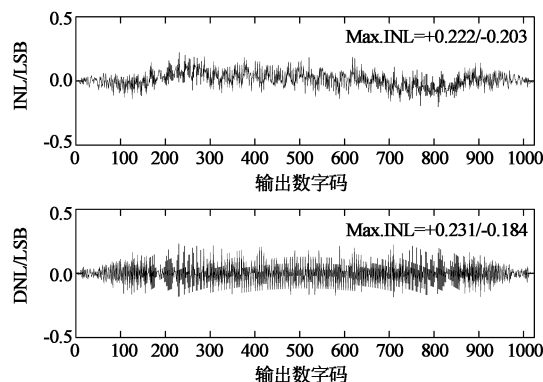


图 7 32768 采样数据的 INL 和 DNL 结果

Fig.7 INL and DNL results of 32768 sampling data

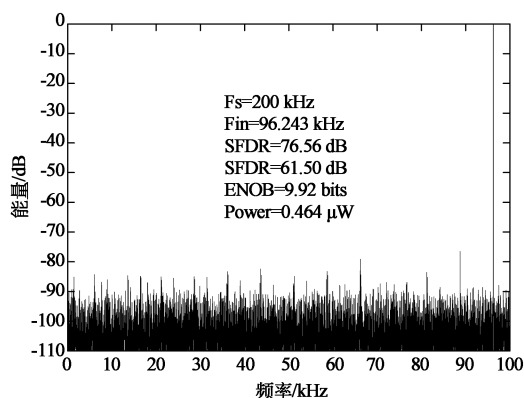


图 8 32768 采样数据的 FFT 结果

Fig.8 FFT result of 32768 sampling data

样数据进行快速傅里叶变换(FFT)得到的频谱图。仿真结果显示,积分非线性误差(INL)和微分非线性误差(DNL)分别为 $0.222/-0.203$ LSB 和 $0.231/-0.184$ LSB,无杂散动态范围(SFDR)为 76.56 dB,信噪失真比(SNDR)为 61.50 dB,有

效位(ENOB)为 9.92 位。总功耗为 $0.464 \mu\text{W}$,品质因素(FOM)为 $2.4 \text{ fJ/Conv. - step}$ 。结果表明,本文设计的低功耗 SAR ADC 非常适合触摸屏控制电路的应用。

5 结 论

本文采用两级并串耦合电容设计电容阵列 DAC,并结合两级全动态比较器和基于动态逻辑的逐次逼近寄存器,设计了一种用于触摸屏控制电路的低功耗 SAR ADC。整个电路基于 180 nm CMOS 工艺设计。在采样频率为 200 kHz,输入信号频率为 96.243 kHz 情况下,仿真得到 INL 和 DNL 分别为 $0.222/-0.203$ LSB 和 $0.231/-0.184$ LSB,SFDR 为 76.56 dB,SNDR 为 61.50 dB,ENOB 为 9.92 位,电路功耗为 $0.464 \mu\text{W}$,FOM 仅为 $2.4 \text{ fJ/Conv.-step}$,满足触摸屏控制电路的应用要求。

参 考 文 献:

- [1] 董国亚,赵翔,张燕,等.便携式上转换荧光试纸条检测仪的研制[J].光学精密工程,2017,25(3):584-590.
DONG G Y, ZHAO X, ZHANG Y, et al. Development of portable up-conversion photoluminescence strip detector [J]. *Optics and Precision Engineering*, 2017, 25(3): 584-590. (in Chinese)
- [2] HWANG T H, CUI W H, YANG I S, et al. A highly area-efficient controller for capacitive touch screen panel systems [J]. *IEEE Transactions on Consumer Electronics*, 2010, 56(2): 1115-1122.
- [3] TONG X Y, YANG Y T, ZHU Z M, et al. A 10-bit 200-kS/s SAR ADC IP core for a touch screen SoC [J]. *Journal of Semiconductors*, 2010, 31(10): 105009.
- [4] 李博,魏廷存,魏晓敏.采用稀疏读出策略的电容触摸屏前端 IC 设计[J].液晶与显示,2017,32(1):23-28.
LI B, WEI T C, WEI X M. Design of analog front-end IC for capacitive touch screen using sparse readout strategy [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(1): 23-28. (in Chinese)
- [5] 贾华宇,刘丽,张建国.流水线模拟数字转换器的权重误差校准[J].光学精密工程,2014,22(11):3114-3121.
JIA H Y, LIU L, ZHANG J G. Calibration of weight-error for pipelined ADCs [J]. *Optics and Precision Engineering*, 2014, 22(11): 3114-3121. (in Chinese)
- [6] LIN J Y, HSIEH C C. A 0.3 V 10-bit 1.17 f SAR ADC with merge and split switching in 90 nm CMOS [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, 62(1): 70-79.
- [7] LEE H, PARK S, LIM C, et al. A 100-nW 9.1-ENOB 20-kS/s SAR ADC for portable pulse oximeter [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 62(4): 357-361.
- [8] CHUNG Y H, WU M H, LI H S. A 12-bit 8.47-fJ/conversion-step capacitor-swapping SAR ADC in 110-nm CMOS [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, 62(1): 10-18.
- [9] LIU C C, CHANG S J, HUANG G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure [J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(4): 731-740.
- [10] ZHU Y, CHAN C H, CHIO U F, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(6): 1111-1121.
- [11] HARPE P, CANTATORE E, VAN ROERMUND A. A 10b/12b 40kS/s SAR ADC with data-driven noise reduc-

- tion Achieving up to 10.1b ENOB at 2.2 fJ/conversion-step [J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(12): 3011-3018.
- [12] ZHU Z M, XIAO Y, WANG W T, *et al.* A 0.6 V 100 KS/s 8-10 b resolution configurable SAR ADC in 0.18 μm CMOS [J]. *Analog Integrated Circuits and Signal Processing*, 2013, 75(2): 335-342.

作者简介:胡云峰(1982—),男,湖南岳阳人,博士研究生,讲师,主要从事模数混合电路方面的研究。E-mail: shanhuyf@163.com