

文章编号:1007-2780(2017)08-0607-07

以太网数传系统在 FPGA 上的实现

贲广利^{1*}, 王永成¹, 徐东东¹, 郑佳宁¹, 吴 铮²

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 电子科技大学 通信与信息工程学院, 四川 成都 611731)

摘要: 在含有 FPGA 的数字信号处理电路和控制电路中, 为了实现将原始 AD 采样数据或中间处理结果数据的导出, 供后续分析处理使用, 从数据传输的稳定性、系统实现的简易性、价格低廉等角度出发, 研究设计了基于 FPGA TSE IP 核的嵌入式千兆以太网数据传输系统。首先, 详细分析了以 NiosII CPU 软核处理器为核心的以太网数传系统的 SOPC 各模块的硬件设计, 主要包括以 TSE IP 核为主的以太网 MAC, 采用乒乓缓存方式保证数据的连续不间断传输, 以及通过接收客户端指令来控制数传的开始和暂停; 然后, 利用 MicroC/OS-II 嵌入式实时操作系统的多任务方式, 基于 Niche stack TCP/IP 协议栈, 完成了系统的软件设计, 并给出了软件程序流程; 最后, 通过传输并接收特定的数据, 验证了系统数据传输的速率和准确性。结果表明在传输速率达到 51 Mbps 时, 系统稳定可靠。

关键词: 嵌入式以太网; 数据传输; FPGA

中图分类号: TN919 **文献标识码:** A **doi:** 10.3788/YJYXS20173208.0607

Realization of Ethernet data transmission system on FPGA

BEN Guang-li^{1*}, WANG Yong-cheng¹, XU Dong-dong¹, ZHENG Jia-ning¹, WU Zheng²

(1. Changchun Institute of Optics, Fine Mechanics, and Physics,

Chinese Academy of Science, Changchun 130033, China;

2. School of Communication and Information Engineering, University of Electronic Science and Technology of China, Chengdu 611731 China)

Abstract: In digital signal processing or control circuit based on FPGA, in order to export original sampling data or intermediate processing result data for analyzing and processing later, from the view of stable transmission, easy realization and low cost, a 100 Mbps Embedded Ethernet data transmission system based on FPGA TSE IP core is designed. First, the paper introduces the hardware design thought in SOPC with the main processor NiosII CPU, mainly including the Ethernet MAC designing based on TSE IP core. Uninterrupted data transmission during all transmit time is guaranteed by Pingpong RAM mechanism and a method of controlling data start and stop transmitting is also designed. Then, using MicroC/OS-II real-time operating system of multi task mode, and based on Niche stack TCP/IP protocol, the software design of the system is realized. Also, the software program flow chart which details the software work flow of the system is given. Finally, by transferring design-

收稿日期: 2017-03-17; 修订日期: 2017-04-12.

* 通信联系人, E-mail: g2009051126@163.com

nated data, a verification method of rate and stability during data transmission is provided. The test result shows that the system is stable and reliable in data transmission when the rate is up to 51 Mbps.

Key words: embedded Ethernet; data transmission; FPGA

1 引言

FPGA 以其使用方便灵活、开发周期短、具备并行处理能力等优点,已被广泛应用于各种数字信号处理和控制系统。在信号处理电路或控制电路中,在不使用额外的数据采集电路的情况下,如果能将处理电路前端的原始 A/D 采样数据或处理过程中的临时数据导出并存储保留,以便后续采用 Matlab 等工具进一步处理分析使用,这对于评估系统性能,优化算法结构具有重要意义;对于获取系统前端的原始采样数据,以往大多是使用数据采集模块进行采集获取,然而,其所得到的信号并不是信号处理电路上的 A/D 芯片采集得到的采样数据,所以在后续分析处理时,由于采样信号的采样源不同,因此和处理电路实际处理的信号不同,会存在差异,进而影响对系统性能的评估^[1-4]。

基于 FPGA 的以太网数据传输系统能够在带有 FPGA 的数字信号处理电路或控制电路中,在 FPGA 内部单独设计以太网数据传输模块,直接将采样数据或中间处理结果数据传输导出至外部 PC 机等,供后续分析处理使用,这就避免了要分析处理的信号源端不一致的问题。同时,基于 FPGA 的以太网数传模块也能够以独立的数传功能单独制作成小体积、便携式、低成本的数据采集传输电路板,通过其它系统提供数据源,对其数据进行获取传输。

本设计采用 Altera 公司的 Stratix II EP2S90 FPGA 和美国 National Semiconductor 公司的 10/100Mb/s 低功耗以太网物理层(PHY)芯片 DP83848C 实现基于 FPGA 的嵌入式千兆以太网数传系统设计。从硬件设计角度,系统只由 FPGA 最小系统电路和 DP83848C 电路组成,DP83848C 支持 MII、RMII 接口,原理简单、易于使用,通过网络变压器可以直接与双绞网线相连;从软件设计角度,Altera 公司提供了对应的应用驱动程序,无需设计者再额外编写底层驱动软件,大大缩减了软件开发周期,节约了设计成本;本文

将从硬件设计和软件实现两方面进行详细介绍,并给出数传验证结果。

2 系统硬件设计

以太网数传系统硬件互连示意图如图 1 所示,主要由 FPGA 片上以 NiosII 处理器为核心的 SOPC 系统、PHY 芯片和网络变压器组成。

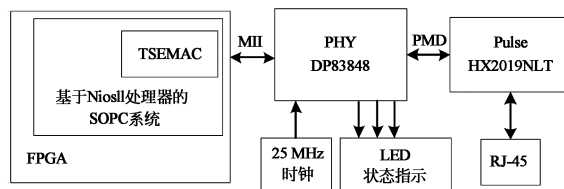


图 1 以太网数传系统框图

Fig. 1 Block diagram of Ethernet data transmission system

PHY 芯片 DP83848C 通过 MII 接口与 FPGA 相连,除了数据接口、指示接口外,MII 接口规范还定义了以太网 MAC 管理 PHY 的接口信号:即管理数据接口(MDIO)和管理时钟接口(MDC)两个信号,而三速以太网控制器(Triple speed ethernet, TSE) IP 核提供了 4 个接口管理信号,其对应的逻辑关系如图 2 所示,TSE IP 核的管理数据输入接口和管理数据输出接口通过使能引脚的控制,以双向的方式

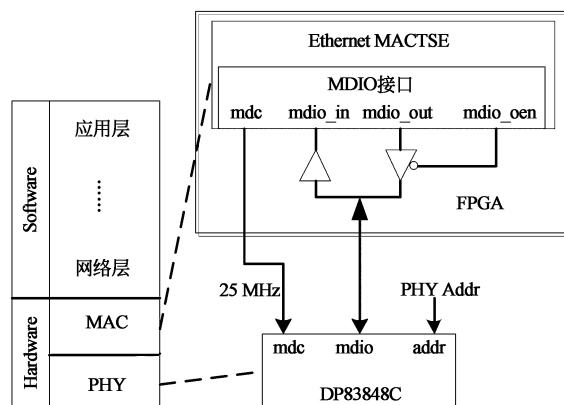


图 2 MAC 管理 PHY 示意图

Fig.2 MAC management interface

对外输出与 PHY 的 MDIO 相连。由于 DP83848C 的 MDC 最大时钟频率为 25 MHz, 设计中 TSE IP 核的工作频率为 100 MHz, 通过对 IP 核进行参数配置将其进行 4 分频后与 MDC 连接。DP83848C 的物理介质关联层接口, 即差分信号接口 TD+/-、RD+/- 通过网络变压器 HX2019NLT 后可直接通过双绞网线连接至 RJ-45 网口进行数据传输。

设计采用 Altera 公司的 TSE IP 核实现以太网 MAC, 内核变量配置为 10/100/1 000 Mbps 以太网 MAC, 利用其内部深度 2 048、位宽 32 bit 的 FIFO 作为收发缓存区, 采用 MII/RMII 模式与 PHY 芯片互连, 利用 SOPC Builder 工具将其挂载在 Avalon 总线上, 作为 NiosII CPU 的外设。

以 NiosII CPU 为核心的以太网数传系统 SOPC 设计框图如图 3 所示, 主要由 NiosII CPU 最小系统、以太网组件和数传控制模块 3 部分组成。NiosII CPU 最小系统包括为系统提供时钟的锁相环(PLL)、内部定时器(sys_timer)、系统标识外设(sysid)、调试端口(jtag_uart)、片外 SRAM 控制器和用于固化程序的串行程序固化控制器(EPCS)。以太网组件包括 TSE IP 核、在 TSE 收发 FIFO 和乒乓 RAM 之间传输数据的分散聚集式直接存储器访问外设(SGDMA)和 SGDMA 的描述符存储器(Descriptor Memory)。数传控制模块主要包括通过输入输出外设(PIO)、乒乓 RAM 和控制逻辑模块(HDL Logic), 用于控制数据传输的开始和停止。

SGDMA 按照源地址和目的地址是串行数据

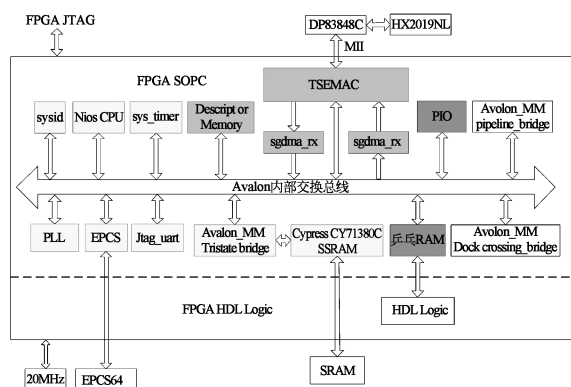


图 3 SOPC 系统框图

Fig.3 SOPC system diagram

流还是存储器, 分为 sgdma_rx 和 sgdma_tx; sgdma_rx 的源地址为 TSE MAC 的接收 FIFO, 目的地址为在 Nios IDE 软件程序中开辟的存储空间, 用于接收由客户端发送给 FPFA 的开始上传或停止上传指令; sgdma_tx 的源地址为乒乓 RAM 的首地址, 目的地址为 TSE MAC 的发送 FIFO, 用于将已经写满的乒乓 RAM 或乒乓 RAM 中的数据通过 TSE MAC 发送出去。

Altera 公司为设计者提供了 NiosII/e、NiosII/s、NiosII/f 三种 NiosII 软核处理器, 由于系统软件设计应用了 MicroC/OS-II 操作系统, 基于多任务运行的方式完成数据传输, 为了获得较高的执行效率和处理能力, 本设计采用其中性能最高的 NiosII/f 处理器, 其资源占用最多不超过 1 800 个 LE, 在 120 MHz 主频的条件下, 其 DMIPS 可高达 136。

NiosII CPU 通过 Avalon 总线对 SOPC 系统内部的数据流、各外设模块进行实时、精确控制以完数据传输功能。NiosII/f CPU 的基本参数配置如表 1 所示, 硬件乘法器采用 FPGA 内部 32 bit×32 bit 的乘法逻辑单元实现, 当 Nios IDE 软件程序中含有乘法运算时, 只需 1 个周期即可完成运算, 相比采用 LE 资源消耗 11 个周期完成一次运算的纯硬件乘法器, 可以大大提高程序的执行效率。本设计中 PLL IP 核对外部晶振输入的 20 MHz 时钟进行 5 倍频和 6 倍频, 分别产生 100 MHz 和 120 MHz 时钟频率供 SOPC 系统各个 IP 核使用, 各 IP 核时钟分配情况及其主要功能如表 2 所示。

表 1 NiosII/f 参数配置

Tab.1 NiosII/f core parameter configuration

NiosII/f CPU 配置项	本设计配置参数
Hardware Multiply	DSP Block
Reset Vector	epcs_flash_controller(offset=0x0)
Exception Vector	sram(offset=0x20)
Istruction Cache	4 Kbytes
Data Cache	2 Kbytes
Data Cache Line Size	32 Bytes
Debugging level	Level 1

logic 将待传输的数据写入乒乓 RAM,以乒乓缓存的方式发送数据,当有乒乓或乒乓存储区写满时,逻辑模块会产生一个上升沿的脉冲信号,作用于 PIO_2 外设,通知 NiosII CPU 读取此存储区的数据,并通过以太网 MAC 将其发送出去。

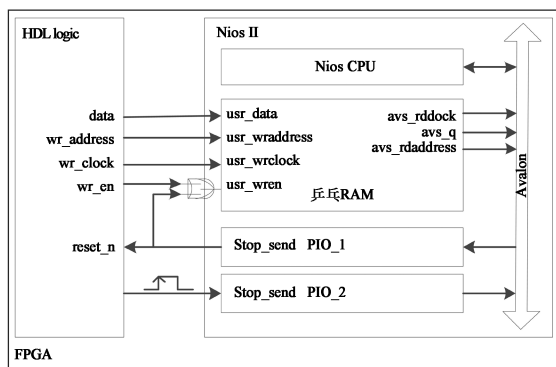


图 6 逻辑控制模块示意图

Fig.6 Block diagram of transmission logic control

本设计通过接收由客户端发送的指令数据来控制数据传输过程,当 FPGA 服务器通过网口接收到客户端的“停止上传”命令时,通过 PIO_1 外设输出低电平信号,作用于乒乓 RAM 的写使能(高电平有效)端口,并复位 HDL logic 模块,此时不再对乒乓 RAM 进行写操作,所以 PIO_2 也检测不到上升沿脉冲,便不再触发 NiosII CPU 进行数据传输;相反,如果收到客户端的“开始上传”命令时,PIO_1 外设输出高电平,则系统将对乒乓 RAM 进行写操作,当有缓存区写满时,触发 CPU 对数据进行传输。

3 系统软件设计

本文采用 NiosII CPU 搭载 MicroC/OS-II 操作系统,通过移植 Nichestack TCP/IP 协议栈,以多任务的方式、采用 socket 网络编程完成系统的软件设计^[9-10],整体软件流程如图 7 所示。

程序开始进行资源分配和参数初始化,为后续的任务运行做准备,当资源例化和协议栈初始化完成后,删除初始化任务。主程序主要由两个任务构成,分别轮流占用 CPU 的使用权,任务 A (Simple socket server task)采用 socket 网络编程进行服务器程序的编写,主要对客户端的连接与断开请求进行监视;任务 B (Simple socket server transmit task)为数据传输任务,通过对本

服务器接收到的指令进行判断,如果接收指令为“开始上传(0x01)”指令,则通过 TSE MAC 将数据发送至客户端,如果为“停止上传(0x00)”指令,则暂停数据的上传。

本设计中,当客户端的连接请求得到响应后,服务器只能识别客户端发送的事先定义好的两条指令,即“开始上传(0x01)”和“停止上传(0x00)”指令,服务器通过 `recv()` 函数接收到这两条指令后,通过设置 `PIO_1` 的输出电平,来控制数据传输的发送与停止。

任务 B 执行开始注册 PIO_2 的上升沿中断函数 isr_pio_2(), 并且中断函数 isr_pio_2() 与任务 B 间采用信号量进行通信, 当有乒乓 RAM 写满时, PIO_2 上升沿脉冲触发 CPU 中断, 通过中断函数 isr_pio_2() 将信号量通过 OSSemPost() 函数发送出去, 任务 B 一旦通过 OSSemPend() 函数获得此信号量, 便通过 send() 函数将乒乓 RAM 中的数据传送到客户端, 进行网络数据传输导出。

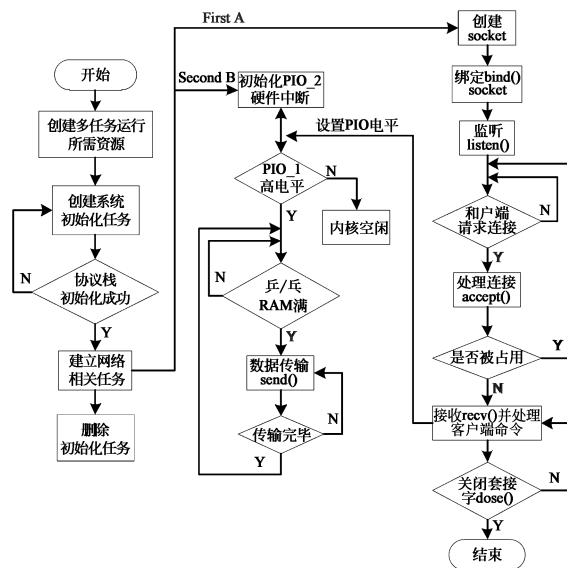


图 7 系统软件流程

Fig.7 Software flow chart of the system

4 功能验证

为了对数传功能进行验证,采用 FPGA 内部逻辑模块产生周期为 3.2 MHz、有效位宽 16 bit、最大幅度为 32 768 的递增锯齿波信号,HDL

logic 模块将此锯齿波数据写入乒乓 RAM,并由 FPGA 以太网口发送至上位机软件保存成 .dat 文件。

将 Quartus II 9.0SP1 软件生成的配置文件通过 Programmer 工具下载到 FPGA 中,之后运行 Nios IDE 9.0SP1 软件程序,在 Nios IED 软件的操控显示窗口会显示程序的运行信息如图 8 所示,从中可以得到如下信息:以太网程序运行成功,为全双工 100 Mbps,物理层芯片为 DP83848C,IP 地址为 192.168.1.88,MAC 地址为 00:07:ed:ff:ed:14,网络监听端口号为 30;根据以上信息,客户端可以对 FPGA 服务器发起建立连接请求,并进行数据传输。在操控显示窗口中还可以看出系统运行时 MicroC/OS-II 操作系统的各个任务及其优先级。

```

Problems Console Properties
simple_socket_server Nios II HW configuration [Nios II Hardware] Nios II Terminal Window (05-12-24 下午4:18)
nios2-terminal: directory for more information.

nios2-terminal: (Use the IDE stop button or Ctrl-C to terminate)

***** Software License Reminder *****
This software project uses an unlicensed version of the NicheStack TCP/IP
Network Stack - Nios II Edition. If you want to ship resulting object
code in your product, you must purchase a license for this software from
Altera. For information go to: "http://www.altera.com/nichestack"
*****
InterNiche Portable TCP/IP, v3.1

Copyright 1996-2008 by InterNiche Technologies. All rights reserved.
prep_tse_mac 0
Your Ethernet MAC address is 00:07:ed:ff:ed:14
Static IP Address is 192.168.1.88
prepped 1 interface, initializing...
[tse_mac_init]
INFO : TSE MAC 0 found at address 0x08042400
INFO : PHY National DP83848C found at PHY address 0x01 of MAC Group[0]
INFO : PHY[0.0] - Automatically mapped to tse_mac_device[0]
INFO : PHY[0.0] - Restart Auto-Negotiation, checking PHY link...
INFO : PHY[0.0] - Auto-Negotiation PASSED
INFO : PHY[0.0] - Checking link...
INFO : PHY[0.0] - Link established
INFO : PHY[0.0] - Speed = 100, Duplex = Full
OK, x=3, CMD_CONFIG=0x00000000

MAC post-initialization: CMD_CONFIG=0x04000203
[tse_sgdma_read_init] RX descriptor chain desc (1 depth) created
netest init called
IP address of et1 : 192.168.1.88
Created "inet main" task (Prio: 2)
Created "clock tick" task (Prio: 3)
[ssr_task] Simple Socket Server listening on port 30
Created "simple socket server" task (Prio: 4)
Created "simple socket server transmit" task (Prio: 7)

```

图 8 Nios IED 软件运行显示窗口

Fig.8 Nios IED software running console

当网络建立连接,客户端发出“开始上传”指令后,FPGA 将锯齿波数据上传至上位机,截取 Windows 任务管理器联网功能得到的网络传输速率如图 9 所示,速率与理论值 51.2 Mbps 一致,并且起伏变化平稳,表示传输速率稳定;由 Matlab 软件读取上位机软件保存的 .dat 数据文件,其数据波形如图 10 所示,与 FPGA 内部模块产生的锯齿波一致;由此可见,当传输速率达到 51Mbps 时,基于 FPGA 的嵌入式以太网在数据传输过程中准确稳定。

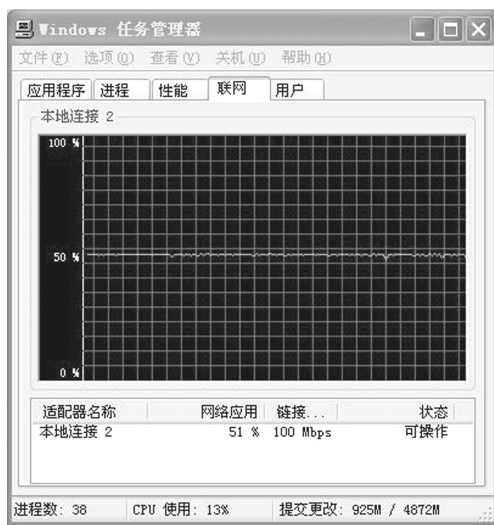


图 9 Windows 任务管理器-联网功能

Fig.9 Network show on Windows

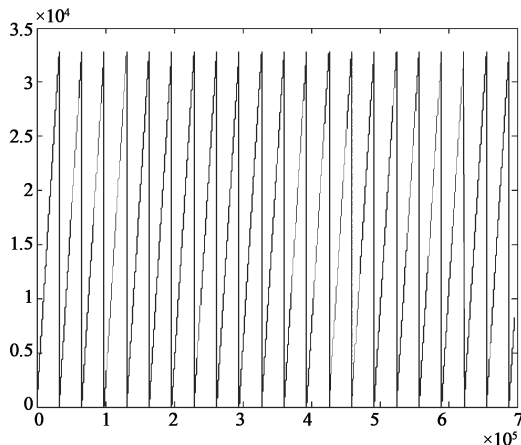


图 10 Matlab 读取 .dat 文件绘制的波形

Fig.10 Wave shape of .dat file by Matlab

5 结 论

本设计采用 FPGA 和外部 PHY 芯片实现了百兆以太网数据传输系统的设计,硬件方面,以 NiosII CPU 为核心,采用 FPGA 内部的 TSE IP 核实现以太网 MAC;软件方面,采用 MicroC/OS-II 多任务的方式,基于 Nichestack TCP/IP 协议栈,完成系统软件设计。最后验证结果表明:在 51.2Mbps 的传输速率下,系统稳定可靠。

本设计既能够以独立的数传功能单独制作成数传电路,也能够以数传模块的形式同其它功能

模块一起设计于FPGA内部实现数传功能,其软硬件实现方式简单灵活,通过对FPGA片上SOPC系统进行设计,不仅优化了FPGA的布局布线逻辑,节约了FPGA资源,也简化了系统的

外围电路设计,降低了硬件设计成本;同时,基于Nichestack TCP/IP协议栈,采用Altera公司提供的软件程序框架,软件开发难度也相对较小,因此软件设计成本也相对较低。

参 考 文 献:

- [1] 于超,陈光武,石文静.基于FPGA的信号采集及其频谱显示[J].液晶与显示,2008,23(4):499-503.
YU C, CHEN G W, SHI W J. Acquisition of signal and display of spectra based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2008, 23(4): 499-503. (in Chinese)
- [2] 韩红霞,孙航,张海波.基于FPGA的视频与通讯数据融合设计[J].液晶与显示,2015,30(6):987-991.
HAN H X, SUN H, ZHANG H B. Composition design of communication data and video data based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(6): 987-991. (in Chinese)
- [3] 刘存,周晓波.基于FPGA的嵌入式千兆以太网接口设计[J].光通信技术,2013,37(2):56-59.
LIU C, ZHOU X B. Design of gigabit Ethernet interface based on FPGA [J]. *Optical Communication Technology*, 2013, 37(2): 56-59. (in Chinese)
- [4] 杨新华,王用玺,刘欣.基于FPGA的以太网高速数据传输系统的设计[J].仪表技术与传感器,2013(12):80-83.
YANG X H, WANG Y X, LIU X. Design of Ethernet high-speed data transmission system based on FPGA [J]. *Instrument Technique and Sensor*, 2013(12): 80-83. (in Chinese)
- [5] AlteraCorporation. Using the NicheStack TCP/IP stack-nios II edition tutorial [R]. San Jose, CA: U.S. Altera Corporation, 2011: 2-27.
- [6] AlteraCorporation. Triple-speed Ethernet MegaCore function user guide [R]. San Jose, CA: U.S. Altera Corporation, 2012: 25-93.
- [7] Altera Corporation. SOPC builder user guide [R]. San Jose, CA: U.S. Altera Corporation, 2010: 51-67.
- [8] Altera Corporation. Quartus II handbook version 9.0. volume 5: embedded peripherals [R]. San Jose, CA: U.S. Altera Corporation, 2009: 21-263.
- [9] Altera Corporation. Nios II software developer's handbook [R]. San Jose, CA: U.S. Altera Corporation, 2011: 227-250.
- [10] Altera Corporation. Avalon interface specifications [R]. San Jose, CA: U.S. Altera Corporation, 2010: 11-62.

作者简介:贲广利(1989—),男,吉林榆树人,工学硕士,研究实习员,2013年于哈尔滨工程大学获得工学学士学位,2016年于哈尔滨工程大学获得水声工程工学硕士学位,主要从事数字电路设计、数字信号处理工作。E-mail: g2009051126@163.com