

文章编号:1007-2780(2016)08-0825-06

高分辨率多传感器融合图像跟踪系统的设计与实现

王嘉成¹,孙海江^{1*},刘培勋¹,单海蛟¹,邓耀华²

(1. 中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033;

2. 广东工业大学,广东 广州 510006)

摘要:为了提高图像处理器目标跟踪的准确度和对复杂环境的适应能力,设计了一种 CPCI 架构的多传感器融合图像跟踪系统。针对高分辨率高帧频图像的采集、目标搜索与跟踪,设计并实现了以 FPGA+DSP 为核心的嵌入式图像处理平台,采用 CPCI 标准总线作为数据共享通道,由嵌入式图像处理平台完成实时计算,数据中心完成跟踪结果的数据融合和系统综合控制。实验结果表明:系统可以实现多路不同分辨率 CameraLink 图像或 HD-SDI 图像的采集和融合跟踪处理,该架构处理能力强,可扩展性高,结构紧凑,为图像融合跟踪系统提供了一种可靠的解决方案。

关键词:目标跟踪; DSP;FPGA;Compact-PCI;数据融合

中图分类号:TP274.2 **文献标识码:**A **doi:**10.3788/YJYXS20163108.0825

Design and implementation of high resolution multi-sensors fusion tracking system

WANG Jia-cheng¹, SUN Hai-jiang^{1*}, LIU Pei-xun¹, SHAN Hai-jiao¹, DENG Yao-hua²

(1.Changchun Institute of Optics Fine Mechanic and Physics Chinese Academy of Science,Changchun 130033,China;

2. Guangdong University of Technology, Guangzhou 510006, China)

Abstract: In order to improve the tracking accuracy and enhance the adaptation ability in the complex environment of image processing system, a multi sensor fusion image tracking system based on CPCI architecture is designed. Aiming at high resolution and high frame rate image acquisition, target searching and tracking, the embedded image processing platform based on FPGA+DSP is designed and implemented. Using CPCI standard bus as data sharing channel, the real-time computation is done by the embedded image processing platform, data center completes data fusion of tracking results and system integrated control. Experimental results indicate that the system can realize multi-channel high

收稿日期:2016-06-12;**修订日期:**2016-07-18.

基金项目:国家自然科学基金(No.No.61401425);广东省中科院全面战略合作专项资金竞争性分配资助项目(No. 2013B091500046)

Supported by National Natural Science Foundation of China (No. No. 61401425) and Comprehensive Strategic Cooperation Fund of Guangdong Province and Chinese Academy of Sciences (No. 2013B091500046)

* 通信联系人,E-mail:sunhaijiang@126.com

resolution Camera Link or HD-SDI image fusion tracking processing, it has good real-time performance, high tracking precision and strong ability of expansion, and provides a reliable solution for image fusion tracking system.

Key words: target tracking; DSP;FPGA; compact-PCI; data fusion

1 引言

数字图像处理技术广泛应用于目标侦查与跟踪、图像制导等领域。在工程中常见的图像传感器有可见光传感器和红外传感器。可见光传感器光谱信息丰富,分辨率高,但却对光照环境的要求较高;红外传感器不受光照条件限制,具有可穿透烟雾的能力,但图像的对比度低^[1]。与使用单一图像传感器的图像跟踪系统相比,充分利用可见光传感器与红外传感器优势的多传感器融合跟踪系统具有更强的环境适应能力和抗干扰性能,可提高目标跟踪的准确度。

由于图像处理具有的数据量大、算法复杂等特点,因此要求图像处理系统具有强大的运算能力以保证实时性。图像处理系统中,底层的图像预处理算法数据量大但结构简单固定,适用于 FPGA 实现,同时 FPGA 强大的在线可编程能力可使系统应用于不同的场合,缩短开发周期^[2];上层图像处理算法控制结构复杂,利用寻址灵活、运算速度高的 DSP 芯片来实现,可保证系统的实时性要求^[3]。将二者相结合构建嵌入式图像处理板卡,可在保证系统结构一致性的情况下,兼容不同类型图像传感器,是多传感器融合图像跟踪系统的理想平台。

CPCI 总线(Compact-PCI,紧凑型 PCI)是一种新的开放式的工业计算机标准^[4],用于工业和嵌入式应用,具有高速度、高可扩展性、支持热插拔等特点^[5],适于做系统集成与扩展,在可靠性要求较高的工业控制和军事装备等领域得到了广泛的应用,在 64 bit 位宽,66 MHz 的总线频率下,带宽可达 512 MB^[6]。

本文介绍了一种 CPCI 架构的多传感器融合图像跟踪系统的设计与实现,选用 4U CPCI 工控机作为数据中心,该平台具有 8 个 6U 插槽,其中 1 个为计算机主板插槽,其余 7 个为扩展 CPCI 板插槽,支持 64bit@66MHz 的 PCI 总线。设计了以 DSP 和 FPGA 为核心的高性能嵌入式图像处理

卡^[7],该处理卡能根据数据中心的指令,实现数字图像的采集、目标捕获与目标跟踪功能。同时,数据中心根据嵌入式板卡的计算结果,采用最小二乘多项式拟合法(Least Square Polynomial Fit, LSPF)估计跟踪误差,并根据最小均方误差准则对数据进行融合。实验结果表明,系统可实现多路不同配置的 CameraLink 或 HD-SDI 图像的融合跟踪处理,该架构充分结合了 FPGA+DSP 图像处理板卡计算速度快、实时性强以及 CPCI 总线集成度高、扩展能力优秀等特点,克服了传统融合跟踪系统体积大、功耗高、拓扑结构复杂的弊端,为融合跟踪系统提供了一种新的解决方案。

2 系统的构成及其工作原理

2.1 系统的硬件构成

系统硬件架构如图 1 所示,在 CPCI 机箱中,系统槽位插入计算机主板,作为数据中心;扩展槽位插入嵌入式图像处理平台,其原理框图如图 2 所示,按照功能可划分为图像采集单元、处理单元、通信单元、显示单元、PCI 控制单元和存储单元。

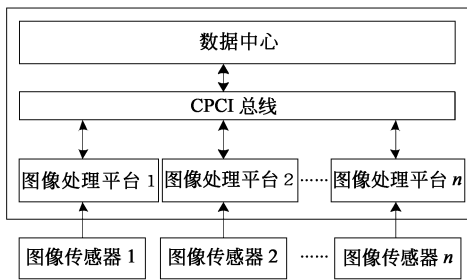


图 1 系统架构图

Fig.1 Architecture of fusion tracking system

2.2 系统的工作原理

系统的基本工作原理为:图像采集单元采集 Cameralink 或 SDI 图像数据并将其缓存到 DDR3 组中,按照系统所设定的行场中断模式,在每帧图像的特定位置产生中断,图像处理单元响应中断并读取视频图像后,开始执行目标分割、特征提取、模板匹配等目标搜索跟踪算法,计算结果由

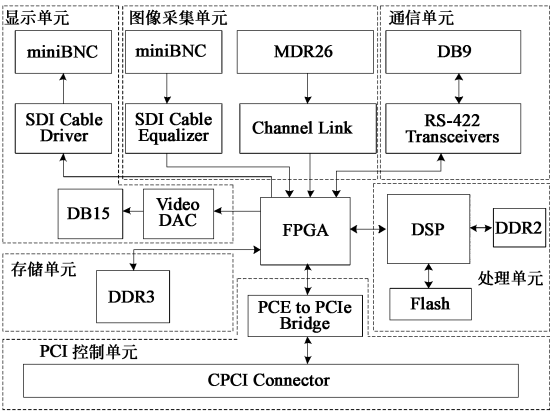


图 2 嵌入式图像处理平台的原理框图
Fig.2 Block diagram of embedded image processing system

EMIF 接口传递至通信单元和 CPCI 控制单元; CPCI 控制单元负责将图像的传递和控制信息的交换;显示单元负责实时显示视频图像,并根据系统指令叠加文字符号等信息,其中 SDI 输出支持 1080p、1080i 和 720p 模式,而 VGA 输出分辨率为 1 280×1 024,帧频为 60 Hz;数据中心可实时的获取 4 路板卡计算的目标位置信息,采用融合算法,对结果进行综合处理。

3 系统的主要功能模块设计

系统中所有的外部接口均围绕 FPGA 实现,其逻辑正确是整个系统稳定运行的先决条件。系统选用的 XC6VLX130T FPGA 内嵌 10 个时钟管理单元,最大块 RAM 容量为 9 504 Kb,集成 2 个 PCIe 接口模块以及多达 600 用户 IO^[8]。FPGA 内部的数据流程图如图 3 所示。

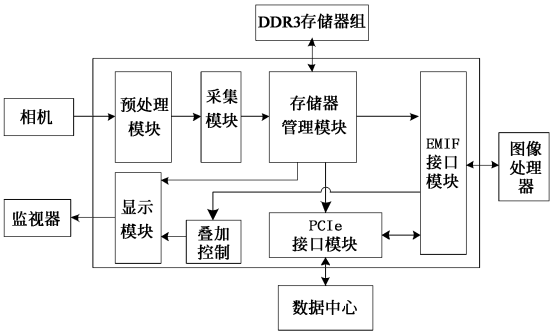


图 3 FPGA 数据流图
Fig.3 Data path in FPGA

3.1 图像预处理模块设计

Cameralink 图像采集单元将相机输出的 4 路差分信号转换为 24 位 LVCMOS 并行图像数据、行场同步信号和一路像素时钟。在图像数据的传输过程中,往往会引入噪声和各类干扰,影响后续处理的准确性以及成像的质量。中值滤波可以保留原图像边缘信息的同时消除随机噪声,提高目标检测的准确性。在 FPGA 中实现 3×3 中值滤波需要至少两个行缓存以及 9 个寄存器,其结构如图 4 所示。行缓存由 FIFO 实现,每个 FIFO 的存储深度与图像行分辨率相同。图像按照行的方式进行扫描,将行同步信号作为 FIFO 的写使能信号,当前扫描行的图像数据写入行缓存 1,行缓存 1 写满后,其出口数据被写入换缓存 2。当前扫描行的图像数据与两个行缓存的数据同步输入到窗口中对应的第 1、2、3 行,待有效像素充满窗口后,每个时钟周期即可得到 9 个待排序的像素数据。对于中值的获取,采用图 5 所示的比较电路结构^[9],图中模块 M 代表三输入排序模块,该模块由组合逻辑实现,对输入的三个数据进行大、中、小排序;R 代表寄存器;第一级对窗口中每行的 3 个数据进行排序,分别获得每行中的最大值 Max、中值 Mid 和最小值 Min;第二级比较结构对前一级的三个最大值、三个中值、三个最小值进行比较,输出的结果 out1 即为 9 个像素中的最大值,out9 即为 9 个像素中的最小值,该二者被丢弃;以此类推,每一级均丢弃上一级比较结果的最大值和最小值,经过共 6 级计算后,输出的结果 out5 即为 9 个像素数据的中值结果。

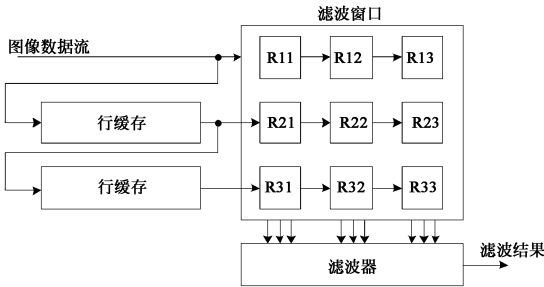


图 4 中值滤波器的结构
Fig.4 Architecture of median filters

3.2 图像采集模块设计

图像数据流经过预处理模块滤波之后,行场

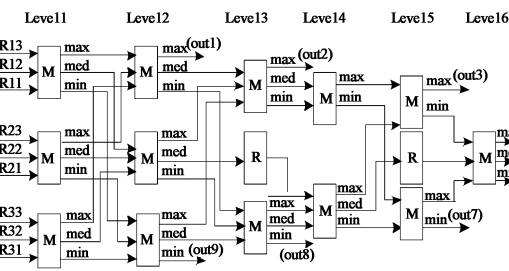


图 5 中值比较电路

Fig.5 Median comparator circuit

同步信号与图像数据的关系保持不变。采集模块采用乒乓操作的方式,在行消隐区对两个采集异步 FIFO 进行切换,同时完成像素时钟域到系统时钟域的转换。系统中所选的 DDR3 的突发长度为 8,并等效位宽为 32 bits 宽度,因此访问一次 DDR3 的最小数据量为 256 bits。为充分利用存储器带宽,提高访问效率,采集模块需要对像素数据进行打包处理,根据输入数据的位宽,选取若干个相邻像素构成一包,以数据包为单位申请存储器访问权,最大化带宽利用。

3.3 存储器管理模块设计

对于分辨率为 1 280×1 024,位宽为 8 bit 的可见光相机,一幅图像的数据量为 1.25 MB,大于所选 FPGA 中的块 RAM 总容量,为适应更高分辨率的需求,系统采用两片 16 bits 256MB DDR3 通过位扩展的方式并联成为 32 bits 宽度 DDR3 组作为存储器扩展,总容量达到 512 MB。对 DDR3 的底层操作使用 Xilinx 提供的 MIG 核,该核为用户访问 DDR3 空间提供了命令/地址接口、写数据接口和读数据接口。

MIG 核只提供了一个用户读写接口,而系统中采集模块、显示模块、EMIF 接口模块等均需要对 DDR3 进行访问,为实现 MIG 端口的分时复用,需要有提供一种调度管理机制,控制不同模块的访问权。常见的端口访问仲裁算法有两种^[10],一种为固定优先级的仲裁;另一种为可变优先级的仲裁。考虑二者的优缺点并结合图像数据行数据连续、消隐区等间隔出现以及 DDR3 访问具有突发性的特点,本文设计了一种基于 FIFO 的固定优先级仲裁策略,即在某一时刻,若某模块产生的总线访问请求,则该请求被写入 FIFO,由于 FIFO 先进先出的特性,优先被写入的请求将会优先得到接口使用权,防止后发请求的高优先级的设备抢占端口导致数据丢失;若某一时刻若干

个模块同时产生请求,则仲裁器会将接口使用权优先授予高优先级设备。同时,为提高各模块的访问效率,存储器管理模块要求各个模块的访问以一行图像数据为单位,即每个模块获得接口使用权后,读或写一整行数据完成后才由仲裁器进行使用权回收,以保证存储器访问的连续性。

3.4 显示模块设计

显示模块包含 SDI 显示部分以及 VGA 显示部分。HD-SDI 或 VGA 的时序由显示模块中的时序发生器产生。由于存储器仲裁策略的原因以及 DDR3 读操作的延时,如果在输出图像的显示区对 DDR3 进行访问,则会导致显示图像数据的不连续,因此本文在消隐区进行 DDR3 访问权请求,获得访问权后,将读取的图像数据提前送入到显示缓冲区,以保证显示画面的稳定。

3.5 CPCI 接口模块设计

CPCI 采用 PCI 局部总线技术,若直接由 FPGA 实现 PCI 总线控制逻辑,将占用大量的硬件管脚资源,且逻辑实现困难,时序稳定性难以保证,因此系统选用 PEX8118 芯片,实现 PCI 到 PCIe 的转换,然后利用 Xilinx 提供的 PCIe IP 实现接口的管理,极大的简化了设计的复杂度,接口连接关系如图 6 所示。

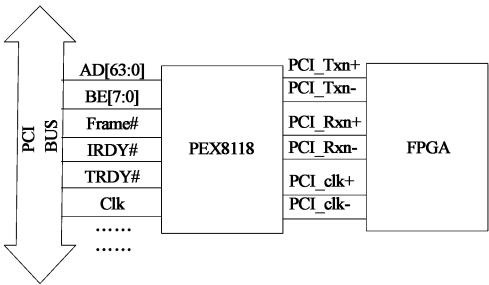


图 6 CPCI 接口连接关系

Fig.6 Connection of CPCI interface

3.6 图像处理模块设计

图像处理模块采用 TI 公司的 TMS320C6455 DSP 实现,该处理器主频最高达 1.2 GHz,片上存储器容量为 2 MB,存储器接口包括 64 bits 的 EMIFA 接口以及 32 bits 的 DDR2 接口,EMIFA 接口可以直接与 FPGA 相连,配合 EDMA,作为海量数据传输的通道。

由于 Vertex6 系列 FPGA 不支持 3.3V VC-CIO 电压, DSP 与 FPGA 之间使用 SN74AVC32T245 芯片进行电平转换,其连接关系如图 7 所示。地址线与读写控制线为单向信

号,将 245 的方向控制引脚 DIR1 上拉至高电平;而数据线为双向信号,EMIF 接口模块根据 DSP 的读写控制信号 WE、OE 进行译码,控制 DIR2 的方向,从而控制数据的流动方向。

在每场图像场同步信号的下降沿,DSP 进入到中断程序中,启动 2D EDMA 操作,从 DDR3 中

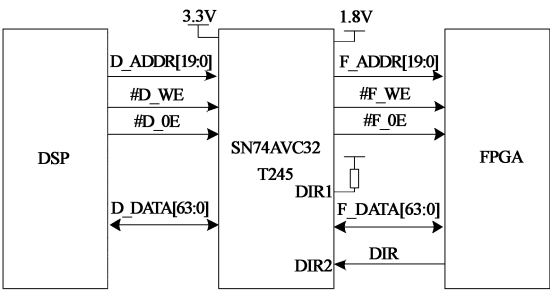


图 7 EMIF 接口连接关系
Fig.7 Connection of EMIF interface

读取图像数据,然后利用图像处理算法进行目标识别与跟踪。

4 系统测试

为测试嵌入式板卡的性能,同时使用 4 台不同类型的相机作为图像输入,DSP 采用自适应阈值完成目标分割,结合重心跟踪算法实现全视场目标搜索与跟踪,相机参数和计算耗时如表 1 所示。

融合系统的性能瓶颈主要在于数据共享通道,为测试系统所用 CPCI 总线的实际性能,在数据中心编写了测试软件,读取各路板卡采集的图像数据和目标位置数据,并采用最小二乘多项式拟合和最小均方误差准则相结合的方式数据进行融合,同样按照表 1 的相机配置,

表 1 相机参数和计算耗时
Tab.1 Camera parameters and time consuming

相机波段	分辨率	帧频/Hz	位宽/bit	平均耗时/ms
短波红外	640×512	50	14	2.9
长波红外	640×512	50	14	2.9
长焦可见光	1280×1024	200	8	4.8
大视场可见光	1 920×1 080	50	10	11.3

采用 33 MHz,32 bit 的 CPCI 总线设置,测得系统中 CPCI 总线的峰值带宽约为 80 MB/s,此时各路图像均限制为 25 帧,融合脱靶量的输出频率为 25 Hz。

5 结 论

多传感器的数据融合是当今目标跟踪系统的

研究热点,本文正是根据某光电探测系统的应用要求,针对两种工作于不同波段的红外相机和两种可见相机,设计并实现了一种高分辨率多源传感器融合图像跟踪系统,并详细说明了系统的结构和工作原理。实验结果表明:该系统可实现多路图像的采集和跟踪,可灵活的配置为多种不同相机的接口,满足工程需求,为融合跟踪系统提供了一个可靠稳定的平台。

参 考 文 献:

[1] 刘从义.红外与可见光动态图像融合方法及应用研究[D].上海:上海交通大学,2007.
LIU C Y.Research on the methods and applications of infrared and visible dynamic images fusion [D]. Shanghai: Shanghai Jiao Tong University, 2007. (in Chinese)

[2] 陈莹,朱明.多子直方图均衡微光图像增强及 FPGA 实现[J].中国光学,2014,7(2):225-233.
CHEN Y, ZHU M. Multiple sub-histogram equalization low light level image enhancement and realization on FPGA [J]. Chinese Optics, 2014, 7(2): 225-233. (in Chinese)

[3] 于洪松,韩广良,孙海江,等.基于 CPCI 总线的 FPGA+DSP 架构通用视频图像处理系统的设计[J].液晶与显示,

2015, 30(2): 333-339.

YU H S, HAN G L, SUN H J, *et al.* Design of general-purpose video image process system based on Compact-PCI bus and FPGA + DSP structure [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(2): 333-339. (in Chinese)

- [4] 李贵山, 戚德虎. PCI 局部总线开发者指南 [M]. 西安: 西安电子科技大学出版社, 1997.

LI G S, QI D H. Coordinate Measuring Machine [M]. Xi'an: Xidian University Press, 1997. (in Chinese)

- [5] PICMG. PICMG 2.0 D3.0 compact PCI specification [R]. *PCI Industrial Computer Manufactures Group*, 1999.

- [6] 陈龙华, 贾鹏. 基于 CPCI 架构的大数据量红外图像实时处理系统 [J]. 激光与红外, 2013, 43(7): 771-775.

CHEN L H, JIA P. Infrared images of large data real-time processing system based on CPCI [J]. *Laser & Infrared*, 2013, 43(7): 771-775. (in Chinese)

- [7] 鲁剑锋. 无人机光电载荷图像处理器的设计 [J]. 中国光学, 2011, 4(5): 448-452.

LU J F. Design of image system in opto-electrical payloads on UAV [J]. *Chinese Optics*, 2011, 4(5): 448-452. (in Chinese)

- [8] Xilinx Incorporated. Virtex-6 Family Overview [R]. *Xilinx Incorporated*, 2012.

- [9] 胡越黎, 计慧杰, 吴频, 等. 图像的中值滤波算法及其 FPGA 实现 [J]. 计算机测量与控制, 2008, 16(11): 1672-1675.

HU Y L, JI H J, WU P, *et al.* Research on image filtering algorithm and its FPGA implementation [J]. *Computer Measurement & Control*, 2008, 16(11): 1672-1675. (in Chinese)

- [10] MindShare Inc., SHANLEY T, ANDERSON D. PCI System Architecture [M]. 4th ed. Reading, Mass: Addison-Wesley, 1999.

作者简介: 王嘉成(1986—), 男, 吉林省吉林市人, 硕士研究生, 研究实习员, 主要从事数字图像处理技术, 目标跟踪技术等方面的研究。E-mail: wjcforward@126.com

孙海江(1980—), 男, 吉林辉南人, 博士, 副研究员, 主要从事目标识别与跟踪技术及高清视频图像增强显示方面的研究。E-mail: sunhaijiang@126.com